

Федеральное агентство по образованию
Государственное образовательное учреждение
высшего профессионального образования
«Рязанский государственный университет имени С.А. Есенина»

В.Н. ЛОКТЮХИН

АРХИТЕКТУРА

КОМПЬЮТЕРА

в 2 книгах

СТРУКТУРА

ПЕРСОНАЛЬНОГО

КОМПЬЮТЕРА

Книга 1

Учебное пособие

*Рекомендовано УМО
по специальностям педагогического образования
в качестве учебного пособия
для студентов высших учебных заведений,
обучающихся по специальности 050202.65 (030100) –
информатика*

Рязань 2008

ББК 32.973
УДК 681.3.06
Л73

Печатается по решению редакционно-издательского совета Государственного образовательного учреждения высшего профессионального образования «Рязанский государственный университет имени С.А. Есенина» в соответствии с планом изданий на 2008 год.

Рецензенты: *А.Б. Путилин*, д-р техн. наук, проф. МГОУ,
А.П. Шибанов, д-р техн. наук, проф. РГРТУ

Локтюхин В.Н.

Л 73 Архитектура компьютера : учебное пособие : в 2 кн. – Кн. 1 : Структура персонального компьютера / Ряз. гос. ун-т им. С.А. Есенина. – Рязань, 2008. – 136 с.

ISBN 978–5–88006–549–3

В пособии изложены базовые понятия архитектуры компьютера и особенности его структурной организации на основе современных процессоров, рассмотрены архитектура микропроцессоров и основной памяти, а также виды интерфейса и построение адаптеров внешних устройств персональных компьютеров.

Предназначено для студентов вузов, изучающих архитектуру компьютеров, а также для пользователей, желающих глубже изучить структуру и функционирование компьютеров.

Ключевые слова: *компьютер, процессор, память, внешние устройства, операционное устройство, микропроцессор, кэш, интерфейс, адаптер.*

ББК 32.973

ISBN 978–5–88006–549–3

©Локтюхин В.Н., 2008

©Государственное образовательное учреждение
высшего профессионального образования
«Рязанский государственный университет
имени С.А. Есенина», 2008

ВВЕДЕНИЕ

В настоящее время компьютеры широко применяются в сфере образования и здравоохранения, научных организациях и банках, практически на любой работе и дома. Эти вычислительные средства также являются составной частью информационно-измерительных, медико-диагностических, управляющих, радиоэлектронных, телекоммуникационных и других технических систем.

Понятие «архитектура компьютера» сложилось в процессе эволюции электронных вычислительных машин (ЭВМ), когда их логическая организация достигла определенной сложности и возникла необходимость выделить предметную область знаний для описания наиболее общих первостепенных вопросов их построения.

Под *архитектурой компьютера* понимается уровень его организации, при котором описываются *структура* компьютера как *совокупность устройств (подсистем)*, *связи и взаимодействие* между ними, а также его *функции*, к которым, в первую очередь, относятся: система машинных операций (команд) и основы их выполнения, форматы команд и данных, режимы их адресации.

Для унификации описания многочисленных структурных особенностей компьютера и его подсистем используются такие понятия, как: операционное устройство, процессор, конвейер, основная память, кэш, внешнее устройство, адаптер, интерфейс, шина, канал и другие.

Под *структурой*, или *структурной схемой*, понимается логическая организация компьютера или какой-либо его подсистемы на уровне аппаратуры (hard – железо), то есть состав его устройств, соединения между ними, характеристики взаимодействия аппаратных модулей в процессе выполнения программ (soft), поддерживающих их функционирование, и, наконец, основные принципы его физической реализации на конкретных наборах микросхем.

Учебное пособие состоит из двух книг. В первой изложены базовые понятия архитектуры компьютера и особенности структурной организации наиболее распространенных современных ЭВМ – персональных компьютеров (ПК). Во второй книге рассмотрены операционные характеристики (функции) компьютера на самом «низшем» машинном уровне. Их рассмотрение осуществляется в тесной взаимосвязи с изучением *основ программирования на ассемблере* как эффективного средства, поддерживающего освоение программной части архитектуры ЭВМ через разработку и отладку программ с иллюстрацией их выполнения на уровне конкретного типа компьютера.

Содержание дисциплины, а также форма его представления с ориентацией на применение технологий активного обучения поддерживают формирование целого ряда *общих (универсальных) и профессиональных (предметно-специализированных) компетенций* будущего специалиста.

К *профессиональным* компетенциям относятся: знание аппаратных средств и программного обеспечения компьютера на уровне понятий его архитектуры, навыки работы с ними, умение применять их в профессиональной деятельности в соответствии с современными тенденциями развития архитектуры вычислительных средств.

К *общим компетенциям*, в первую очередь, относятся инструментальные: работа на персональном компьютере, поддержка основ его эксплуатации (обслуживания), профессиональный подход к конфигурированию и модернизации компьютера, а также к его программированию, адекватная ориентация в мире сложной электронной техники и оборудования, базирующихся на компьютерных технологиях.

Наряду с этим за счет активных форм проведения занятий с использованием *метода проектов*, как эффективного приема изучения принципов построения аппаратно-программных средств ЭВМ, поддерживаются *системные и межличностные компетенции*. К ним относятся: умения ставить и решать задачи, проектировать, исследовательские умения, умения по организации проектов (занятий), работать самостоятельно и в коллективе и другие.

Принятая технология обучения базируется на работе в аудитории, когда в процессе лекций, лабораторных и практических занятий, дополняемых самостоятельной работой обучаемых, в том числе и с участием преподавателя, выполняется серия заданий, совокупность которых позволяет практически применить полученные знания, развивая указанные выше компетенции. С этой целью в приложениях учебного пособия приведены возможные темы и варианты заданий для этих видов занятий, а также формы их проведения. При этом персональный компьютер выступает и как средство поддержки процесса, и как объект изучения архитектуры ЭВМ.

Контроль качества процесса обучения в рамках изучаемой дисциплины осуществляется посредством выполнения каждым студентом, а в ряде случаев подгруппами обучающихся, обязательных заданий, итоги и сроки выполнения которых могут составлять основу, например, рейтинговой формы итоговой оценки результатов обучения.

Сокращение записи двоичного числа осуществляется путем эквивалентной замены 4-разрядных двоичных чисел (тетрад) 16-ричными цифрами (символами) (табл. 1.1).

Таблица 1.1

Двоичные коды 16-ричных цифр

2-ичная тетрада	0000	0001	0010	0011	0100	0101	0110	0111
16-ричная цифра	0	1	2	3	4	5	6	7
2-ичная тетрада	1000	1001	1010	1011	1100	1101	1110	1111
16-ричная цифра	8	9	A	B	C	D	E	F
«Вес» символа			10	11	12	13	14	15

Команда содержит операционную часть в виде кода операции (КОП) и адресную часть. В КОП команды закодировано «какую операцию выполняет команда»: пересылки, сложения, вычитания или другое. Для команды MOV AX,[0502H] ее код операции равен A1₁₆.

В адресной части в общем случае прямо или косвенно содержится информация об адресах данных, размещенных в памяти. Для нашего примера в этой части указан адрес операнда в памяти 0502₁₆: вначале задана младшая часть адреса 02₁₆, а затем – старшая 05₁₆.

Данные представляются в ЭВМ также в виде двоичных слов. Слово длиной 8 бит называют байтом. Бит – это минимальный элемент данных, равный 0 или 1. Адреса команд и данных в памяти ЭВМ также представляются в виде двоичных слов.

Память ЭВМ – это последовательность ячеек с адресами от 0 до 2^m – 1 = F...FF₁₆ (m – число бит адреса). На рисунке 1.1 приведена логическая организация основной памяти компьютера в виде последовательности ячеек размером байт.

Память		ПРОГРАММА	
Эфф. адрес	7 0	Объектная (в машинных кодах)	; На языке ассемблера
0100	A1	A10205 по адресу 0100	; MOV AX,[0502H]
0101	02		
0102	05		
0103	2B	2BD0 по адресу 0103	; SUB DX,AX
0104	D0		
0105	A1	A10005 по адресу 0105	; MOV AX,[0500H]
0106	00		
0107	05		
...	XX		
0500	60	ДАННЫЕ	
0501	01	Операнд X= +0160H в формате слова	

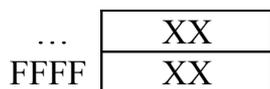


Рис. 1.1. Логическая организация памяти

Значения адресов, кодов команд и данных заданы в 16-ричной СС. Например, с адреса 100H хранятся команды программы, а с адреса 500H – данные (см. рис. 1.1). Байты одной команды размещаются в соседних ячейках памяти. Первый байт команды располагается по младшему адресу. Длина команд, например в МП семейства Intel 80x86, применяемых в персональных компьютерах IBM PC, варьирует от 1 до 16 байт. Младший байт слова данных, содержащего несколько байт, хранится в памяти по младшему адресу.

Понятия объектной программы и транслятора (ассемблера)

Программа, составленная в виде последовательности машинных команд, размещенных в памяти, называется *программой на машинном языке* (или *объектной программой*). При ручном кодировании (программировании) на основе системы команд МП вручную формируются их коды, что является очень трудоемкой работой (такой способ программирования применялся в ЭВМ первого поколения).

Вместе с тем, каждая машинная команда обозначается ее *мнемоникой*, например, MOV AX,[0502H], SUB DX,AX и т.д. Поэтому удобнее вначале разработать программу в виде последовательности мнемонических изображений команд. Такая исходная программа называется *программой на языке ассемблера*. Она создается с помощью редактора и сохраняется в виде файла с расширением .asm. Ее преобразование в объектную программу как файла, имеющего расширение .obj, производится в ЭВМ автоматически. Это осуществляется с помощью специальной системной программы – *транслятора (ассемблера)*, который преобразует мнемоники команд программы на языке ассемблера в соответствующие им двоичные коды объектной программы, загружаемой затем в память ЭВМ для ее исполнения. При этом исполняемый модуль может иметь расширение .exe или .com.

1.2. Состав и структура компьютера

На рисунке 1.2 приведена укрупненная структура гипотетической ЭВМ. В ее состав входят следующие устройства:

Основная память (ОП) служит для хранения программы в виде последовательности команд, исходных, промежуточных данных и ре-

зультата в виде двоичных слов. Физически ОП реализуется на основе полупроводниковых больших интегральных схем (БИС) памяти.

Устройство ввода необходимо для ввода исходных данных и программы в память ЭВМ.

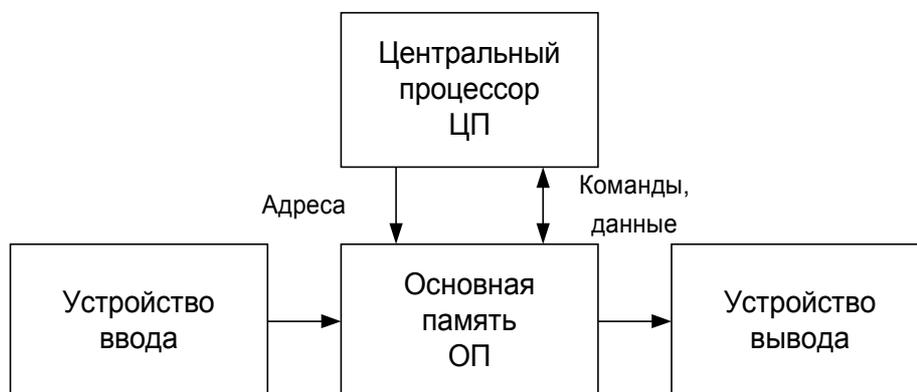


Рис. 1.2. Увеличенная структура компьютера

Устройство вывода служит для вывода результата в форме, удобной для восприятия пользователем или управления.

Современные компьютеры характеризуется большим многообразием и значительным числом подключаемых к нему устройств ввода-вывода (УВВ), которые, включая внешнюю память, также называют *внешними (ВУ) или периферийными (ПУ) устройствами*. К ним относятся клавиатура, дисплей, мышь, принтер, сканер и другие.

Центральный процессор ЦП – это основное устройство компьютера. Процессор осуществляет выборку команды из памяти и выполняет операцию, указанную в команде, например, сложение, вычитание и т.д. Если операнд размещен в памяти, то ЦП формирует его адрес и осуществляет выборку операнда из ОП. После выборки текущей команды процессор формирует адрес следующей команды. В современных ЭВМ процессор также организует свое взаимодействие с внешними устройствами. Отметим, что *ЦП и основная память – это центральные устройства ЭВМ*.

Представление структуры ЭВМ в виде рисунка 1.2 является достаточно удобной формой для начального этапа изучения организации любого современного компьютера, так как, несмотря на большое число его компонентов (устройств), в процессе его функционирования практически всегда можно выделить пару взаимодействующих устройств, например: «ЦП – Память», «ЦП – ВУ». Из них активным, как правило, является процессор. При работе компьютера в так называемом режиме *ПДП (прямого доступа к памяти)* активным элементом является внеш-

нее устройство, которое в этом режиме с помощью специального контроллера ПДП управляет обменом данными между ВУ и ОП, минуя процессор, через специально выделенный канал ввода-вывода.

1.3. Базовая структура и функционирование процессора

На рисунке 1.3 приведена укрупненная структура ЦП персонального компьютера, построенного на базе 16-разрядного микропроцессора Intel 8086. Подобная организация процессора характерна для большинства типов мини- и микроЭВМ.

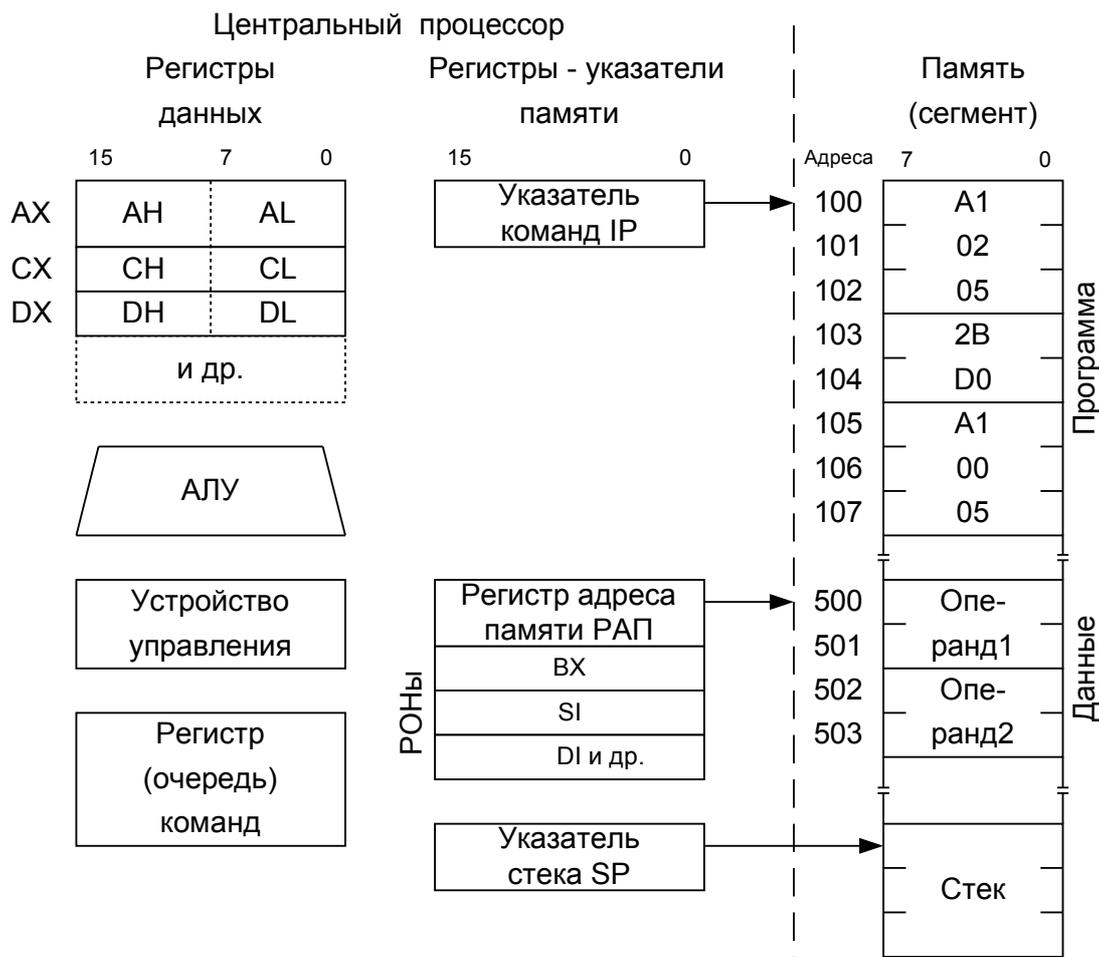


Рис. 1.3. Базовая структура центрального процессора

Для изучения принципа работы ЦП, он показан совместно с *памятью*, с которой взаимодействует *процессор*. На схеме ЦП, с целью упрощения его схемы, не отображены сегментные регистры, поскольку будем считать, что программа и данные размещены в одном сегменте памяти – сегменте кодов, на который указывает сегментный регистр CS микропроцессора.

В состав процессора на основе МП Intel 8086, как базового в семействе 80x86, входят следующие устройства:

1. **АЛУ** – арифметико-логическое устройство. Оно необходимо для выполнения указанных в КОП команды арифметических и логических операций над численными и логическими данными.

2. **Регистры данных** AX, CX, DX, BX, BP, AN, AL, CH, CL, DH, DL и другие служат для хранения 16- и 8-битовых данных. Регистр AX (16-битовый) или AL (8-разрядный) называют *аккумулятором*. В нем, как правило, размещается один из операндов, а затем – результат выполненной операции.

3. **Регистр** (или *буфер, очередь*) команд служит для промежуточного хранения считываемых из памяти программы кодов команд (до 6 байт), которые необходимо выполнить.

4. **Устройство управления** осуществляет в соответствии с КОП команды формирование внутренних и внешних управляющих сигналов, необходимых для выполнения текущей команды.

5. **Регистры – указатели памяти** служат для хранения адресов команд и данных или информации, необходимой для формирования адреса операнда при косвенном режиме адресации.

Указатель команд IP (или *программный счетчик*) формирует в начале адреса байтов текущей команды при ее выборке из памяти, а затем хранит адрес следующей команды.

Регистр адреса памяти РАП указывает адрес операнда в памяти при его прямой адресации.

Регистры – указатели BX, SI, DI и реже *BP* служат для хранения необходимой информации для формирования адресов данных в памяти. Регистры BX, SI, DI, а также BP и SP микропроцессора называют *регистрами общего назначения (РОН)*, так как они могут хранить как адреса, так и данные.

Указатель стека SP указывает на операнд, размещенный в специально организованной области данных, называемой стеком. *Стек* – это память, работающая по принципу «первый пришел – последний ушел».

Отметим, что в 32-разрядных процессорах Intel 80x86 регистры МП являются 32-битовыми и имеют в своих мнемонических обозначениях букву E (Extend): EAX, ECX, EDX, EBX, ESI, EDI, EBP, ESP и EIP. Эти регистры содержат для совместимости с МП 8086 младшие «половинки», входящие в перечень 16-битовых регистров этого МП.

Функционирование ЭВМ

Перед началом работы с помощью устройства ввода в память ЭВМ загружается программа и исходные данные. В указатель команд IP загружают адрес программы, например 0100H, что указывает на ее первую команду – A10205H. По сигналу «Пуск» в соответствии с адресом 100H из памяти в регистр (очередь) команд выбирается первая команда

программы. После ее выборки указатель IP укажет на адрес 103H следующей команды. В соответствии с этим адресом выбирается вторая команда и исполняется и т.д.

При выполнении команды обращения к памяти, например MOV AX,[0502H], через регистр адреса памяти РАП выставляется адрес операнда, равный 502H, и производится выборка операнда из памяти и загрузка его в аккумулятор AX. Программа выполняется до тех пор, пока не встретится команда останова.

При описании функционирования процессора выделены две составляющие (стадии) выполнения команды: 1) выборка кода команды, 2) ее исполнение. Современные 32- и 64-разрядные процессоры характеризуются наличием значительно большего числа стадий (10–30) выполнения отдельных команд с возможностью их параллельного исполнения различными устройствами ЦП. Всевозможные архитектурные приемы повышения производительности и расширения операционных ресурсов компьютеров рассматриваются в следующих разделах данной книги.

При разработке программ на языке ассемблера процессор представляют в виде его *регистровой (программной) модели*. В нее включают программно доступные регистры процессора (или МП), которые могут изменяться программно с помощью команд МП, содержащихся в его системе команд.

1.4. Основные структурные единицы (машинные элементы) данных в ЭВМ

Наименьшим элементом данных в ЭВМ является *бит* (Binary digit) – двоичная цифра X_i , принимающая значение 0, либо 1.

Для его отображения можно использовать два качественно отличающихся состояния, например, высокий и низкий уровень напряжения, включенное и выключенное состояние транзистора и другое.

Слово (двоичное) – упорядоченная последовательность из m бит, имеющая определенный смысл.

Слово: $X_{m-1} \dots X_i \dots X_2 X_1 X_0$, где бит $X_i = \{0, 1\}$.

Под *словом* понимают элемент цифровой информации, который хранится, обрабатывается и передается как одно целое.

Слово характеризуется его длиной или размером. *Длина слова* обычно определяется числом разрядов (бит) m процессора, осуществляющего его обработку. Поэтому, например, в 16-разрядных МП 8086 и 80286 *слово* содержит 16 бит = 2 байта, в 8-разрядных МП 8080 и

8085 – 8 бит (или 1 байт). *Байт* – это 8-разрядное слово. В 32-разрядных МП 386, 486 и Pentium длина слова составляет 32 бита.

Из последовательности байт могут быть образованы машинные элементы информации большей длины, например, *двойное слово* = 4 байта, *квядрослово* = 8 байт и т.д.

Для оценки достаточно большого количества байт, например размещенных в памяти, в вычислительной технике применяются *специальные единицы данных*.

Килобайт (КБ) содержит $1024 = 2^{10}$ (два в десятой степени) байтов.

Мегабайт (МБ или Мбайт) содержит примерно миллион (два в двадцатой степени – $2^{20} = 1048576$) байтов.

Гигабайт (ГБ или Гбайт) содержит примерно миллиард (два в тридцатой степени – 2^{30}) байтов.

Вскоре для описания емкости запоминающих устройств будет введена следующая единица данных **терабайт** (ТБ или Тбайт), содержащая два в сороковой степени (2^{40}) байтов.

1.5. Типы внешних устройств компьютера

Внешние устройства (ВУ) обеспечивают взаимодействия *операционного блока ЭВМ*, состоящего из *ЦП и памяти как ее центральных устройств*, с окружающей средой. Наиболее полно многообразие ВУ представлено в персональных компьютерах (ПК). В зависимости от специфики применения различают следующие основные типы ВУ.

1. Внешние устройства для связи с пользователем:

– *устройства ввода*, к которым относятся алфавитно-цифровая клавиатура, указывающие устройства (мышь, трэкбол, сенсорные панели и экраны, графический планшет, джойстик), сканер, устройства ввода звуковых и видеосигналов (например, микрофон, TV-тюнер, цифровые фото- и видеокамеры), считыватели с карточек и другое;

– *устройства вывода*, к которым относятся индикаторы, принтер, плоттер, дисплей, плоский экран, аудио- и видеосистемы и другое.

Эти устройства подключаются к ЭВМ, как правило, через стандартные интерфейсы (порты COM 1, COM 2, USB, LPT 1, LPT 2, клавиатуры, мыши PS-2, специальные аудио- и видеоадаптеры и другое).

2. *Устройства для связи компьютера с локальной (ЛВС) и глобальной (ГВС) вычислительной сетью:*

– сетевые адаптеры и концентраторы для ЛВС;

– телетайпы и модемы для ГВС.

3. *Устройства массовой памяти* представлены накопителями с использованием для долговременного хранения информации:

- магнитных дисков (жестких или гибких);
- магнитных лент (применяются крайне редко);
- оптических дисков (компакт-диски CD, диски DVD);
- флэш-памяти и другим.

4. Устройства связи ЭВМ с объектами управления:

- аналого-цифровые (АЦП) и цифровые (ЦАП) преобразователи;
- датчики, цифровые регуляторы, исполнительные устройства;
- таймеры, специальные сигнализаторы, пульты и т.д.

АЦП осуществляет преобразование аналоговой формы представления информации, например, в виде напряжения, в цифровую форму (код). ЦАП делает обратное преобразование «код → аналог».

1.6. Понятие интерфейса ввода-вывода в ЭВМ, основы канальной и шинной системотехники

При наращивании числа подключаемых к процессору и основной памяти компьютера внешних устройств в современных ЭВМ применяются *канальную и шинную системотехнику* (или технологию), с помощью которой организуется сопряжение (интерфейс) между устройствами ввода-вывода (УВВ) и ядром компьютера.

Под *интерфейсом* понимается совокупность аппаратных (линии и шины для передачи сигналов и специальные интерфейсные схемы) и программных (протоколы, программы – драйверы ввода-вывода) средств, с помощью которых производится обмен данными.

Шина – это физический канал передачи электрических сигналов, с помощью которых осуществляется связь между устройствами. При обмене данными по шине также передаются сигналы (слова) о состоянии УВВ, а также сигналы (слова) для их управления.

При этом *понятие физического канала* определяется для ЭВМ общего назначения как *процессор ввода-вывода*, а для класса микроЭВМ и персональных компьютеров – как *контроллер (адаптер) ввода-вывода (в/в)*, управляющий взаимодействием ЭВМ с внешним устройством (ВУ). Комплекс «ВУ – адаптер» образует *подсистему ввода-вывода*, предназначенную для «общения» ПК с внешней средой.

Впервые *канальная технология* интерфейса была применена в ЭВМ общего назначения (семейство ЕС ЭВМ и IBM-360), взаимодействующих с удаленными УВВ через отдельные физические каналы, работающие при обмене данными в режиме разделения времени.

Шинная организация интерфейса ввода-вывода реализована в мини-, а затем в микроЭВМ (рис. 1.4), типичная структура которых содержала единую системную шину (СШ).

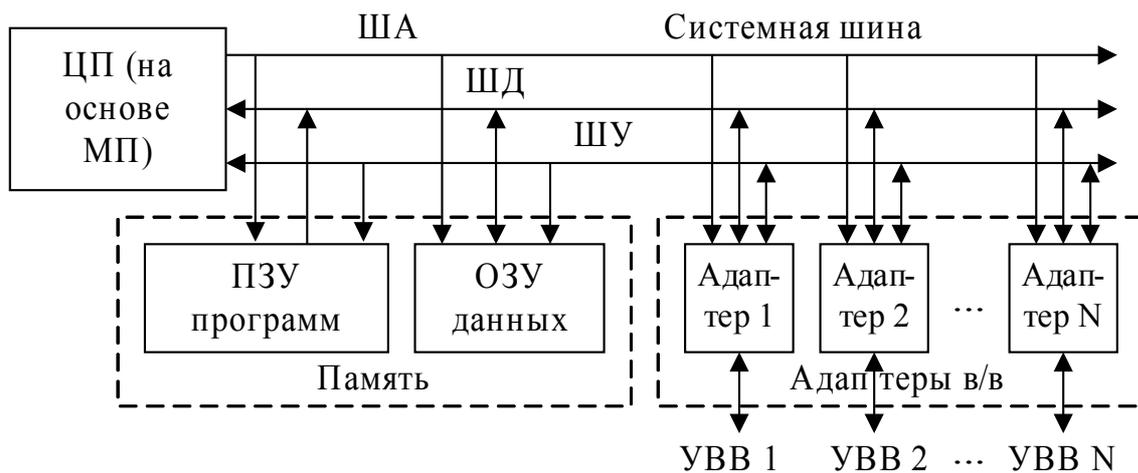


Рис. 1.4. Структура мини и микроЭВМ с единой системной шиной

Каждое УВВ подключается к этой шине через специальные адаптеры в/в. К СШ также подключена память, состоящая из двух частей: ПЗУ (постоянного запоминающего устройства ЗУ) для хранения программ и ОЗУ (оперативного ЗУ) для хранения данных.

В системной шине выделяют три группы линий, которые называют шинами адреса (ША), данных (ШД) и управления (ШУ). Важной характеристикой системной шины является ее *разрядность*, определяемая как число линий, содержащихся в ШД. В соответствии с этой характеристикой примерами 8-, 16- и 32-разрядных шин в ПК являются стандартные *параллельные шины расширения* XT (или AT-8), AT (или ISA) и PCI соответственно. Для них характерна передача данных в параллельном формате (за 1 такт передается, например, 8, 16, 32 бит).

В *последовательных шинах*, например, стандартных интерфейсов USB, PCI Express и SATA, данные передаются в последовательном формате (за 1 такт один бит). При этом для передачи данных используется минимальное количество электрических линий, в частности в USB – четыре, по которым также передается адресная и управляющая информация. Уменьшение числа линий в шине позволяет повысить надежность и скорость передачи информации, в том числе и за счет специальных сигнальных технологий и помехоустойчивого кодирования.

Адаптеры (контроллеры) в/в строятся на основе шинных формирователей, регистров, интерфейсных БИС. С точки зрения программиста, каждый адаптер представляет собой набор программно-доступных (физически адресуемых) регистров – *портов ввода-вывода*, при обращении к которым с помощью специальных программ – драйверов осуществляется обмен информацией между ВУ и ядром компьютера. Основу этих программ составляют команды ввода (IN) и вывода (OUT), с помо-

щью которых можно передать содержимое порта в регистр ЦП или сделать обратную передачу: из процессора – в порт.

Разработка программ, связанных с вводом-выводом, осуществляется, в основном на основе языка ассемблера или с использованием средств встроенного ассемблера, если программирование ведется на языке высокого уровня, например, Си, Паскаль.

Существенной особенностью современных персональных компьютеров является многообразие различных вариантов (*стандартов*) *интерфейса* ввода-вывода, в том числе PCI, USB, PCI Express, SATA, обеспечивающих взаимодействие процессора как с внутренними, так и с внешними устройствами ПК. Поэтому не случайно важной составляющей эволюции структур компьютера, особенно в направлении повышения его производительности, являются технологии интерфейса ввода-вывода. Достаточно подробно они будут рассмотрены при изучении структур современных компьютеров, характеризующихся *применением многошинной организации интерфейса*, а также при рассмотрении принципов построения адаптеров внешних устройств ПК.

1.7. Базовая система ввода-вывода как основа управления обмена данными с внешними устройствами

Управление взаимодействием внешних устройств с ядром ЭВМ (ЦП и основная память) осуществляется с помощью специальных программ-драйверов или процедур ввода-вывода, размещенных в отдельной области памяти. Пока они не выполняются, компьютер представляет собой просто набор нефункционирующих устройств.

Минимальный набор этих программ в виде специальных процедур образует, как принято называть для класса персональных ЭВМ, *базовую систему ввода-вывода (BIOS)*. Эти программы размещены в микросхеме энергонезависимой *системной памяти ROM-BIOS*. Они включают в себя процедуры (подпрограммы), которые обеспечивают инициализацию всех интерфейсных БИС ПК для их настройки на работу с клавиатурой, накопителями, монитором, а также тестирование ПК с целью обнаружения ошибок. Если они не обнаружены, запускается процедура BIOS, обеспечивающая загрузку в ПК из выбранного накопителя необходимой операционной системы (ОС). После ее загрузки взаимодействие ядра ПК с внешними устройствами (ВУ) также поддерживается программами – драйверами, как входящими в состав ОС, так и загружаемыми отдельно, в том числе из *ROM-BIOS адаптеров*.

В ряде случаев при разработке пользовательских программ, в которых требуется осуществлять обмен данными с клавиатурой, монитором, накопителями на самом нижнем «физическом» уровне управления, можно использовать процедуры ввода-вывода, хранящиеся в постоянной памяти ROM BIOS, расположенной на системной плате ПК. Вызов из нее необходимой процедуры производится командой прерывания INT <вектор прерывания>, включенной в выполняемую программу. В зависимости от значения этого вектора возможны вызовы следующих процедур: 09H – аппаратное прерывание клавиатуры, обеспечивающее сохранение ASCII-кода клавишного действия в памяти, 16H – операции работы с клавиатурой и ее буфером, 10H – вывод на экран, 13H – обращение к магнитным дискам.

Наряду с драйверами BIOS управление этими устройствами на более высоком уровне может также производиться с помощью системных программ (функций) ядра операционной системы MS-DOS, вызываемых командой прерывания INT 21H. Следующий уровень управления обычно реализуется на основе выполнения специальных программ – драйверов адаптеров внешних устройств.

1.8. Система и виды прерываний в ЭВМ

Назначение системы прерывания – реагировать на определенные события путем прерывания работы процессора по выполнению программы (условно основной) и переключению ЦП на выполнение другой программы (процедуры), обслуживающей соответствующую ситуацию, например, появление неисправности в работе микросхем ОП, деление на нуль, обращение к памяти, выделенной для другой программы, нажатие клавиши, запрос ВУ для обмена и другое.

Таким образом, под *прерыванием* понимается временное прекращение текущей программы центральными устройствами ЭВМ с *запоминанием* в памяти (стеке) слова состояния программы и адреса команды, на которой произошло прерывание, и *переходом* к выполнению другой программы, называемой процедурой прерывания. В свою очередь, она может быть прервана при выявлении события с более высоким *приоритетом обслуживания*.

В персональном компьютере на базе МП 80x86 поддержка этих функций (запоминание и переход) осуществляется посредством команды прерывания INT n. При этом с помощью 8-битового кода n, называемого типом прерывания, задается один (4×n) из 256 адресов основ-

ной памяти, начиная с нуля, куда заранее размещают адреса вызываемых процедур прерывания. Например, при выполнении в ПК команды INT 5H, вызовется процедура BIOS вывода на печать экрана.

На аппаратно-программном уровне организации ЭВМ выделяют три основных вида прерываний, зависящих от принципа выявления этих событий и инициирования прерывания программы.

1. *Аппаратное прерывание* инициируется в момент возникновения какого-либо события, отмечаемого формируемым извне *сигналом запроса на прерывание (ЗП_i)*, который поступает от ВУ_i, запросившего обмен данными, на специальную схему (рис. 1.5) – программируемый контролер прерывания (ПКП). Эта схема вырабатывает для МП 80x86 сигнал прерывания INTR и тип прерывания n (для *внешней команды прерывания INT n*), считываемого сигналом #INTA. Код n содержит 3-битовый вектор V, значение которого равно номеру ВУ, который будет обслужен в режиме прерывания.

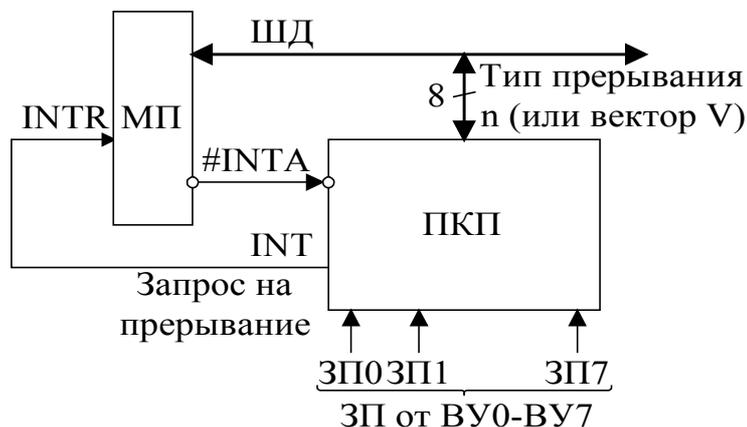


Рис. 1.5. Структура многоуровневой системы прерывания

2. *Программное прерывание* вызывается командой прерывания INT n путем ее включения в основную программу.

3. *Внутреннее прерывание* инициируется с помощью работы *внутренней схемы прерывания*, поддерживающей все необходимые действия по вызову процедуры, обслуживающей ситуацию, которая выявлена с помощью системы прерывания.

Наличие в ЭВМ различных видов системы прерывания позволяет эффективно поддерживать такие ее функции, как: организация обмена данными с ВУ, мультипрограммирование и защита памяти.

1.9. Классификация ЭВМ

Многообразие свойств и характеристик компьютеров, их конструктивного исполнения, а также сфер (областей), специфики и

масштабов их применения порождает многообразие классификаций, различающихся в основном тем, какие признаки принимаются в качестве главных, а какие – в качестве второстепенных. Также важно, с какой целью она осуществляется и для кого предназначена.

1. Классификация по сфере и специфике применения ЭВМ

Учитывая огромные масштабы применения вычислительной техники и колоссальное число ее пользователей, целесообразно, в первую очередь, разделить все многообразие компьютеров на их *типы (или виды)*, которые масса пользователей выделяет в мире современных компьютерных и информационных технологий по такому комплексному признаку как *сфера и специфика применения ЭВМ*.

Цель такой классификации – выделить на современном этапе их развития определенные подмножества разнотипных компьютеров, с которыми в повседневной жизни сталкиваются их пользователи или получают о них информацию через телевидение, радио, печать и т.п.

Типы компьютеров

Персональный компьютер (рис. 1.6)



Рис. 1.6. Состав персонального компьютера

В состав базовой конфигурации ПК входят следующие компоненты: *системный блок*, в котором сосредоточены основные узлы компьютера, а также *клавиатура*, *экран (монитор)*, *мышь*. Наряду с настольными также выпускается несколько других типов ПК.

К классу *мобильных* (переносных) компьютеров относят *лаптопы* («наколенные» компьютеры – laptops) и *ноутбуки* (блокноты – notebooks), которые по своим возможностям лишь немного уступают настольным ПК. Считается, что лаптопы несколько производительнее ноутбуков и их цена, соответственно, выше.

Рабочая станция (workstation) является или компонентом (относительно сервера) компьютерной сети, или настольным ПК, обладающим большей памятью и более высоким быстродействием.

Выпускаются также крошечные карманные *персональные цифровые помощники* (Personal Digital Assistant – PDA), обычно называемые «карманными», или «наладонными», компьютерами. Практически каждый месяц объявляется о выпуске новых специализированных компьютерных устройств, например компьютерных переводчиков, словарей, разговорников и т.д.

Объем продаж миниатюрных ПК постоянно увеличивается. Для них разрабатывается свое программное обеспечение, обычно на базе операционных систем типа Windows CE (Consumer Electronics), и имеются упрощенные версии большинства распространенных приложений. Важно отметить, что мобильный компьютер можно подключать к настольному ПК для передачи данных.

Сервер (рис. 1.7)

Понятие *сервер* (server) фактически относится к *функции* компьютера, а не к конкретному его типу. Сервер управляет работой компьютерной сети (computer network), выполняя задачи распределения оборудования сети, например принтеров, и взаимодействия между компьютерами сети. Для решения таких задач требуется более мощный компьютер по сравнению с настольным персональным компьютером. Сервер должен иметь более высокое быстродействие, больший объем внутренней и внешней памяти и обладать более развитыми коммуникационными возможностями.



Рис. 1.7. Сервер

Промышленный микрокомпьютер

На промышленных предприятиях, в энергетике и сферах производства и управления специальными объектами, характеризующихся особыми требованиями к условиям эксплуатации ЭВМ, в составе раз-

личных информационно-измерительных и управляющих систем широко применяются *промышленные микрокомпьютеры*. По своей структуре и составу они схожи с типичными персональными ЭВМ, но отличаются повышенными требованиями к надежности их работы.

В составе этих систем также применяются *одноплатные микроЭВМ* (или процессорные модули, мобильные платформы), которые составляют основную часть конфигурации специализированной микропроцессорной системы (МПС), формируемую пользователем (разработчиком). Данный тип компьютеров характеризуется ограниченными операционными ресурсами процессора, памяти и интерфейса. Процессорные модули дополняются модулями для выполнения операций сбора измерительных сигналов и управления объектами.

Специализированная микроЭВМ и микропроцессор

Являются наиболее распространенной разновидностью компьютеров специализированного назначения. Среди них чаще всего выделяют такие типы вычислительных устройств, как: *однокристалльные микроЭВМ* (или *микроконтроллеры – ОМК*) и *специализированные (сигнальные) микропроцессоры*. Их специфика – ориентация на выполнение отдельных узких задач, связанных в основном с обработкой сигналов и управлением. Указанный вид микрокомпьютеров, хотя и невидимых при их применении, является наиболее распространенным. Эти устройства встроены в электронные схемы практически бесчисленного количества современных мобильных телефонов, телевизоров, радиоаппаратуры, цифровых фото- и видеокамер, офисной оргтехники, стиральных машин, холодильников, СВЧ-печей и т.д.

Миникомпьютер (рис. 1.8)

В настоящее время *миникомпьютеры* утратили свое значение по мере того, как увеличивалась мощность настольных ПК. Фактически новейшие персональные компьютеры значительно мощнее миниЭВМ недавнего прошлого.

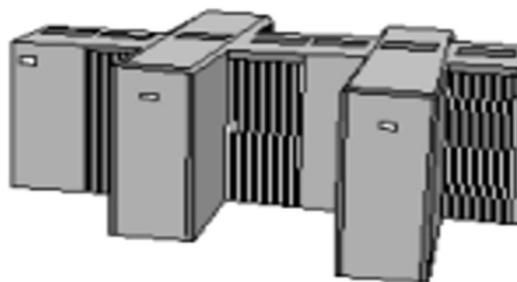


Рис. 1.8. Миникомпьютер

Большой компьютер (рис. 1.9)

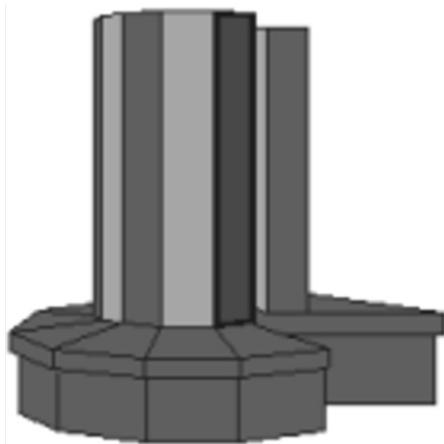


Рис. 1.9. Большой компьютер

Большой компьютер, обычно называемый *мэйнфреймом* (mainframe), является «рабочей лошадкой» мира бизнеса. Он служит основой сети компьютеров или *терминалов*, позволяя сотням людей одновременно работать с одними и теми же данными. При работе мэйнфрейма в режиме *разделения времени* (time sharing) у каждого пользователя создается иллюзия монопольного «владения» всеми ресурсами компьютера. Для мэйнфрейма требуется специальное помещение со средствами охлаждения и вентиляции. Разумеется, о массовом выпуске больших компьютеров речь не идет.

Суперкомпьютер

Суперкомпьютеры (supercomputer) являются наиболее мощными и дорогими вычислительными системами. Они применяются для решения задач, связанных с огромным объемом вычислений, например прогноза погоды, экономических расчетов, инженерных и научных вычислений, шифрования и дешифрования и т.д. Из-за огромной стоимости суперкомпьютеров они выпускаются незначительными партиями. Наиболее мощные суперЭВМ содержат тысячи процессоров.

Оказывается, что для некоторых расчетов мощности одного суперкомпьютера недостаточно. В среде *распределенной обработки* (distributed computing) множество разнотипных или одинаковых компьютеров, объединенных в *компьютерную сеть*, решает части задачи и их результаты объединяются.

2. Классификация по способам структурной организации

Приведенные далее варианты классификации предназначены для более узкого круга пользователей и необходимы в основном для понимания основ построения и функционирования компьютера, а также проектирования специализированных вычислительных систем.

Наличие нескольких процессоров существенно влияет на *структуру ЭВМ*. Поэтому принято компьютеры подразделять на два класса: *однопроцессорные* и *мульти-, или многопроцессорные*, которые могут быть, например, двух- или четырехпроцессорными. В частности много-

процессорная структура для класса современных персональных компьютеров позиционируется как *многоядерная*. Под ядром обычно понимается операционная часть ЦП (без внешней кэш-памяти). *Однородная* мультипроцессорная ЭВМ состоит из однотипных, а *неоднородная* – из разнотипных процессоров.

Современный сервер, как правило, представляет собой однородную мультипроцессорную ЭВМ, если в его составе применяются два и более ориентированных на многопроцессорные конфигурации микропроцессора, например 32-разрядные Pentium Xeon.

К классу неоднородных мультипроцессорных ЭВМ можно отнести практически все персональные компьютеры, так как их операционный блок наряду с процессором для целочисленных операций содержит арифметический сопроцессор (АСП) для обработки чисел с плавающей точкой. Число процессоров в ПК, а, следовательно, интеллектуальные возможности компьютера, можно нарастить, если через разъем (слот) шины расширения компьютера установить плату расширения (карту) с размещенной на ней, например, нейропроцессором Neuromatrix NM6403.

Поскольку многопроцессорная архитектура позволяет существенно повысить производительность компьютера за счет одновременного выполнения нескольких команд и программ, то ее принципы (технологии) нашли широкое применение во внутренней архитектуре процессоров, применяемых в современных компьютерах. В первую очередь, это технологии суперскалярности, конвейеризации, многоядерности, виртуализации и другие (см. глава 3).

3. Классификация по способам функциональной организации

В ЭВМ могут быть реализованы специальные функции (операции), необходимые для обеспечения необходимых режимов обработки информации. Исходя из указанных особенностей, выделяют следующие классы компьютеров: однопрограммные и многопрограммные. В *однопрограммной машине* в ее памяти хранится программа одной выполняемой задачи. В настоящее время эта функция поддерживается в простых однокристальных микроконтроллерах.

Мультипрограммные ЭВМ – это машины, предназначенные для параллельной обработки нескольких задач. Они оснащаются памятью большой емкости, достаточной для размещения программ выполнения нескольких задач.

Основные понятия многозадачности

Аппаратно-программное обеспечение мультипрограммных компьютеров поддерживает такие функции вычислительной системы, как: *защита памяти, реализация многозадачности и система прерываний*, извещающих об особых событиях при решении нескольких задач и обеспечивающих оптимальный порядок их выполнения.

Поддержка *мультизадачности* достаточно эффективно решена, например, в персональных компьютерах IBM PC, где она реализуется путем организации, так называемого, *защищенного режима работы* 32-разрядного процессора. Его основа – специальная *модель (блок) доступа к памяти*, в которой размещены программные модули решаемых задач. Этот блок содержит на уровне процессора и памяти специальные дескрипторные регистры и таблицы дескрипторов, обеспечивающие необходимый механизм защиты сегментов или страниц памяти, а также поддержку установленных уровней привилегий задач.

Детальное знание принципов многозадачности и связанных с этим рассмотренных выше понятий требуется достаточно узкому кругу специалистов – в основном системным программистам, которые осуществляют проектирование операционных систем компьютеров и специальных системных программ.

1.10. Поколения, история и тенденции развития ЭВМ

Рассмотрение поколений компьютеров позволяет выявлять наиболее существенные особенности их построения на определенных отрезках развития вычислительной техники, обусловленных в первую очередь элементной базой и реализуемой при этом архитектурой.

К первому поколению электронных компьютеров, использующих принцип программного управления, относят появившиеся в начале 50-х годов прошлого столетия однопрограммные серийные вычислительные машины, построенные на *электронных лампах*. Вместе с тем следует отметить, что еще ранее, в середине 40-х годов, были построены и продемонстрированы в США первые универсальные релейно-механические машины. В более глубоком ракурсе истории вычислительной техники следует отметить идеи английского математика Ч. Бэббиджа (1833) по использованию программного управления для построения арифметических устройств, а также первую арифметическую машину, сконструированную Лейбницем в 1674 году.

Второе поколение ЭВМ (конец 50-х годов) характеризуется применением при их построении *транзисторов*, что существенно повысило

надежность работы компьютеров и расширило их логические возможности при решении научных и других задач. Идеи, реализованные в машинах этого поколения (принципы организация малых и больших ЭВМ, проблемы взаимодействия человека с машиной), оказали значительное влияние на их дальнейшее развитие.

ЭВМ третьего поколения появились во второй половине 60-х годов с серийным выпуском больших компьютеров (машины общего назначения семейства IBM-360 и ЕС ЭВМ). При их построении стали использовать *полупроводниковые интегральные схемы (ИС)*. Дальнейшее развитие в машинах этого поколения получили принципы мультизадачности, системы прерываний, защита памяти. В архитектуре ЭВМ были приняты новые формы представления данных и команд, основной информационной единицей которых стал байт.

С середины 70-х годов с внедрением *интегральных схем со средней (СИС)*, а затем с *большой (БИС)* и *сверхбольшой (СБИС)* степенью интеграции появились целые подмножества компьютеров, относящиеся к *четвертому поколению*.

Первые типы таких компьютеров – 16-разрядные миниЭВМ (PDP-11 фирмы DEC и СМ ЭВМ в СССР) и микроЭВМ (например, LSI-11 и Электроника 60, ДБК-2 с системой команд DEC-компьютеров, а также IBM PC и ЕС 1840). Их создание привело к началу эпохи масштабного внедрения аппаратно-программных средств в состав автоматизированных систем управления различными технологическими процессами и объектами. В этот период также были созданы суперЭВМ, в частности семейство «Эльбрус» – многопроцессорные системы, отличающиеся высокой производительностью.

Наиболее характерной чертой компьютеров этого поколения является применение *микропроцессоров (МП)*. МП – это функционально завершенное универсальное программно-управляемое устройство цифровой обработки данных из одной или нескольких БИС. При рассмотрении организации ЭВМ в виде вычислительной системы *микропроцессор* с точки зрения выполняемых им операций представляют в *виде процессора* как устройства, реализующего его функции.

Операционные возможности микроЭВМ в сочетании с их малыми габаритами в связи с применением МП стали базой создания (в рамках 4 поколения) нового типа вычислительных машин – *персональных компьютеров*, получивших в настоящее время самое широкое распространение, в том числе в вузах и школах. Именно на основе их аппаратной платформы уже многие годы прививаются основы знаний и навыки

работы с информационными и компьютерными технологиями. В связи с этим необходимо знание архитектурных особенностей персональных компьютеров с учетом их применения в этих сферах.

В конце 80-х годов в плане дальнейшего развития вычислительной техники также определились концепции организации компьютеров *пятого поколения*. Для них характерны такие качественно новые интеллектуальные свойства, как: возможность взаимодействия с ЭВМ с помощью человеческой речи и графических изображений, способностью системы обучаться и перестраивать свою структуру на решение новой задачи, быть машиной знаний и т.д. В направлении реализации этих свойств для ряда областей применения (авиация, обработка изображений, системы принятия решений и другое) созданы *нейрокомпьютеры*, получены первые результаты по созданию интеллектуальных нейропроцессоров ввода-вывода аналоговых сигналов.

В основу их архитектуры положена нейросетевая концепция организации головного мозга (интеллекта) человека и его рецепторных систем, в которых основными функциональными элементами являются биологические нейроны, взаимодействующие друг с другом через синаптические связи. Применение данной концепции их организации для построения технических систем (этим занимается наука *бионика*) осуществлено в таких их видах, как *искусственные нейронные сети (ИНС)*. Оперативная перестройка нейросети на решение новой задачи производится путем формирования необходимого числа математических нейронов, а также установки весов синаптических связей между ними за счет обучения или самоадаптации сети.

В перспективе, для некоторых сфер применения компьютеры будут переводиться на новые технологии их реализации и связанной с этим новой логикой вычислений. Речь идет о построении *квантовых вычислителей* и *биокомпьютеров*, базирующихся на явлениях *квантовой механики* и *молекулярной биологии*.

Для первых в качестве носителей состояния 0 и 1 может выступать *спин электрона*, который направлен вверх (0) или вниз (1). Построение квантовых компьютеров базируется на применении технологии молекулярных ДНК-вычислений, связанных со знанием *функций ДНК-молекулы*. На их базе ведутся разработки биологического нанокompьютера, который планируется вживлять в клетку организма. Его производительность будет составлять миллиарды операций в секунду при энергопотреблении не более одной миллиардной доли ватта.

1.11. Архитектурные особенности и характеристики персональных компьютеров

Архитектурные особенности ПК, их поколения

Характерной особенностью персональных компьютеров (ПК), является их *открытая модульная* (или *платформенная*) *архитектура*. Ее несомненное достоинство – предоставляемая пользователю возможность легко менять конфигурацию ПК, а также модернизировать или заменять ставшие неэффективными блоки исходной модели с целью улучшения ее технических характеристик, например, наращивание емкости ОП и накопителей, а также замена МП, адаптеров, системной платы и других устройств.

ПК с такой архитектурой впервые предложила фирма IBM. Они известны как «семейство IBM PC», или просто PC. По показателю цена/производительность PC, как правило, являются одними из лучших в классе ПК, что определило их наиболее широкое применение, особенно в нашей стране. Эти компьютеры строятся в основном на базе МП с системой команд 80x86 фирм Intel и AMD.

Наряду с этим, применяются компьютеры, разработанные другими фирмами (Appel, DEC, Motorola, Sun и другие) Из них наиболее известна фирма Appel, выпускающая компьютеры Macintosh («маки»), в основу которых положены RISC-процессоры PowerPC. Структура этих компьютеров имеет достаточно схожую с IBM PC многошинную организацию, типичный набор стандартных интерфейсов, а также перечень применяемых внешних устройств.

Первые *персональные компьютеры как однопользовательские универсальные ЭВМ* появились в середине 70-х годов. С того времени в мире сменилось несколько поколений ПК, определяемых разрядностью используемого микропроцессора как характеристики, отмечающей этапы развития ПК с новыми качественными параметрами его архитектуры и операционных возможностей.

Архитектура персональных компьютеров *первого поколения* определялась 8-разрядными микропроцессорами i8080, i8085, Z80, K580BM80.

Второе поколение ПК (с 1981 года) базировалось сначала на 16-разрядных МП i8086, i8088, i80286, Z8000, Motorola 6800, отечественных K1810BM86, K1801BM1 и K1801BM2 и других. Из этого клас-

са известны ПК фирмы IBM PC XT и AT; микроЭВМ LSI-11, отечественные Искра 1030, ЕС1840, Электроника-60, ДВК-2 и другие.

Третье поколение персональных компьютеров (с 1986 г.) широко использует 32-разрядные МП Intel 386, 486, Pentium (P5), Pentium MMX, Pentium Pro, Pentium II и его модификации Celeron и Xeon, Pentium III, AMD K6, RISC-процессоры семейства PowerPC 601, 604, 970, DEC Alpha и другие.

В настоящее время из этого класса компьютеров наиболее широко применяются офисные и домашние персональные компьютеры на базе МП семейства Intel Pentium 4 и AMD Athlon 64, а также их упрощенных вариантов – Intel Celeron D и AMD Sempron.

Интенсивно в ПК внедряются МП нового поколения – двухъядерные процессоры Intel Core 2 Duo и AMD Athlon 64 X2 Dual, отличающиеся высокой производительностью и низким энергопотреблением. Здесь также следует отметить ПК Macintosh фирмы Appel, в основу которых положены RISC-процессоры PowerPC.

Следующее, *четвертое поколение* ПК, будет базироваться на 64-разрядных процессорах Intel Itanium, AMD Opteron, IBM Power4 и других. Однако эти процессоры ориентированы на работу в мощных серверах и очень дорогие.

Фирма Intel для представления своих разработок, используемых в IBM PC, выделяет восемь созданных ей поколений микропроцессоров с базовой системой команд 80x86: 1 – МП i8086 и i8088; 2 – МП i286, 3 – i386; 4 – i486; 5 – Pentium (или P5) и Pentium MMX; 6 – процессоры Pentium Pro, Pentium II, Pentium III и их модификации Celeron и Xeon (семейство P6); 7 – МП семейства Pentium 4; 8 – двухъядерные процессоры семейства Intel Core 2 Duo.

Такое разделение позволяет при описании компьютеров семейства PC более четко связывать их технические характеристики с микроархитектурой процессоров.

Основные пользовательские характеристики ПК

К важнейшим характеристикам ПК относятся:

Комплектность – перечень устройств, входящих в состав основной (базовой) конфигурации персонального компьютер, и список возможных дополнительных устройств. Эти устройства (принтер, плоттер, сканер и другие) сопрягаются с ПК с помощью контроллеров (адапте-

ров), которые устанавливаются в разъемы расширения (слоты) интерфейсных шин или размещаются на системной плате ПК.

Цена – это стоимость основной конфигурации компьютера и возможные дополнительные затраты на его доукомплектование. Стоимость простейшего домашнего ПК – около 500–700 долларов, профессионального ПК – от 700 до 1000 долларов и более, включая стоимость основной версии операционной системы.

Тип микропроцессора. Указание в рекламе или прайс-листах типа МП определяет такие характеристики компьютера, как его машинный язык, разрядность обрабатываемых данных, адресуемая емкость памяти, быстродействие.

Тип МП определяет в значительной мере производительность (быстродействие) компьютера. Для ее оценки приводятся максимальная внутрипроцессорная тактовая частота $F_{ЦП}$, на которой работает МП, и также частота $F_{Ш}$ его системной, или основной, процессорной шины FSB (Front Side Bus). Под $F_{Ш}$ понимается частота передаваемых через эту шину данных. Сейчас распространены 32-разрядные МП семейства Pentium 7 поколения и их клоны AMD Athlon 64, а также двухъядерные процессоры Intel Core 2 Duo, в которых максимальные значения $F_{ЦП}$ и частоты FSB достигают 4–5 ГГц и 800–1000 МГц соответственно.

Достижение высоких частот FSB в этих МП по сравнению с предыдущими поколениями обеспечивается тем, что в них в течение периода T следования тактовых импульсов данные передаются через шину FSB по фронтам каждого импульса с учетом его инверсии и сдвига на полтакта. Это позволяет получить частоту FSB в 2 и 4 раза выше, чем частота синхронизации $F = 1/T$.

При выборе МП необходимо учитывать такую его характеристику, как потребляемую им мощность, так как с увеличением $F_{ЦП}$ она существенно возрастает, что приводит к необходимости применения более качественных и мощных источников питания, а также вентиляторов для охлаждения чипа процессора.

Емкость оперативной памяти и кэш-памяти второго уровня, их типы. Оперативная память (ОП) определяет объем информации, который можно оперативно в темпе работы процессора обрабатывать на ПК. Обычно указывают минимальный объем ОП, с которым поставляется компьютер, и ее максимально возможный объем, который можно получить, установив дополнительные модули памяти DIMM. Минимальный объем ОП компьютера обычно составляет не менее 512 Мбайт (или МБ), а кэша второго уровня L2 – 128 Кбайт (или КБ) и более. Для двухъядерных процессоров рекомендуется ОП объемом 12 Гбайт и кэш L2 размером 2–4 Мбайт и более. Важными характеристиками ОП являются время выборки микросхем, применяемых для реализации памяти, а также их тип – SDRAM, DDR, DDR2 и другие. Комплекс технических средств на базе процессора и основной памяти называют процессорным или операционным блоком.

Емкость и комплектация внешних запоминающих устройств определяют объем информации, доступной для обработки на ПК. При этом наряду с емкостью указывают тип накопителей: накопители на жестких (НЖМД) и гибких (НГМД) магнитных дисках, на компакт-дисках (CD-ROM, DVD-ROM и другие), их количество в основной конфигурации и возможность подключения дополнительных накопителей. Как правило, компьютер комплектуется НГМД, накопителем винчестерного типа (НЖМД) емкостью не менее 160 Гбайт и дисководом для CD.

Характеристики дисплея и клавиатуры служат для оценки удобства общения пользователя с ПК. Стандартная конфигурация компьютера включает клавиатуру, мышь и цветной дисплей, подключенный к компьютеру через видеоадаптер. При этом его важной характеристикой является емкость видеопамати, обычно не менее 128–256 МБ.

Стандарты шин и внешнего интерфейса определяют возможность подключения адаптеров внешних устройств (ВУ), в том числе и нестандартных, к системным и локальным шинам (например, PCI, PCI-X, PCI-Express), связанным, в свою очередь, через контроллер шин с операционным блоком компьютера.

Типовые ВУ также могут подключаться к операционному блоку компьютера через параллельные и последовательные порты и интерфейсы (например, ATA, SATA, USB и другие). При этом стандарты шин и внешнего интерфейса определяют максимальную скорость обмена данными ПК с внешними устройствами.

Состав и характеристики сетевого коммуникационного интерфейса показывают, что ПК может комплектоваться сетевым адаптером (картой) и модемом для сопряжения ПК с локальными или глобальными сетями. Для этих устройств указывают максимальную скорость передачи данных, обычно 10000 Мбит/с для сетевых карт и 63.2 Кбит/с и более для модемов.

Архитектура системной платы (СП). Эта характеристика показывает не только конкретный набор устройств, слотов и процессорных разъемов (например, Socket 775 для подключения Pentium 4) в базовой конфигурации ПК, но и возможности дальнейшей модернизации компьютера с целью повышения производительности и расширения его операционных возможностей. Архитектура платы и ее характеристики определяются в основном набором (chipset) управляющих микросхем, на которых она реализована. Их тип характеризует такие возможности платы, как поддержка вариантов микропроцессоров и модулей ОП, а также перечня и типов стандартных шин и интерфейсов.

Наряду с этими характеристики платы зависят от функций, поддерживаемых микросхемами памяти базовой системы ввода-вывода BIOS: автоконфигурирование, энергосбережение, изменение частоты тактирования шин, мониторинг температуры и напряжения и т.д.

Конструктивные особенности системных плат (СП) и корпусов компьютеров обеспечивают наиболее удачное размещение на СП и в корпусе разнообразных устройств ввода-вывода, включая и мультимедийные, а также блока питания, вентиляторов и т.д., что важно при эксплуатации ПК и дальнейшего расширения его базовой конфигурации. В настоящее время наиболее часто используются корпуса стандарта АТХ в виде башни. Важным является указание фирмы-изготовителя СП, пользующейся хорошей репутацией по уровню качества и технической поддержки, соответствию продукции самым передовым тенденциям.

Приведенные характеристики отражают внешние для пользователя ПК его архитектурные особенности. Они требуются, чтобы иметь общие представления о возможностях того или иного компьютера. Однако для профессиональной деятельности в сфере компьютерных технологий необходимо знать структурно-функциональную организацию современного компьютера.

2. СТРУКТУРА ПЕРСОНАЛЬНОГО КОМПЬЮТЕРА, СОСТАВ И ВЗАИМОДЕЙСТВИЕ ЕГО УСТРОЙСТВ

Основные понятия структуры компьютера

Быстрая смена поколений, стремительные изменения в микроархитектуре процессоров, наращивание количества и видов основной памяти, а также интенсивное применение многошинной организации интерфейса для взаимодействия устройств современных компьютеров не позволяют подробно описать все многообразие их структур.

Вследствие этого в данном разделе наибольшее внимание уделяется изложению структуры компьютера, состава его устройств и их взаимодействия в эволюции *от единой шины к многошинной организации его интерфейса* (сопряжения, связи устройств) на примере систем на основе процессоров семейства i80x86 и PowerPC.

Под *операционным (процессорным) блоком компьютера* понимается единый комплекс (структура) из его *центральных устройств (процессора и различных видов основной памяти)*, а также *средств интерфейса*, поддерживающих их связь и взаимодействие между собой и с внешними устройствами (ВУ).

Введение этих понятий обосновано тем, что в настоящее время расширение операционных ресурсов и повышение производительности компьютера, в первую очередь, базируются на объединении в одно целое возможностей его центральных устройств и способов их сопряжения и взаимодействия для достижения этих целей. Поэтому принципы организации операционных блоков и средств интерфейса во многом определяют структуру современного компьютера.

Анализ структур компьютера в их *эволюции* дает возможность увидеть большое многообразие технологий повышения его производительности и расширения операционных ресурсов, а также определить наиболее характерные элементы современной архитектуры ЭВМ.

Необходимо отметить, что рассмотрение структурной организации персонального компьютера (ПК) в его развитии является необходимым условием успешной *модернизации* эксплуатируемого ПК, так как его платформа (архитектура) «открыта» для пользователя. Вследствие этого он может заменить ряд компонент платформы на более совершенные устройства, «взятые» из новой структуры (схемы) компьютера, но с учетом знания его операционных и эксплуатационных возможностей в сравнении с прежними моделями машины.

2.1. Структура компьютеров с единой системной шиной

2.1.1. Структурная схема 16-разрядного компьютера PC XT

На рисунке 2.1 приведена структура одного из первых 16-битовых персональных компьютеров семейства IBM PC XT, ставшая основой создания целого ряда поколений компьютеров с открытой модульной архитектурой. В основу рассматриваемой структуры положены принципы организации мини- и микроЭВМ с общей шиной (см. рис. 1.4). Сегодня они применяются при построении однокристальных микроЭВМ.

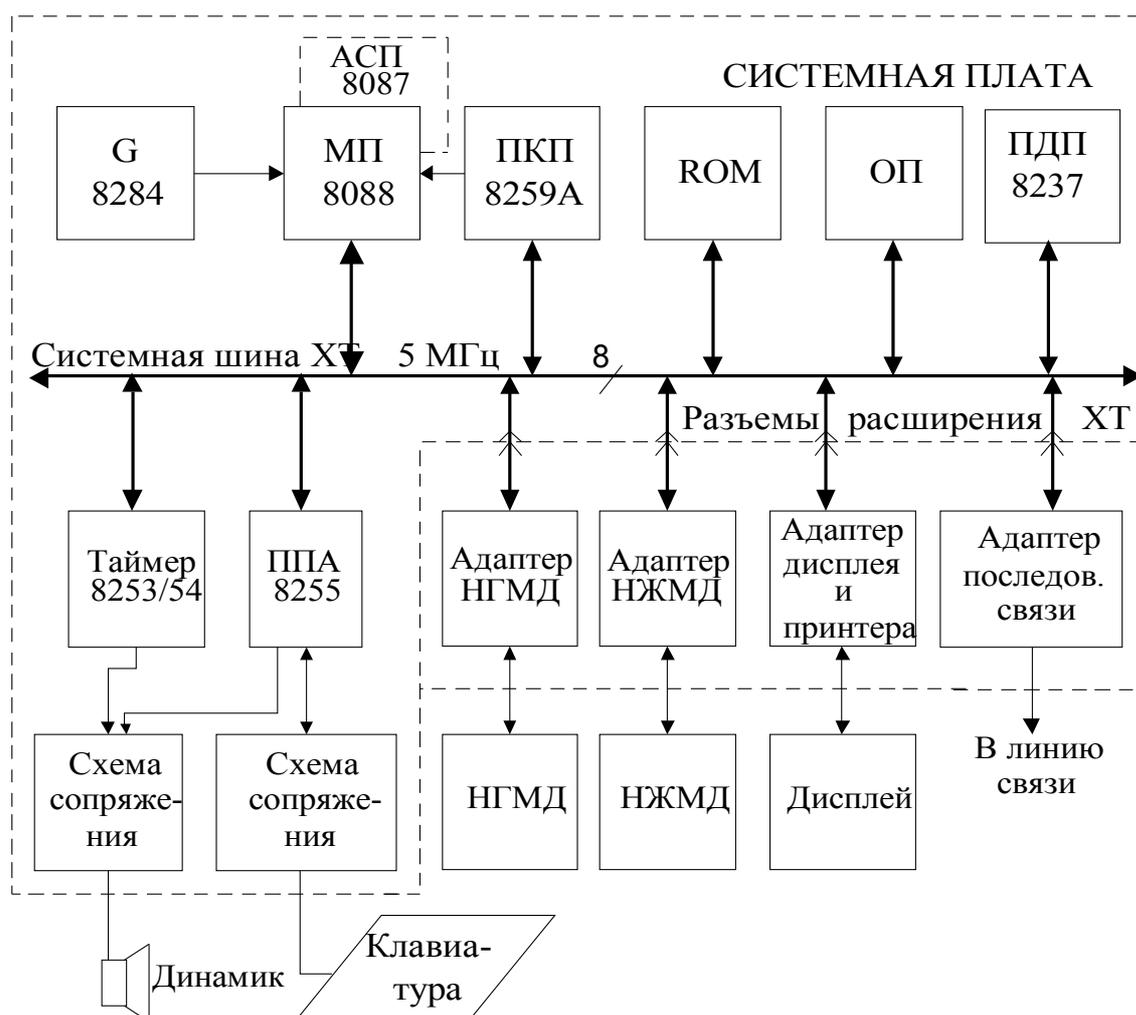


Рис. 2.1. Структурная схема компьютера PC XT (2 поколение ПК)

Заметим, что аналогичную организацию имели ПК первого поколения на базе 8-разрядного МП Intel 8080 и интерфейсных схем 82xx.

В состав компьютера типа IBM PC XT входят системный блок со встроенными накопителями НГМД (или флоппи) и НЖМД, клавиатура, монохромный (или цветной) дисплей.

Основные электронные компоненты машины – микропроцессор (МП), постоянная (ROM) и оперативная (ОП) память, поддерживающие управляющие и интерфейсные БИС, схемы сопряжения с динамиком и клавиатурой образуют *операционный блок* ПК. Он сконструирован на единой системной (материнской) плате, расположенной в системном блоке. На ней предусмотрено 6–8 разъемов (слотов) расширения, в которые устанавливаются платы адаптеров (контроллеров) ВУ.

В состав системного блока РС XT входят следующие устройства.

1. Операционный блок, который содержит *процессор* на базе МП, *основную память* и поддерживающие интерфейсные БИС.

Микропроцессор i8088 (1 поколение МП 80x86) имеет архитектуру 16/8/20, означающую, что его регистры данных являются 16-битовыми, а шины данных и адреса – 8- и 20-битовыми. Наряду с ним, для выполнения операции над данными с плавающей точкой в состав операционного блока входит арифметический сопроцессор (АСП) i8087.

Основная память состоит из постоянной и оперативной памяти.

Постоянная память ROM (или ПЗУ) емкостью 8–32 Кбайт применяется в основном для хранения *программ BIOS (базовой системой ввода-вывода)*. Программы BIOS поддерживают работу компьютера в режиме его запуска и взаимодействия процессорного блока с клавиатурой и накопителями. Первоначально устанавливаемая на системной плате РС XT емкость оперативной памяти ОП (или RAM) была равна 64, 256, 512, 640 Кбайт. Для ее построения используются микросхемы динамической памяти DRAM.

Поддерживающие интерфейсные БИС: таймер 8253 или 8254, контроллер прямого доступа к памяти (ПДП) 8237, программируемый параллельный адаптер (ППА) 8255, генератор (G) 8284 предназначены для организации в ПК интерфейса ввода-вывода. Программируемый контроллер прерываний (ПКП) 8259А поддерживает *аппаратные прерывания*, которые запрашивают внешние устройства. Запросы на прерывания ВУ передают через линии IRQ_i одного или двух контроллеров ПКП операционного блока (табл. 2.1 и 2.2).

2. Контроллеры НГМД, НЖМД, дисплея и принтера служат для управления подключенными к машине дисковыми накопителями, принтером, дисплеем. Контроллеры в виде печатных плат вставляются в разъемы, размещенные на материнской плате.

3. Асинхронный адаптер с интерфейсом RS-232C позволяет организовать последовательную связь с любым устройством, использующим интерфейс RS-232C с асинхронным протоколом обмена.

Таблица 2.1

Аппаратные прерывания в РС XT и AT

Линия (тип прерывания)	Прерывания в порядке приоритета
IRQ0 (08h)	Таймер 8253/8254, 18,2 Гц
IRQ1 (09h)	Клавиатура
IRQ2 (0Ah)	Резерв или второй блок IRQ8 – IRQ15 для AT
IRQ3 (0Bh)	Последовательный интерфейс COM1 (COM2 в AT)
IRQ4 (0Ch)	Последовательный интерфейс COM2 (COM1 в AT)
IRQ5 (0Dh)	Адаптер НЖМД (LPT2 для AT)
IRQ6 (0Eh)	Адаптер НГМД
IRQ7 (0Fh)	Параллельный интерфейс LPT1

Таблица 2.2

Дополнительные прерывания в РС AT для 2-го ПКП

Линия (тип) прерывания	Прерывания в порядке приоритета
---------------------------	---------------------------------

IRQ8 (70h)	Часы реального времени (p/v), 1024 Гц
IRQ9	Программно переводится на IRQ2
IRQ10 – IRQ12	Резерв пользователя
IRQ13	Сопроцессор
IRQ14	Адаптер винчестера (в АТ вместо IRQ5)
IRQ15 (77h)	Резерв пользователя

4. Системная шина XT (или AT-8) и разъемы (слоты) расширения. В состав материнской платы входят 6–8 разъемов, имеющих связь с системной шиной. Часть из них применяется для подключения адаптеров (контроллеров) внешних устройств, что значительно расширяет операционные возможности ПК.

Системная шина XT как шина МП i8088 содержит сигналы адреса, данных и управления (см. рис. 1.4), поддерживающие обмен данными между центральными устройствами ПК. Эти сигналы также выведены на разъемы расширения, в которые устанавливаются платы адаптеров, управляющих взаимодействием операционного блока с ВУ.

Понятие пропускной способности шины компьютера

Производительность любого компьютера во многом зависит от разрядности k (в числе байт, 1 байт = 8 бит) шины данных МП, тактовой частоты $F_{\text{ш}}$ (в МГц) системной шины МП и числа тактов n ее цикла для передачи через нее элемента данных длиной k байт. Для оценки быстродействия шины часто используется такая характеристика, как пропускная способность (ПС) шины:

$$ПС_{\text{ш}} = F_{\text{ш}} \times k / n .$$

С учетом того, что для МП 8088 $n = 4$, $F_{\text{ш}} = 5$ МГц, а $k = 1$, значение $ПС_{\text{ш}}$ микропроцессора фактически определяет пропускную способность $ПС_{\text{XT}}$ шины XT (или AT-8), равную:

$$ПС_{\text{XT}} = (5 \text{ МГц} \times 1 \text{ байт}) / 4 \text{ такта} = 1,25 \text{ Мбайт/с}.$$

Пропускная способность шины процессора повышается с увеличением ее разрядности k и тактовой частоты $F_{\text{ш}}$ передачи данных и с уменьшением числа n тактов.

В современных ПК, например на базе процессоров Pentium 4, значение $ПС_{\text{ш}}$ составляет $(1066 \text{ МГц} \times 8 \text{ байт}) / 1 \text{ такт} = 8528 \text{ Мбайт/с}$, или $8,525 \text{ Гбайт/с}$, где $1 \text{ Гбайт} = 1024 \text{ Мбайт}$, $1 \text{ М (мега)} = 2^{20}$, $1 \text{ Г (гега)} = 2^{30}$. Таким образом, пропускная способность системной шины процессора, как одна из характеристик его производительности, выросла по сравнению с МП 8088 почти на 4 порядка.

2.1.2. Структурная схема операционного блока IBM PC AT286

Укрупненная структура операционного блока 16-разрядного ПК IBM PC AT на основе МП i286 приведена на рисунке 2.2.

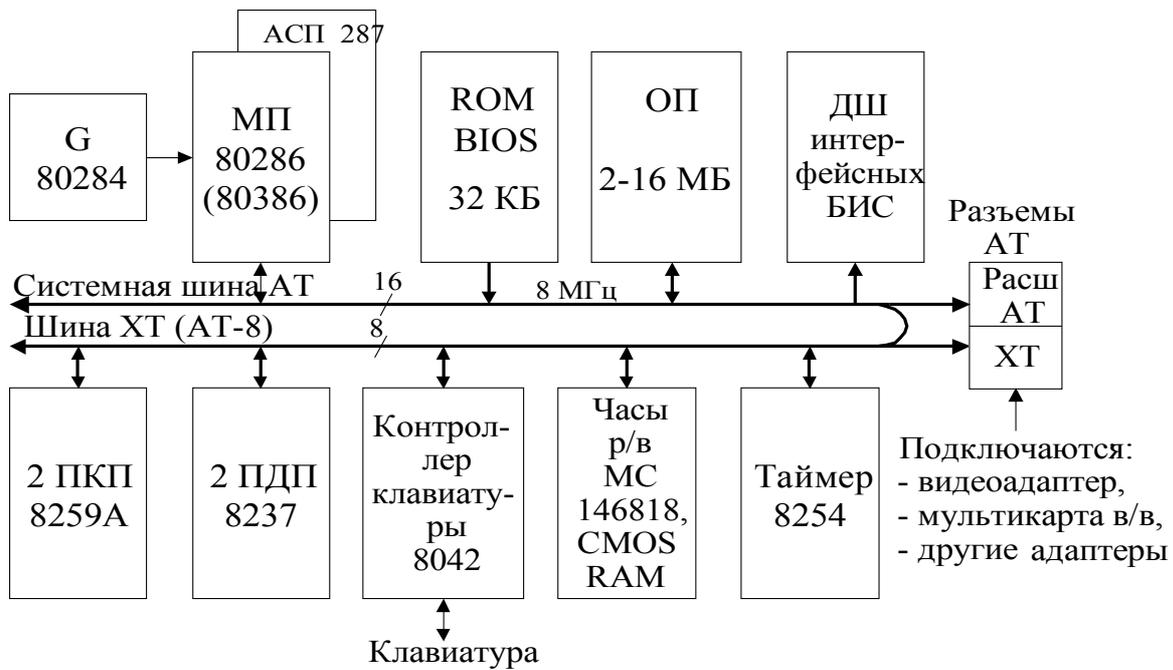


Рис. 2.2. Структура операционного блока РС АТ (2 поколение ПК)

Операционный блок РС АТ286 содержит:

- 16-битовый МП i286 с архитектурой 16/16/24 и АСП i287;
- БИС генератора (G) i80284;
- постоянную память ROM BIOS емкостью до 32 Кбайт и ОП емкостью до 16 Мбайт, подключенные к 16-разрядной шине АТ;
- дешифратор (ДШ) адреса интерфейсных БИС;
- поддерживающие интерфейсные БИС: программируемый контроллер прерываний (ПКП) i8259А, контроллеры прямого доступа к памяти (ПДП) i8237, таймер i8254, контроллер клавиатуры i8042 и микросхему МС146818, в которой хранятся текущие время и дата, а также сведения о конфигурации системы. Эти БИС подключаются также как и в РС ХТ, к 8-разрядной шине ХТ, являющейся частью 16-битовой шины АТ (или ISA).

Пропускная способность ПС_{АТ} шины АТ определяется параметрами шины МП i286 – $n = 2$, $F_{ш} = 8 \text{ МГц}$, $k = 2$:

$$ПС_{АТ} = ПС_{ш} = (8 \text{ МГц} \times 2 \text{ байт}) / 2 \text{ такта} = 8 \text{ Мбайт/с.}$$

К слотам (разъемам) расширения шины АТ подключаются видео-адаптер и мультикарта ввода-вывода (в/в), на которой реализованы адаптеры IDE и флоппи для подключения накопителей, а также последовательные и параллельные порты. В приведенной схеме ПК вместо МП i286 также использовался 32-битовый МП i386SX (3 поколение МП 80x86) с архитектурой 32/16/24. Его применение позволило значительно повысить точность выполняемых машинными командами компьютера операций над целыми двоичными числами за счет увеличения их длины с 16 до 32 бит.

Производительность компьютера с единой системной шиной увеличивается при использовании 32-битового МП i386DX (3 поколение МП) с архитектурой 32/32/32 и переходе к 32-разрядной системной шине EISA, являющейся расширением ISA (или АТ). При этом структура компьютера с единой системной шиной EISA очень схожа с организацией ПК АТ286, приведенной на рисунке 2.2. Пропускная способность этой шины по сравнению с ISA увеличилась в 2 раза.

Порты (регистры) ввода-вывода компьютера

Внешние (ВУ), или периферийные (ПУ), устройства взаимодействуют с системной шиной компьютера через регистры (порты) ввода-вывода, входящие в состав интерфейсных БИС системной платы и адаптеров ПК, к которым подключены внешние устройства. Адреса портов ввода-вывода стандартных ПУ, а вернее, их адаптеров и интерфейсных БИС, фиксированы. В таблице 2.3 приведены принятое для IBM PC назначение 8-битовых портов и диапазоны их адресов. Эту таблицу называют также интерфейсной картой.

Таблица 2.3

Распределение портов ввода-вывода в IBM PC

Диапазон адресов		Функции (назначение)
ХТ	АТ	
000–00F	000–01F	Контроллер ПДП 8237 № 1
020–021	020–03F	ПКП 8259А № 1
040–043	040–05F	Таймер 8254
060–063	NO	ППИ 8255
NO	060–06F	БИС контроллера клавиатуры 8042
NO	070–07F	Часы р/в, CMOS RAM
NO	080–09F	Порты ПДП (регистры страниц)
NO	0A0–0BF	Контроллер прерываний ПКП 8259А № 2
NO	0C0–0DF	Контроллер ПДП 8237 № 2
NO	0F0–0FF	Сопроцессор
NO	170–177	Жесткий диск (вторичный)
NO	1F0–1F7	Жесткий диск
200–20F	200–207	Джойстик (игровой порт)
210–217	NO	Устройство расширения
NO	210–260	Звуковая плата
278–27F	278–27F	Параллельный порт LPT2
2C0–2DF	2C0–2DF	Адаптер EGA
2F8–2FF	2F8–2FF	Последовательный порт COM2
300–31F	300–31F	Платы, разработанные пользователем
320–32F	NO	Контроллер НЖМД
378–37F	378–37F	Параллельный порт LPT1
3B0–3BF	NO	Адаптер дисплея (принтера)
3B0–3DF	3B0–3DF	Адаптер VGA
3D0–3DF	3D0–3DF	Цветной графический адаптер CGA, EGA
3F0–3F7	3F0–3F7	Контроллер флоппи

Диапазон адресов		Функции (назначение)
ХТ	АТ	
3F8-3FF	3F8-3FF	Последовательный порт COM1

Порт – это 8-, 16- или 32-битовый программно-доступный регистр, через который процессор осуществляет взаимодействие с ВУ. Через эти порты передаются данные, слова состояния ВУ, а также слова управления от МП. Доступ к регистрам обеспечивается командами ввода (IN) и вывода (OUT).

Имеется два способа адресации портов в команде:

1. *Прямая адресация*, позволяющая обращаться к $2^8 = 256$ портам ввода-вывода (P) с помощью двухбайтовых команд МП 80x86:

IN асс, < адрес порта > ; асс ← P_{адр},

OUT < адрес порта >, асс ; P_{адр} ← асс, где асс – аккумулятор AL или AH микропроцессора 80x86.

2. *Косвенная*. При данном способе, когда адрес порта указан в регистре DX, можно обращаться к 2^{16} портам посредством команд:

IN асс, DX ; асс ← P_{DX},

OUT DX, асс ; P_{DX} ← асс.

Формирование сигналов выборки y_i интерфейсных БИС производится с помощью дешифратора ДШ адреса.

2.2. Эволюция структуры 32-битовых компьютеров

Структурная схема компьютера PC AT с шинами ISA и VLB

На рисунке 2.3 показана только структура операционного блока компьютера IBM PC AT с шинами ISA и VLB, построенного на базе 32-разрядного МП семейства i386 или i486 (4 поколение МП 80x86).

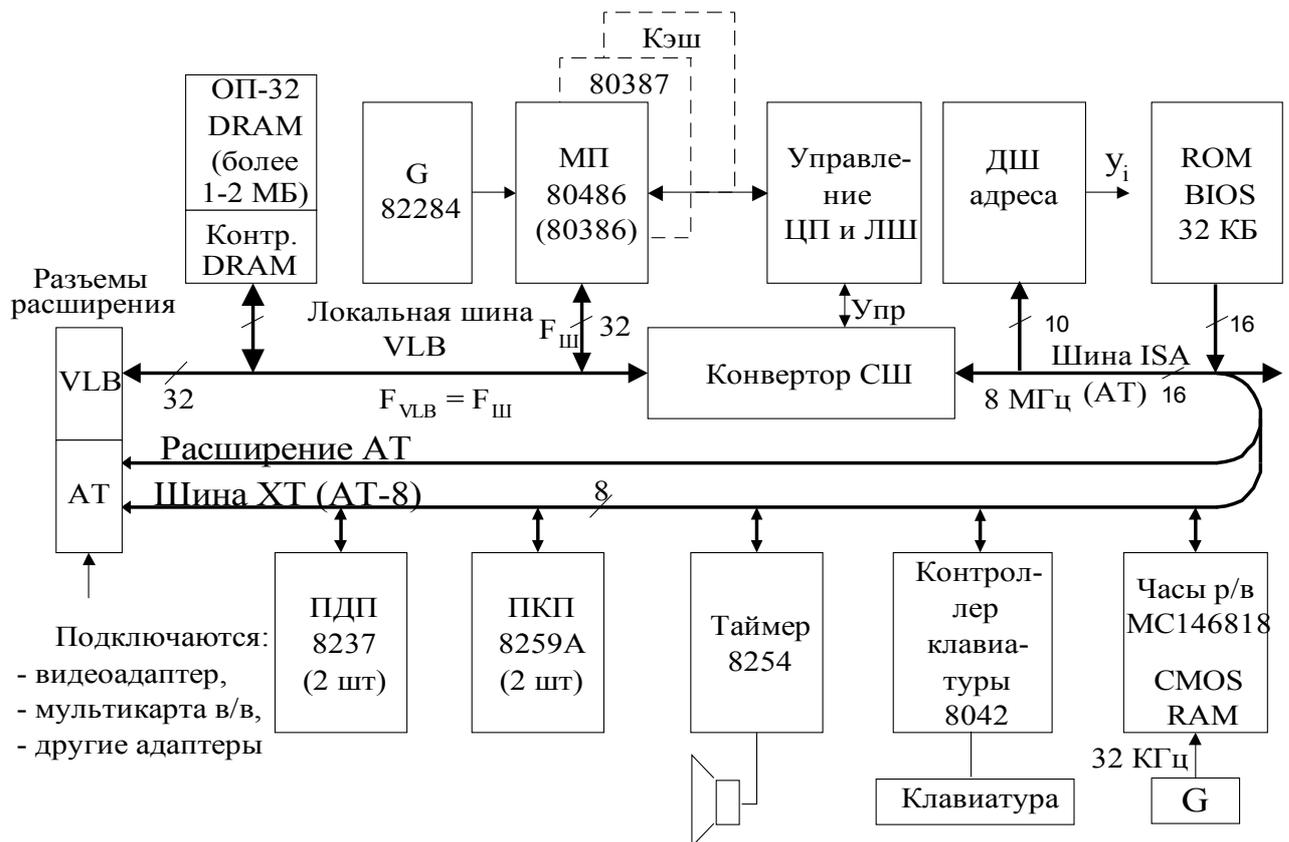


Рис. 2.3. Структурная схема операционного блока IBM PC AT с шинами ISA и VLB (пример ПК 3 поколения)

При описании организации ПК в этом разделе и далее не приводится та часть структуры компьютера, которая отражает подключенные через адаптеры шин и стандартные порты (интерфейсы) всевозможные типы внешних устройств (накопителей, дисплея, аудио- и видеосистем, принтера, сканера и других), поскольку их подсоединение делается практически одинаково для любых моделей ПК.

Для варианта структуры 32-разрядного компьютера, приведенной на рисунке 2.3, характерно наличие двух шин: традиционной 16-битовой системной шины AT (или ISA) и 32-битовой локальной шины VLB. Следует отметить, что наращивание числа шин и их производительности является одной из особенностей эволюции ПК.

Шина VLB представляет собой расширение шины конкретного МП, входящего в состав операционного блока. Тактовые частоты сигналов синхронизации шины МП (F_{III}) и VLB (F_{VLB}) равны $F_{VLB} = F_{III}$. Так, для МП i486DX, DX2, DX4 значение $F_{VLB} = F_{III} = 25, 33$ или 40 МГц, реже 50 МГц.

Максимальная пропускная способность шины VLB микропроцессора i486 для частоты синхронизации шины, равной 33 МГц, составляет

$$PC_{VLB} = 33 \text{ МГц} \times 4 \text{ байта} / 1 \text{ такт} = 132 \text{ Мбайт/с.}$$

В этом МП впервые был введен пакетный цикл передачи данных, в котором элемент данных (1, 2, или 4 байта) передавался за 1 такт.

В итоге подключение к быстродействующей VLB-шине 32-разрядной оперативной памяти ОП-32 и соответствующих адаптеров, связывающих ВУ непосредственно с процессором, позволило для эпохи МП 3 и 4 поколений практически без увеличения сложности и стоимости ПК существенно повысить его производительность.

Интерфейсные БИС ПДП, ПКП, таймер, контроллеры клавиатуры и часов р/в (реального времени) подключаются к медленной шине АТ-8 ($F_{AT} = 8 \text{ МГц}$), так как их взаимодействие с МП производится в основном на этапе инициализации БИС после включения компьютера. Управление взаимодействием МП 486 (или 386) с этими шинами выполняют схема управления взаимодействием центрального процессора (ЦП) с локальной шиной (ЛШ) и конвертор системной шины (СШ).

Приведенная на рисунке 2.3 структура операционного блока построена на основе классических комплектов интерфейсных БИС серии Intel 82XX и 80XX, ориентированных на разработку 16- и 32-битовых ПК класса IBM PC XT и AT. Это позволяет глубже понять состав функциональных блоков ПК и их взаимодействие. В современных компьютерах отдельные БИС i8259 и i8237 и другие не применяются, так как их функции реализованы в сверхбольших интегральных схемах СБИС, которые выполняют функции нескольких прежних БИС. Набор таких СБИС часто называют чипсетом (chipset).

Структура ПК на основе чипсета

На рисунке 2.4 приведена структурная схема компьютера АТ386 на основе МП i386DX как одного из первых, построенного всего на трех управляющих СБИС серии GC130 фирмы G-2.

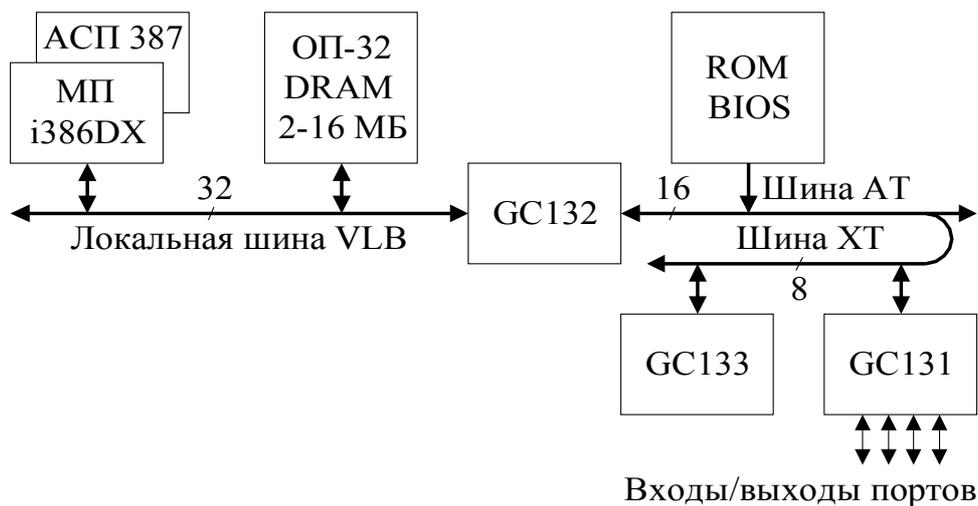


Рис. 2.4. Структура операционного блока AT386 на чипсете GC130

СБИС GC132 выполняет функции конвертора СШ, схемы управления ЦП и ЛШ, контроллера DRAM и ДШ адреса интерфейсных БИС; GC133 – БИС генератора 82284, двух ПКП 8259А, двух контроллеров ПДП 8237 и таймера 8254; GC131 – контроллера клавиатуры 8042, часов реального времени MC146818, двух последовательных и одного параллельного порта.

Особенности структурной организации ПК с кэш-памятью

Особенностью структур 32-разрядных компьютеров, наряду с их многошинной организацией, является включение впервые в их структуру с целью повышения производительности ПК дополнительной кэш-памяти (рис. 2.5), более быстродействующей, чем основная память ОП-32, которая выполнена на основе микросхем DRAM.



Рис. 2.5. Структура взаимодействия МП с кэшем и ОП

В кэш-памяти небольшой емкости, но с очень малым временем выборки, реализованной на микросхемах статической памяти SRAM, хранится информация, копируемая в нее из динамической ОП. Каждый раз при обращении к основной памяти контроллер кэш проверяет наличие данных в кэш-памяти. Если они есть, то МП получает их из кэша.

В противном случае выполняется обычное обращение к ОП с состояниями ожидания T_w . Вероятность попадания очень высокая. Она равна примерно 90 %, если объем кэша 64–128 Кбайт, и 50 % – если 2 Кбайт.

В моделях ПК на основе МП i386 весь кэш и его микроконтроллер размещались вне кристалла МП. Начиная с i486, часть кэш-памяти, причем очень небольшой емкости, стали размещать непосредственно в МП. Так, впервые внутреннюю кэш-память (L1) включили в МП i486. Наряду с L1, ПК на основе этого МП содержал внешний кэш (L2) емкостью 128–512 Кбайт.

Структурная организация ПК на базе МП Pentium (5 поколение МП 80x86) и МП i486 с шинами PCI и ISA

Для рассматриваемой структуры ПК (рис. 2.6) взаимодействие микропроцессора с другими подсистемами происходит через три шины: шину МП, локальную PCI и системную ISA шины.

Если в ПК применяется МП Pentium семейства P5, то тактовая частота шины МП равна $F_{ш} = 60, 66$ МГц, а если МП класса 486, то $F_{ш} = 33, \text{ реже } 25, 40$ МГц. Максимальная пропускная способность (ПС) шины зависит от ее размера k , значения $F_{ш}$ и числа тактов n цикла шины: $ПС = F_{ш} \times k / n$.

Для пакетных циклов передачи данных значение $n = 1$ и пропускная способность шин МП Pentium (P5) и МП 486 соответственно составляет:

$$ПС_{шP5} = (66 \text{ МГц} \times 8 \text{ байт}) / 1 \text{ такт} = 528 \text{ Мбайт/с},$$

$$ПС_{ш486} = (33 \text{ МГц} \times 4 \text{ байта}) / 1 \text{ такт} = 132 \text{ Мбайт/с}.$$

Для ускорения выполнения операций обращения к оперативной памяти (ОП) на базе DRAM, функционирующей значительно медленнее, чем МП, в состав операционного блока ПК (рис. 2.6) введен специальный быстродействующий буфер памяти – кэш L2, в котором хранятся фрагменты текущих данных, переданных в него из ОП для временного хранения. Чем больше объем L2, тем реже будет происходить неэффективное взаимодействие процессора с ОП, обусловленное необходимостью на некоторое время замедлять работу ЦП при выборке данных из медленно действующей DRAM.

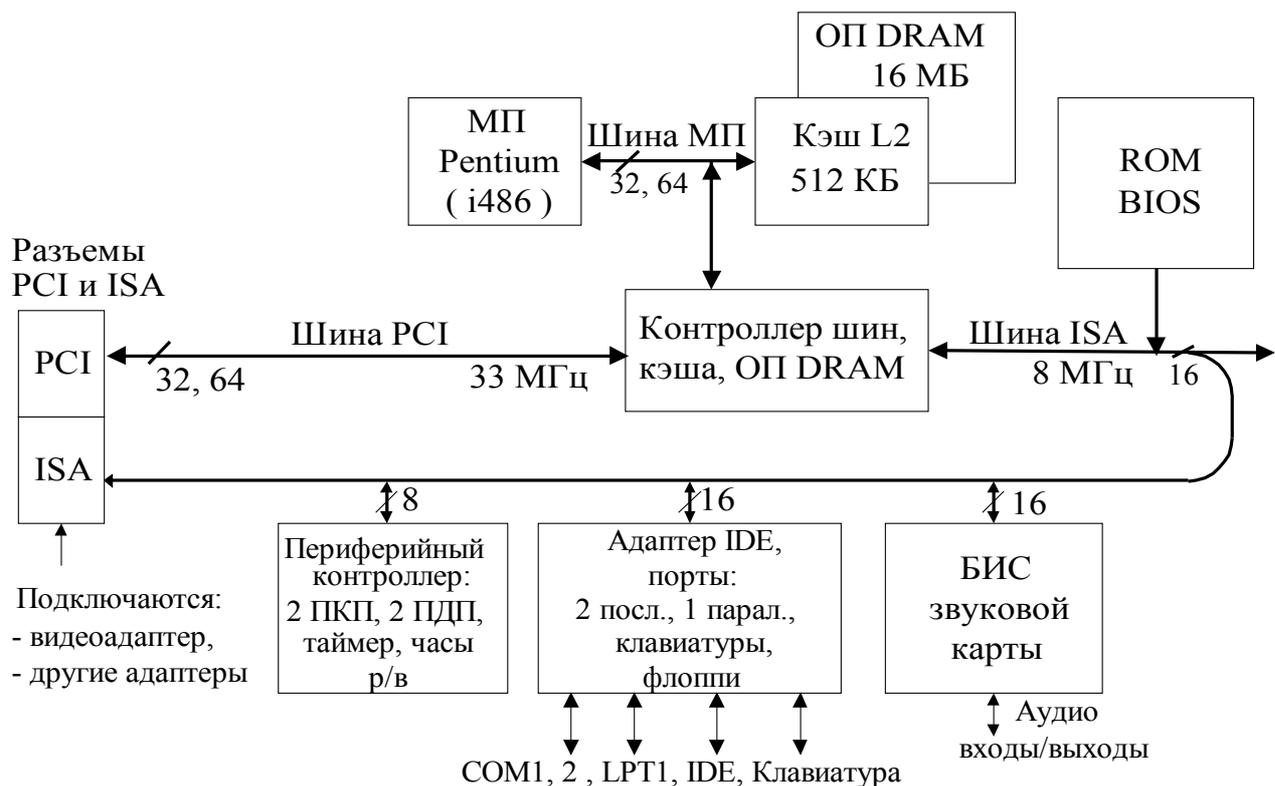


Рис. 2.6. Структура ПК на базе МП Pentium (P5) с шинами PCI и ISA

Буфер L2 строится на основе микросхем статической памяти SRAM, характеризующихся значительно меньшим временем обращения $t_{\text{обрSRAM}}$ по сравнению с DRAM. За счет введения кэша L2, МП может производить из него выборку элемента данных за время, не превышающее длительности одного такта $T_{\text{ш}} = 1/F_{\text{ш}}$ частоты $F_{\text{ш}}$, если $t_{\text{обрSRAM}} \leq T_{\text{ш}}$. Поэтому скорость обмена данными процессора с внешним кэшем L2 будет достигать максимально возможного значения:

$$ПС_{\text{шP5}} = 528 \text{ Мбайт/с} \text{ или } ПС_{\text{ш486}} = 132 \text{ Мбайт/с.}$$

Для дальнейшего повышения скорости обмена МП с кэшем, начиная с модели i486, в кристалл МП включают дополнительно еще кэш 1 уровня L1 (его объем составляет 8 Кбайт в i486 и 16 Кбайт в P5). Это позволяет повысить $ПС_{\text{кэшL1}}$ за счет повышения частоты обращения исполнительного блока процессора к L1 до значения внутрипроцессорной тактовой частоты $F_{\text{цп}}$. Увеличение $F_{\text{цп}}$ в r раз по сравнению $F_{\text{ш}}$ основано на применении в этих МП принципа умножения частоты $F_{\text{ш}}$ на коэффициент r . Для МП P5 и 486DX2 ($r = 2$, а $F_{\text{ш}} = 66 \text{ МГц}$ и 33 МГц) пропускная способность шины кэша L1 равна:

$$ПС_{\text{L1-P5}} = (132 \text{ МГц} \times 4 \text{ байт}) / 1 \text{ такт} = 528 \text{ Мбайт/с,}$$

$$ПС_{\text{L1-486}} = (66 \text{ МГц} \times 4 \text{ байт}) / 1 \text{ такт} = 256 \text{ Мбайт/с.}$$

Начиная с 6 поколения микропроцессоров, наряду с L1 в его кристалле стали размещать и кэш L2, постепенно увеличивая объем L2, в частности, до 1–2 Мбайт. Также были увеличены тактовые частоты шин и их ширина, что в комплексе позволило существенно повысить скорость обмена данными между кэш-памятью и исполнительным ядром процессора.

Для взаимодействия процессора Pentium (P5) с адаптерами быстродействующих внешних устройств была впервые применена локальная шина PCI. Она нашла в ПК класса IBM PC достаточно широкое распространение, так как ее спецификация не зависит от типа МП. Пропускная способность 32-разрядной шины PCI с тактовой частотой $F_{\text{PCI}} = 33 \text{ МГц}$ определяется следующим образом:

$$P_{\text{PCI}} = 33 \text{ МГц} \times 4 \text{ байта} / 1 \text{ такт} = 132 \text{ Мбайт/с.}$$

К шине AT (ISA) как менее производительной по сравнению с PCI подключаются ROM BIOS, поддерживающие интерфейсные БИС периферийного контроллера (ПКП 8259A, ПДП 8237, таймер 8254, часы р/в, CMOS RAM), а также адаптеры IDE и контроллеры стандартных портов и интерфейсов ввода-вывода: COM1, COM2, LPT1, клавиатуры и флоппи-накопителей. Возможна установка на материнской плате БИС звуковой карты. В ряде моделей ПК контроллеры стандартных портов размещаются на специальной плате адаптера, называемой мультикартой ввода-вывода.

2.3. Типовая многошинная структура современных компьютеров на основе стандартных чипсетов

Состав типового чипсета

Современные процессоры компьютеров не работают сами по себе, они используются совместно с *наборами (чипсетами)* управляющих схем, установленными на материнской плате. Во многом именно тип чипсета совместно с МП поддерживает необходимую архитектуру операционного блока (или платформы) компьютера. Ее организация определяется наличием самых разнообразных шин, обеспечивающих с учетом показателя цена/производительность эффективное взаимодействие процессора с различными видами основной памяти и внешними устройствами компьютера.

С появлением в 32-битовых компьютерах шины PCI создатели управляющих чипов выделили два их основных типа, называемые северным (North Bridge) и южным (South Bridge) мостами. Эти чипы (микросхемы) связаны между собой с помощью специальной выделенной шины. При этом северный мост непосредственно соединяется с микропроцессором, что позволяет в пределах взаимодействия МП с оперативной памятью в темпе, задаваемом эффективной тактовой частотой системной шины (FSB) процессора.

Северный мост традиционно выполняет функции управления взаимодействием процессора с основной и графической (видео-) памятью. Для платформ ПК на основе процессоров Pentium 4 и Intel Core 2 Duo, а также клонов AMD, в его состав обычно включают:

- контроллер динамической оперативной памяти (DRAM), ориентированный на работу с определенными видами ее схем (например, SDRAM, DDR, DDR2 и другие) с заданным объемом, а также на поддержку способов наращивания емкости памяти;

- контроллер графической (видео-) шины: AGP, например, версий AGP x4 или AGP x8 с пропускной способностью (производительностью) 1 и 2,1 Гбайт/с соответственно, или интерфейса PCI Express x16 с производительностью 8 Гбайт/с, который в современных ПК активно вытесняет AGP.

Если северный мост содержит встроенный графический адаптер, то он не поддерживает внешнюю видео-шину. Однако ПК на основе этого моста может использоваться при решении задач, в которых требования к графической подсистеме не слишком высоки.

Южный мост реализует функции взаимодействия процессора с устройствами ввода-вывода. В его состав традиционно входят:

– контроллер жестких дисков, в частности, на 2–4 канала Serial ATA, например со скоростью 3 Гбит/с (или 300 Мбайт/с) для версии SATA II, и/или 2 канала PATA, например типа IDE ATA 100 со скоростью 100 Мбайт/с;

– контроллер USB, например на 8 портов USB 2.0;

– контроллер стандартной шины PCI, например на 6 слотов;

– контроллер шины PCI Express x1 на несколько каналов, через которые возможно подключение устройств, поддерживающих этот вид интерфейса.

Наряду с этим в микросхему южного моста могут быть интегрированы звуковая и сетевая карты, модем, адаптеры клавиатуры, мыши.

С учетом выполняемых функций чипы северного и южного мостов часто называют контроллерами-концентраторами памяти и ввода-вывода соответственно. Следует отметить, что для процессоров 6 поколения (Pentium II, Pentium III) в состав северного моста входил контроллер типовой шины PCI, что обусловлено достаточно низкой тактовой частотой $F_{Ш}$ внешней шины этих МП – всего 66, 100, 130 МГц, что почти на порядок меньше, чем в Pentium 4.

Наряду с чипами мостов в состав операционного блока ПК, как правило, также входит интегрированный в системную плату контроллер ввода-вывода, поддерживающий не включенные в чипсет стандартные интерфейсы и порты (в частности, LPT, COM, IEEE 1394, PS/2 и другие), к которым подключаются принтер, модем, мышь, флоппи-накопители, клавиатура и т.д. Взаимодействие этого контроллера, а также памяти BIOS с южным мостом происходит через специальную шину LPC (Low Pin Count). В состав современной платы может быть также интегрирован IDE или SATA RAID-контроллер, позволяющий создавать дисковые массивы определенного уровня.

Как правило, название чипсета, применяемого для построения компьютера с определенной конфигурацией, совпадает с наименованием микросхемы северного моста. В настоящее время целым рядом компаний (Intel, VIA, ATI, NVIDIA, SiS, ULi) для всевозможных моделей процессоров предлагаются различные варианты чипсетов как основы конфигурирования 32-разрядного персонального компьютера. Также выпускаются варианты чипсетов, в которых в одну микросхему интегрированы функции северного и южного мостов.

Ниже рассматриваются две структурные схемы операционного блока ПК: 1 – на основе процессора Intel Pentium 4 с использованием чипсета Intel 845 (рис. 2.7), 2 – на базе двухъядерного процессора Intel Core 2 Duo (и более поздних версий Pentium 4) с применением чипсета Intel 975X (рис. 2.8).

Представленные структуры наглядно иллюстрируют эволюцию технических характеристик и операционных возможностей ПК IBM PC на основе семейства микропроцессоров седьмого поколения (P7) от появления первого процессора Pentium 4 (2000 год, ядро Willamette с микроархитектурой Intel NetBurst) и до настоящего времени, отличающегося интенсивным внедрением в настольные системы двухъядерных процессоров, в частности с микроархитектурой Intel Core 2 Duo. Принципы функционально-структурной организации 32-битовых процессоров с учетом их развития будут рассмотрены далее в отдельном разделе.

Структура операционного блока ПК на основе процессора Pentium 4

В основу построения рассматриваемой структуры операционного блока положен чипсет Intel 845, в котором его мосты связаны через специальный интерфейс HI 1.5 с пропускной способностью 266 Мбайт/с (рис. 2.7).

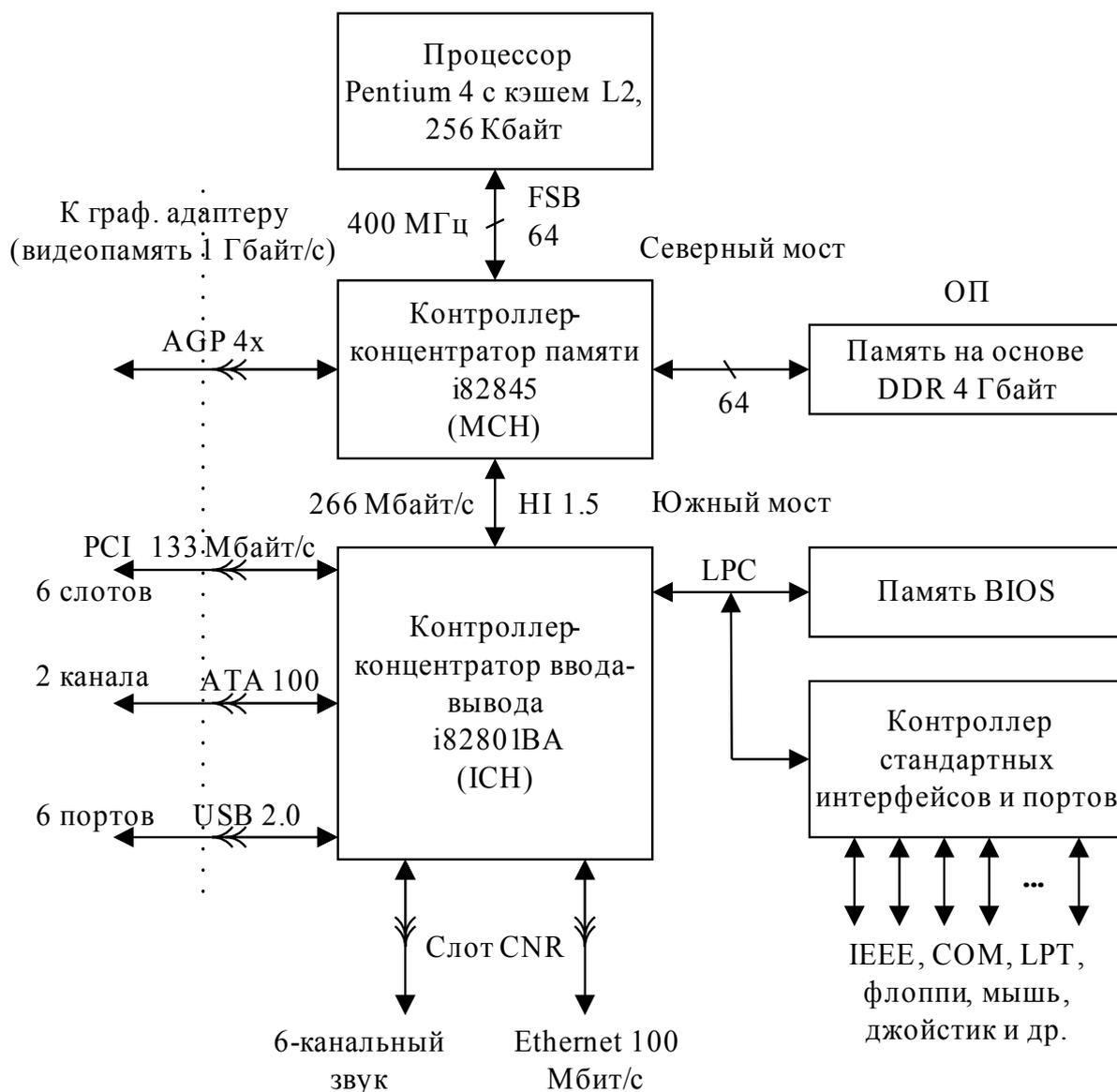


Рис. 2.7. Структурная схема операционного блока ПК на основе процессора Pentium 4 (ядро Willamette)

Северный мост чипсета i82845, как контроллер-концентратор памяти (Memory Controller Hub, MCH), взаимодействует с Pentium 4 с эффективной частотой FSB 400 МГц и пропускной способностью $400 \text{ МГц} \times 8 \text{ байт} = 3,2 \text{ Гбайт/с}$.

Одноканальный контроллер шины памяти поддерживает работу с двумя модулями DIMM оперативной памяти (ОП) DDR200/266 с суммарной емкостью до 2 Гбайт. Контроллер графического порта позволяет поддерживать работу графического адаптера AGP 4x с пропускной способностью 1 Гбайт/с.

Контроллер-концентратор (I/O Controller Hub, ICH4) как южный мост реализует следующие функции:

- поддержка шести 32 битовых 33-мегагерцевых PCI-слотов;
- 3 USB-контроллера с 6 портами USB 2.0;
- двухканальный контроллер IDE ATA 100;
- звуковой контроллер AC'97 (6 каналов) и сетевой контроллер с функциями 10/100 Мбайт/с Ethernet с выходами на специальный слот CNR, дающий возможность подключить для контроллеров недостающие компоненты;
- поддержка интерфейса LPC для сопряжения ICH4 с чипом контроллера стандартных портов и с памятью BIOS.

Структура операционного блока ПК на основе двухъядерного процессора Intel Core 2 Duo

Построение рассматриваемой платформы компьютера базируется на чипсете Intel 975X Express, в котором две составляющие его микросхемы MCH i82075X (северный) и ICH7 i80801G (южный мост) связаны через специальный интерфейс DMI с пропускной способностью 2 Гбайт/с (рис. 2.8). Данный набор также поддерживает подключение обычных МП Pentium 4 (ядро Prescott).

Контроллер-концентратор памяти MCH взаимодействует с процессором Intel Core 2 Duo с частотой FSB 800 или 1066 МГц/с. Его двухканальный контроллер памяти поддерживает работу до четырех модулей DIMM оперативной памяти DDR2-533/667 общим объемом 8 Гбайт. Кроме того, северный мост реализует поддержку работы двух графических портов с интерфейсом PCI Express x8. При использовании одной карты ей выделяется пропускная способность PCI Express x16, составляющая 2,1 Гбайт/с.

Контроллер ICH7 южного моста реализует следующие виды интерфейса ПК с внешними устройствами:

- шесть 32 битовых 33-мегагерцевых PCI-слота;
- 8 портов USB 2.0/1.1;
- 4 канала SATA II с поддержкой объединения дисков в RAID-массив;
- 1 канал IDE ATA 100 с возможностью подключения двух накопителей;
- 4 слота PCI Express x1;
- 8-канальный звуковой контроллер Intel High Definition Audio (IHDA);
- звуковой контроллер AC'97 (версия 2.3), включающий аудио- (AC) и модемный (MC) кодеки;

– интерфейс LPC или SPI для работы с памятью BIOS и взаимодействия с контроллером стандартных портов.

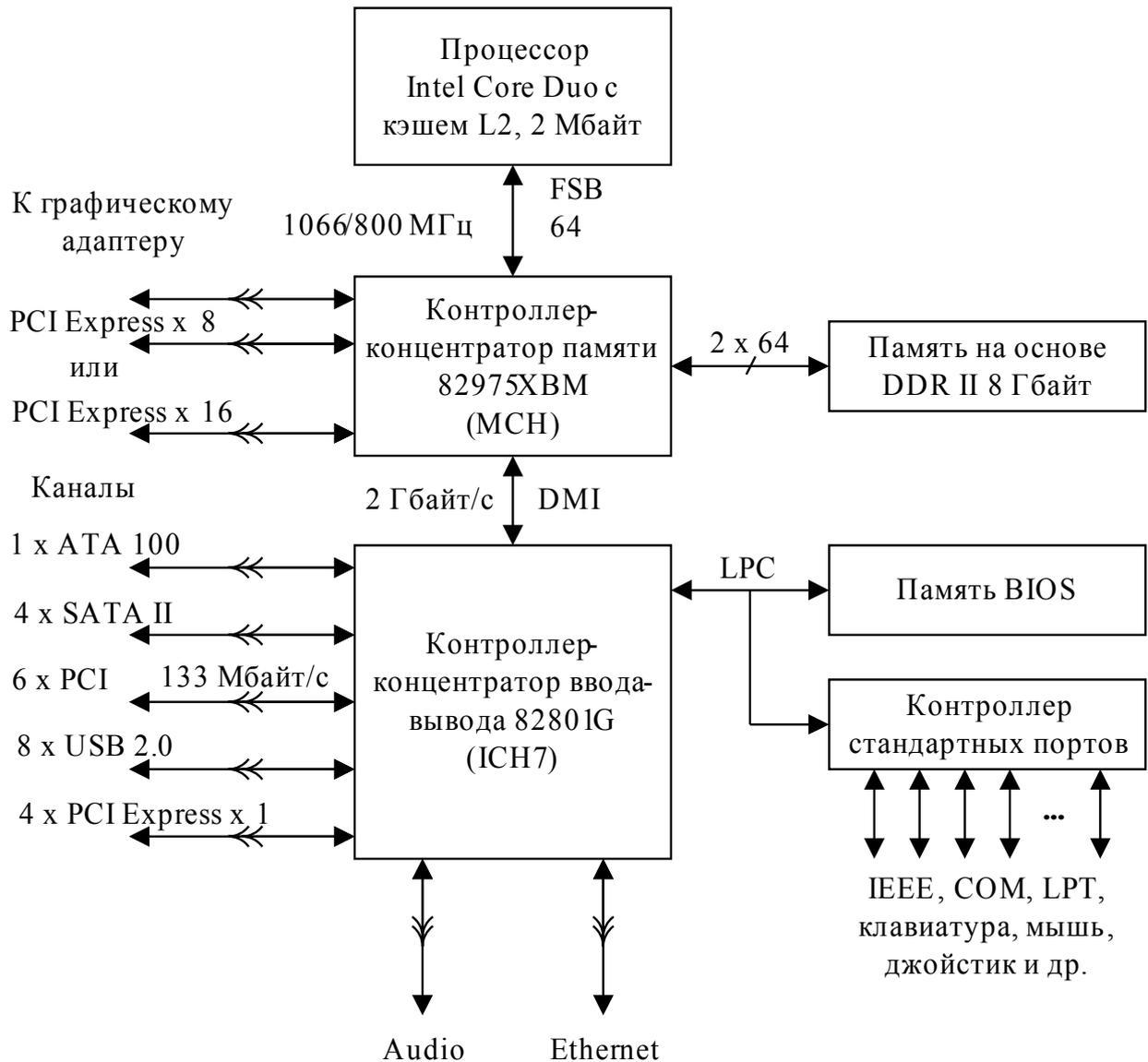


Рис. 2.8. Структурная схема операционного блока ПК на основе двухъядерного процессора Intel Core 2 Duo

Как правило, в рассматриваемой платформе ПК возможности, предоставляемые южным мостом, расширяются установкой на материнской плате чипа контроллера стандартных портов, который поддерживает интерфейс с клавиатурой и мышью, COM- и LPT-порты, интерфейс IEEE 1394, сетевой интерфейс 10/100/1000 Мбит/с и другие.

Необходимо отметить, что аналогичную с рисунке 2.8 конфигурацию с применением соответствующих чипсетов, в частности NVIDIA nForce4 SLI, имеют персональные компьютеры IBM PC на основе микропроцессоров современного семейства AMD Athlon 64 и Sempron с частотой системной шины 1000 МГц.

2.4. Системный интерфейс компьютеров

2.4.1. Основные типы шин, их эволюция

Системный интерфейс компьютера, как одна из его *подсистем*, представляет собой средства сопряжения в единое целое основных компонентов компьютера: центрального процессора (ЦП), модулей основной и внешней памяти, периферийных устройств. Этот интерфейс в основном реализуется на базе системных и локальных шин, служащих для передачи информации между МП и другими компонентами компьютера. Эти шины характеризуются разрядностью, то есть, числом бит данных, передаваемых за один цикл шины, и частотным вариантом, показывающим, с какой частотой они передаются.

В классе первых 32-разрядных персональных компьютеров были наиболее распространены два типа *системных шин*:

- 1) 16-разрядная шина AT (или ISA) с тактовой частотой $F_{ISA} = 8,33$, реже 6, 10, 12, 14 МГц;
- 2) достаточно редко 32-разрядная шина EISA с тактовой частотой $F_{EISA} = 8,25, 8,33$ МГц.

И два типа *локальных шин*:

- 1) 32-битовая шина PCI с частотой синхронизации $F_{PCI} = 33$ и реже 66 МГц.
- 2) ограниченно 32-битовая шина VLB с тактовой частотой $F_{VLB} = 33, 40$ МГц.

Шины EISA и VLB применялись в ПК, строившихся на основе МП 3 и 4 поколений.

Шина PCI применяется независимо от используемого типа микропроцессора, так как разделением шин МП и PCI управляет специальный контроллер шин, который осуществляет функции арбитража. На практике на материнских платах устанавливается несколько слотов PCI.

В персональных ЭВМ одновременно используются несколько типов шин, например, до недавнего времени ISA + PCI. Кстати, это сочетание сохранено в промышленных компьютерах, что позволяет добиваться в них повышения производительности без существенного возрастания цены.

В современных компьютерах наряду с PCI применяется специально выделенная шина PCI Express x16, пришедшая на замену AGP-шины, предназначенной для сопряжения процессорного блока компьютера с видеосистемой.

2.4.2. Порты и интерфейсы для сопряжения компьютера со стандартными периферийными устройствами

Подключение стандартных периферийных устройств, например, таких как мышь, внешний модем, принтер, накопитель на жестком диске, CD-ROM, производится через так называемые порты или адаптеры, использующие стандартные интерфейсы. Рассмотрим основные интерфейсы сопряжения (или порты), которые реализуются в базовой конфигурации компьютера.

Последовательный порт (интерфейс) RS-232C

Через него осуществляется взаимодействие с внешними устройствами (мышь, модем, удаленные принтеры и другие) в последовательном формате передачи данных. Их подключение осуществляется через 9- или 25-контактные разъемы, имеющие логические имена портов COM1, COM2. Для реализации последовательного интерфейса обычно используется БИС UART 16550, входящая в чипсет. Скорость обмена для порта RS-232C составляет 19200 бит/с и более.

Параллельный порт стандарта SPP, EPP и ECP

Через параллельный порт обычно подключается принтер, поэтому его еще называют принтер-портом. Операционная система компьютера может работать с тремя портами, обозначаемыми логическими именами LPT1, LPT2, LPT3. Ввод-вывод в параллельном 8-разрядном формате осуществляется через 25-контактный разъем. Различают следующие стандарты портов:

- *SPP* (Standard Parallel Port) – стандартный параллельный порт (интерфейс Centronics) – его пропускная способность 80 Кбайт/с только на вывод данных;
- *EPP* (Enhanced Parallel Port) – расширенный порт;
- *ECP* (Enhanced Capabilities Port) – параллельный порт с расширенными возможностями.

EPP и ECP являются модификациями принтер-порта SPP и служат для подключения высокоскоростных принтеров, а также некоторых версий накопителей на жестком диске или CD-ROM. Порты EPP, ECP поддерживают скорость двунаправленной передачи данных до 2–5 Мбайт/с. Порт ECP обеспечивает ввод-вывод в режиме ПДП. В настоящее время указанные виды портов интенсивно вытесняются другими интерфейса-

ми, в частности последовательными: USB 2.0 и IEEE 1394 (FireWire), поддерживающим, в основном, взаимодействие с видео- и аудио-аппаратурой.

Универсальная последовательная шина USB

USB (Universal Serial Bus) – универсальная последовательная шина, предназначенная для подключения периферийных устройств. Эта шина обеспечивает обмен информацией в последовательном формате через две витые пары проводников со скоростью 12 Мбит/с (для версии USB 1.0). Она позволяет подключать до 127 устройств (клавиатура, мышь, модем, джойстик, флэш-накопитель и т.д.), которые объединены кабелем, связанным с ПК. Подключение нового устройства сводится к его подключению к свободной розетке другого устройства и т.д. Системный блок ПК обычно содержит 2, 4 или 6 розеток USB. Порт USB 2.0 поддерживает скорость 480 Мбит/с. В настоящее время данный вид интерфейса также широко применяется для сопряжения с компьютером автономных модулей сбора и обработки измерительных сигналов, в том числе биомедицинских.

Ускоренный графический порт AGP

Порт AGP (Accelerated Graphics Port) предназначен для прямой передачи графических данных между видеопамятью графического адаптера и системной шиной МП. По сравнению с шиной PCI он позволяет повысить скорость обмена данными между видеобуфером и процессором через 32-битовую шину данных за счет увеличения тактовой частоты. Видеоадаптер подключается к порту AGP через специальный слот. В настоящее время существуют спецификации AGP 1x, 2x, 4x и 8x. В первой версии AGP 1x для тактовой частоты $F_{Ш} = 66 \text{ МГц}$ скорость обмена данными составляла $ПС_{AGP} = 66 \text{ МГц} \times 4 \text{ байт} = 264 \text{ Мбайт/с}$. В более поздних версиях значение $ПС_{AGP}$ выросло соответственно в 2, 4 и 8 раз. Это увеличение обеспечивается повышением эффективной частоты FSB, которая, например, для версии AGP 4x может в 4 раза превышать реальную (физическую) тактовую частоту синхроимпульсов. Повышение частоты FSB обеспечивается в основном за счет таких приемов, как передача данных по двум фронтам синхроимпульсов, их сдвига на пол-такта и др.

Интерфейсы IDE ATA и SATA

IDE ATA – это стандарт адаптера, подключенного к шине ISA или PCI, для обмена массивами данных между ОП и IDE-накопителем на ЖМД (винчестером), CD-ROM и другими устройствами через 40- или, с целью повышения скорости передачи, через 80-жильный кабель в параллельном 1- или 2-байтовом формате. В 80-жильном кабеле для повы-

шения производительности каждая из 40 пар проводников используется для передачи отдельного бита. Максимальная скорость обмена данными в режиме Ultra DMA достигает 100 и 133 Мбайт/с для ATA 100 и ATA 133 соответственно. В более ранних версиях она составляла 33 и 66 Мбайт/с (ATA 33 и ATA 66).

Эти интерфейсы известны также как PATA (Parallel ATA), что подчеркивает параллельный способ передачи данных в отличие от стандарта *Serial ATA* (или SATA), в котором они передаются в последовательном формате через две дифференциальные пары проводников, которые отличаются, как и в интерфейсе USB, направлением передачи данных. Всего шина SATA содержит семь проводников, из которых три – «земля».

Скорость передачи данных в версии SATA 1.0 составляет 150 байт/с, а в SATA II (SATA 2.0) – 300 Мбайт/с. В ряде случаев используется ее побитовая оценка. Например, скорость обмена 150 Мбайт/с для SATA 1.0 характеризуется также непропорциональным ей значением 1,5 Гбит/с. Такой вид оценки подчеркивает использование как последовательной передачи, так и логического кодирования «8 бит/10 бит», при котором каждая исходная 8-битовая информационная посылка заменяется при передаче 10 битами, из которых два необходимы для ее помехоустойчивого кодирования.

Для интерфейса PATA к одному каналу (шлейфу) можно подключить два IDE-устройства. Подключение второго накопителя (как ведомого – Slave) производится, как показано на рис. 2.9, через второй разъем 40- или 80-жильного плоского кабеля параллельно первому, который выступает как ведущий – Master.

Через SATA-интерфейс возможно подключение только одного накопителя по принципу «точка–точка», поэтому в современных чипсетах персональных компьютеров заложена поддержка нескольких каналов Serial ATA, постепенно вытесняющих IDE ATA, как менее производительного интерфейса.



Рис. 2.9. Подключение накопителей через шину IDE для стандарта PATA

Интерфейс SCSI

Служит для подключения через специальный контроллер SCSI стандартных периферийных устройств, поддерживающих этот интерфейс, через единую параллельную шину SCSI, подключенную напрямую к центральному процессору. Производительность современных SCSI-контроллеров достигает 320 Мбайт/с и более.

Последовательный интерфейс PCI Express

Различные версии технологии PCI Express x1, x2, x4, x8 и x16, отличающиеся высокой скоростью обмена данными через 1, 2, 4, 8 или 16 линий, заменят целый ряд интерфейсов, в том числе AGP и традиционную шину PCI, а также станут основой осуществления высокопроизводительного межсхемного взаимодействия. Соединения PCI Express работают в режиме «точка-точка», то есть, каждое из них позволяет подключить только одно устройство. В то же время к одной шине PCI через отдельные слоты можно подключить несколько адаптеров ввода-вывода.

PCI Express – это последовательный симметричный интерфейс, масштабируемый увеличением числа линий (каналов), например в 16 раз для PCI Express x16. Пропускная способность (ПС) одного канала (x1) составляет 250 Мбайт/с. Вследствие этого PCI Express x16, применяемый в ПК в качестве графического интерфейса, обеспечивает ПС = 4 Гбайт/с, что в 16 раз больше, чем ПС версии AGP 1x. При физической реализации передачи информационных бит в PCI Express по его одному логическому каналу используются две дифференциальные пары проводников (одна на ввод, другая на вывод) и принцип кодирования «8 бит/10 бит».

Имеются также интерфейсы и адаптеры для подключения и управления двумя флоппи-накопителями, а также отдельный порт PS/2 для подключения мышки, порт для джойстика и другого.

Следует отметить, что в настоящее время при создании локальных сетей ПК и компьютерных систем сбора и обработки сигналов с удаленных датчиков (обычно не более 100 м) применяют беспроводный коммуникационный интерфейс, в частности технологии Wi-Fi, Bluetooth и ZigBee.

2.5. Базовая структура компьютеров на основе RISC-процессоров PowerPC

Особенности структуры компьютера на основе PowerPC

Рассматриваемая далее структурная организация компьютера на базе МП семейства PowerPC опирается на стандарт CHRP (Common Hardware Reference Platform) для обобщенной аппаратной платформы ПК, разработанной фирмами Apple, IBM, Motorola (AIM).

ПК на базе обобщенной платформы вобрал в себя все архитектурные особенности компьютеров семейств IBM и Power Macintosh: локальные и системные шины PowerPC, PCI и ISA, наработанные адаптеры внешних устройств PC IBM для этих шин и т.д. Внедрение платформы CHRP позволяет объединить достижения различных аппаратных платформ фирм IBM и Apple. Объединение ПК класса IBM и Apple в универсальную структуру позволяет работать в различной среде: OS/2, Windows NT, Mac OS, Solaris, Linux и другой.

Базовая организация и состав ПК на базе PowerPC

Базовая структура ПК на базе PowerPC содержит три шины: 64-битную локальную шину PowerPC, 32-битную шину PCI, 16-битную шину ISA (рис 2.10).

К локальной шине PowerPC подключены компоненты ПК, образующие операционный блок. В него входят следующие устройства:

Процессор – базовым является 32-разрядный МП PowerPC 604, имеющей 64-битную шину данных и 32-битную шину адреса; 604 – это суперскалярный процессор, который может одновременно выполнить шесть команд.

Оперативная память (ОП) использует 64-разрядную DRAM с контролем на четность. Минимальный объем DRAM – 8 Мбайт.

Кэш-память второго уровня L2 имеет емкость до 1 Мбайта, устанавливается пользователем в специальный разъем, обращение процессора к ОП и кэшу может производиться параллельно.

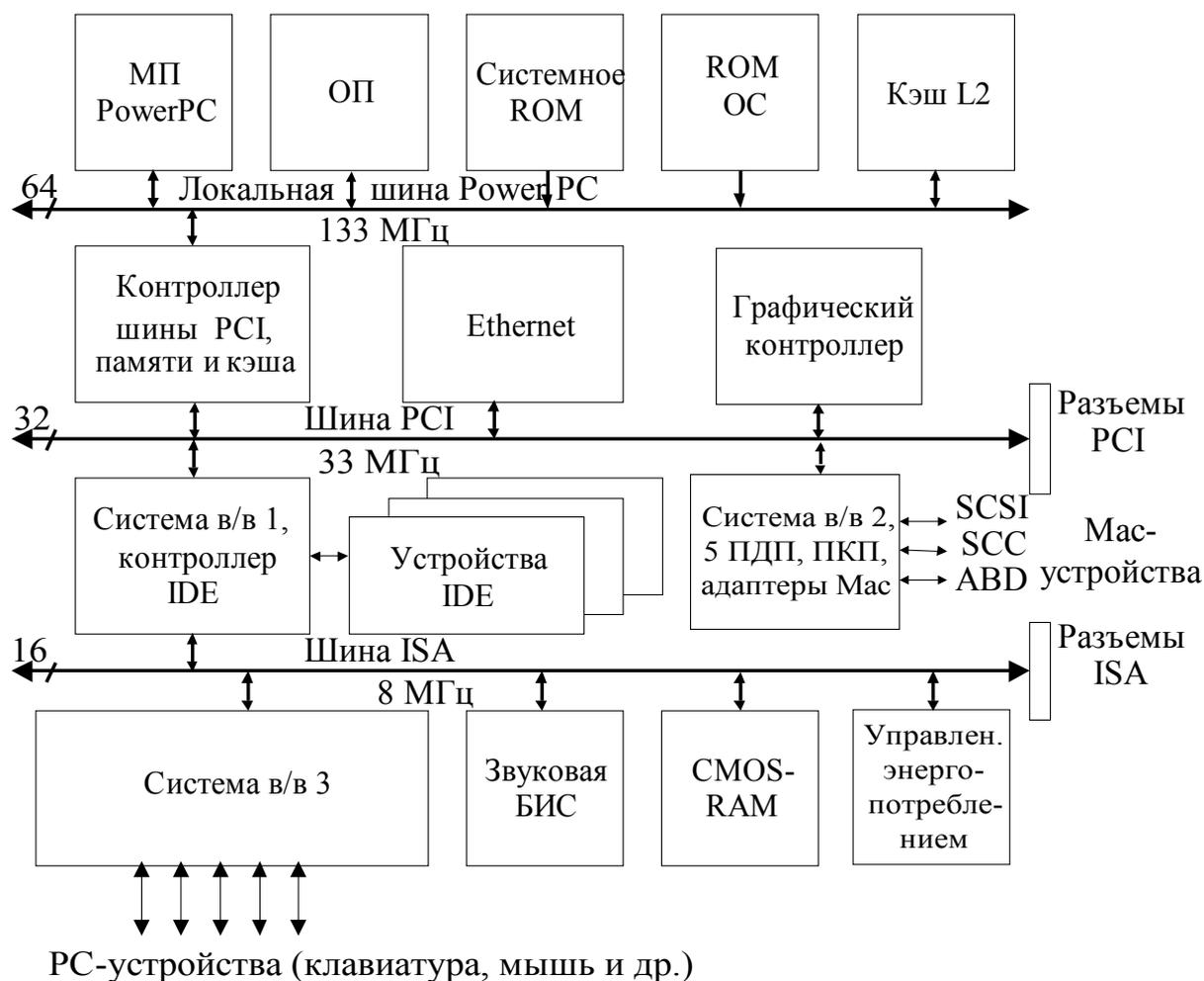


Рис. 2.10. Структура ПК на основе ЦП Power PC (по стандарту CHRP)

Системное ROM реализовано на основе флэш-памяти емкостью до 1 Мбайта; содержит программы начальной загрузки, инициализации и самодиагностики.

ROM операционной системы (OS) имеет емкость до 4 Мбайт; ROM подключается через специальный разъем и обеспечивает работу конкретной ОС.

Контроллер шины PCI, памяти и КЭШа обеспечивает взаимодействие МП с ОП, ROM, кэшем, а также с шиной PCI.

К шине PCI подключены 64-разрядный графический контроллер, содержащий двухпортовую видеопамять емкостью 2 Мбайт и сетевой адаптер Ethernet

Система ввода-вывода 1 и контроллер IDE поддерживают IBM-совместимые устройства ввода-вывода, а именно: четыре внешних устройства с интерфейсом IDE, мост ISA-PCI, семиканальный контроллер ПДП, 16-уровневую систему прерываний на базе схемы ПКП 8259А и таймер 8254.

Подсистема ввода-вывода 2 представляет собой универсальный контроллер Macintosh-совместимого ПК, который обеспечивает:

- интерфейс PCI для устройств, работающих в режиме ведущий-ведомый;
- пятиканальный контроллер ПДП;
- двухканальный контроллер последовательного ввода-вывода (SCC) с ПДП;
- контроллер интерфейса ADB (Apple Desktop Bus) для подключения клавиатуры, мыши и других устройств ПК Macintosh;
- контроллер SCSI-2;
- контроллер прерываний MPIC, поддерживающий два процессора и 16 линий прерываний.

К системной шине ISA подключаются следующие PC-устройства:

- звуковая микросхема, совместимая с Sound Blaster;
- энергонезависимая память CMOS RAM;
- контроллер управления энергопитанием, обеспечивающий снижение энергопотребления ПК;
- подсистема ввода-вывода 3, представляющая собой универсальный контроллер для подключения PC-устройств: клавиатуры, мыши, флоппи-накопителя и других.

Запуск ПК PowerPC предполагает наличие специальных загрузочных программ в системном ROM и ROM карт расширения (например, видео, аудио). После загрузки базовых пусковых драйверов система отыскивает работоспособную ОС на одном из внешних устройств (флоппи-диск, винчестер, CD-ROM и другие накопители) и передает управление этой ОС, например Windows NT или Mac OS.

Особенности архитектуры процессоров PowerPC

В то время как МП Pentium представляют собой CISC-процессоры со сложным набором команд, процессоры PowerPC основаны на RISC архитектуре с сокращенным набором команд. Однако элементы RISC-архитектуры имеются и у микропроцессоров Intel, например параллельное исполнение нескольких операций. Простые команды RISC-процессоров способствуют повышению тактовой частоты и обработке большего числа команд за такт по сравнению с CISC-процессорами, особенно для более ранних поколений.

Однако, благодаря лучшему соотношению цена/производительность и развитому для них программному обеспечению, CISC-процессоры с системой команд 80x86, нашли более широкое применение в ПК. Вместе с тем для создания рабочих станций и серверов широко используются RISC-процессоры, например, таких семейств как MPS фирмы

Motorola, Ultra SPARC фирмы SUN, семейства Alpha компании Digital и других.

Процессоры PowerPC представлены следующими основными семействами:

- PowerPC 603 – для настольных систем начального уровня;
- PowerPC 604 – для средних настольных систем;
- PowerPC 620 – 64-разрядный ЦП для рабочих станций и мультипроцессорных серверов;
- PowerPC 970 (G4 и G5) – современные одно- и двухъядерные 64-разрядные процессоры, используемые в высокопроизводительных ПК Apple Power Mac G4 и G5, а также серверах.

Базовый микропроцессор PowerPC 604

PowerPC 604 (далее 604) представляет собой 32-битовый МП с архитектурой 32/64/32. Выполняет операции над целыми числами длиной 8, 16 и 32 бит и над числами с плавающей точкой (ПТ) длиной 32 и 64 бита (с одинарной точностью). На уровне регистровой модели и системы команд этот класс МП существенно отличается от МП x86. Суперскалярный процессор 604 может, в среднем, одновременно выполнять до 4–6 команд, так как имеет шесть параллельно работающих исполнительных устройств: для операций с ПТ (FPU), предсказания переходов, загрузки/хранения и три отдельные группы целочисленных устройств. Большинство целочисленных команд и команды умножения с ПТ выполняются за один такт. Для повышения производительности порядок выполнения команд может нарушаться. Однако ЦП обеспечивает их выполнение в соответствии с порядком команд в программе.

Процессор 604 содержит отдельные кэши данных и команд размером по 64 Кбайт и отдельное устройство управления памятью. Протокол интерфейса 604 дает возможность нескольким устройствам конкурировать за доступ к внешним ресурсам через центральный внешний арбитр системного интерфейса, входящего в состав ЦП. Процессор взаимодействует с внешними устройствами через 32-битовую ША, 64-битовую ШД и отдельную шину управления.

Через SATA-интерфейс возможно подключение только одного накопителя по принципу «точка-точка», поэтому в современных чипсетах заложена поддержка нескольких каналов Serial ATA, постепенно вытесняющих IDE ATA, как менее производительного интерфейса.

3. МИКРОАРХИТЕКТУРА ПРОЦЕССОРОВ

С точки зрения пользователя современного компьютера можно выделить следующие *основные характеристики процессора*, реализованного на основе БИС микропроцессора: *операционные и эксплуатационные ресурсы, производительность, энергоэффективность и стоимость*.

3.1. Операционные и эксплуатационные ресурсы процессоров семейства IA-32 (i80x86)

Операционные (вычислительные) возможности современных микропроцессоров (в сфере компьютерных технологий их чаще называют *процессорами*, а их структуру – *микроархитектурой*) в основном определяются архитектурой IA-32 (Intel Architecture-32). Она является общей для всех 32-разрядных МП семейства 80x86, начиная с i386. Эта архитектура определяется системой машинных команд процессора, разрядностью регистров, над которыми с помощью этих команд производятся арифметические, логические и другие операции, максимально адресуемым пространством памяти, наличием реального и защищенного режимов работы и другими.

Можно выделить следующие характерные операционные ресурсы 32-разрядных микропроцессоров – от одноядерных i386, i486 и Pentium до двухъядерных Intel Core 2 Duo:

- программно доступные регистры имеют длину в 32 бита;
- линейное адресное пространство памяти $2^{32} = 4$ Гбайт и $2^{36} = 64$ Гбайт в МП 7, 8 поколений, где 32 и 36 – количество разрядов шины адреса МП, определяющих это пространство;
- размер операндов 32, 16, 8 бит для целочисленных операций;
- наличие устройства с плавающей точкой (FPU) над 32/64/80-битовыми числами в стандарте IEEE-754 (для i386 FPU реализовано в виде отдельной БИС i387);
- реальный и защищенный режимы работы, а также виртуальный режим, эмулирующий работу нескольких процессоров 8086; после сброса или включения питания МП работает в реальном режиме, обращаясь к первой команде по адресу 0FFFFFFF0h;
- совместимый набор команд x86 и схожая программная (регистровая) модель, что обеспечивает совместимость по объектному коду с программами, разработанными для МП младших поколений, включая 8086, 80286.

Регистровая (программная) модель 32-разрядных МП семейства 80x86 для целочисленных операций

В этой модели 32-битовые регистры МП, например EAX, имеют в обозначениях букву E. Причем в EAX его младшая часть AX представляет собой 16-, а AL – 8-битовый регистр.

В состав регистровой модели (рис. 3.1а) для целочисленных операций входят следующие регистры:

1. Пользовательские регистры целочисленного устройства:
 - регистры общего назначения (РОН):

EAX, AX, AH, AL;	ESI, SI;
EBX, BX, BH, BL;	EDI, DI;
ECX, CX, CH, CL;	EBP, BP;
EDX, DX, DH, DL;	ESP, SP;
 - указатель команд: EIP, IP;
 - регистр признаков: EFLAG, FLAG.
2. Сегментные регистры: CS, DS, ES, SS; FS, GS.
3. Системные регистры: дескрипторных таблиц, задачи.

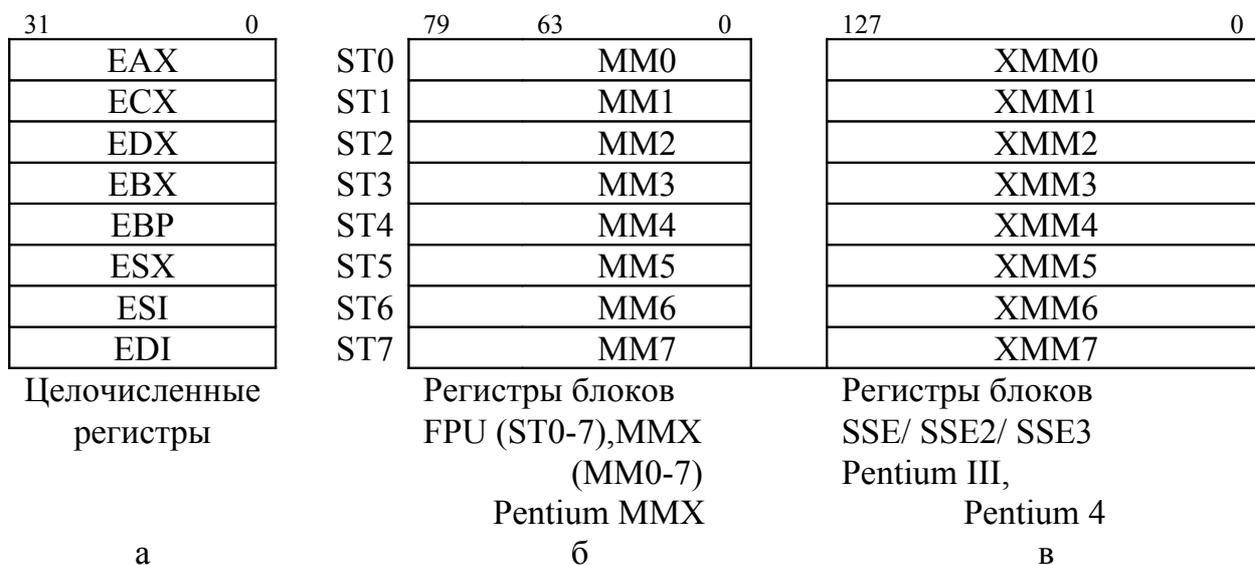


Рис. 3.1. Регистры хранения данных в процессорах Pentium

Для операций над данными с плавающей точкой (ПТ) и операций MMX (*Multi-Media eXtension*) с несколькими 1, 2, 4, 8 или 16-байтовыми данными в регистровую модель (рис. 3.1б) включают соответственно 80- и 64-битовые регистры, обозначаемые как ST0–ST7 и MM0–MM7. Операции MMX стали применяться в моделях процессоров, начиная с Intel Pentium MMX (5 поколение МП).

Позднее с модели Pentium III (6 поколение) в процессоры вводится блок *SSE (Streaming SIMD Extension – Потокое SIMD-расширение)* для групповой обработки чисел с плавающей точкой по принципу «одна команда – много данных» (*SIMD – Single Instruction – Multiple Data*). Далее в процессор Pentium 4 (7 поколение) был введен блок *SSE2*, а затем в Pentium 4 с ядром Prescott – блок *SSE3*, значительно расширяющие начальную версию SSE. Регистровая модель этих блоков содержит 128-битовые регистры XMM0–XMM7 (рис. 3.1в). Выполняемые этими блоками операции ориентированы на трехмерные графики, операции сжатия и кодирования аудио- и видеоданных.

Расширение функциональных возможностей некоторых современных процессоров осуществляется путем поддержки в них *технологии 64-разрядных вычислений (Extend Memory 64 Technology EM64T)*, аналогичных по выполнению с операциями над 32-битовыми регистрами в МП 80x86.

В частности, при реализации этой технологии в процессорах Intel Itanium и AMD Athlon 64 разрядность регистров EAX, ECX и других увеличена в 2 раза, а также добавлены новые 64-битовые регистры. В основном EM64T ориентирована на применение в высокопроизводительных серверах. Для домашних и офисных компьютеров эта технология пока не востребована.

Наряду с операционными, к функциональным возможностям современного процессора также относится набор поддерживаемых им технологий, обеспечивающих высокие *эксплуатационные свойства* МП. К ним, в первую очередь, относятся встраиваемые в процессоры *технологии защиты от вирусов (Execute Disable Bit), от перегрева (Intel Thermal Monitor 2), энергосбережения (Enhanced Halt State, EHS)* и другие.

3.2. Производительность процессора, ее связь с энергоэффективностью

Определение производительности процессора

Под производительностью (Performance) процессора понимается количество выполняемых им команд, или инструкций, за единицу времени (Instruction Per Second, **IPS**):

$$\text{Performance} = \text{Количество инструкций/Единица времени} = \text{IPS}.$$

Важной характеристикой МП, влияющей на скорость его работы, является значение его тактовой частоты F как величины, обратной периоду T синхроимпульсов, задающих моменты (такты) выполнения операций. Эта частота учитывается при определении показателя производительности как числа инструкций, выполняемых за один такт работы МП длительностью $T = 1 / F$ (Instruction Per Clock, *IPC*).

С учетом того, что частота F есть число тактов за единицу времени (или 1 такт, отнесенный к времени T), получим выражение, характеризующее производительность процессора в зависимости от величины F :

$$\text{Performance} = (\text{Кол-во инструкций} / 1 \text{ такт}) \times (1 \text{ такт} / T) = \text{IPC} \times F.$$

Фактически значение F в этом выражении показывает количество *IPC*, выполняемых за единицу времени, то есть, чем выше тактовая частота (F) микропроцессора и чем больше он выполняет инструкций (команд) за один такт (*IPC*) этой частоты, тем выше производительность процессора.

Современные технологии (приемы) повышения производительности процессора

При создании процессоров для увеличения их производительности стремятся одновременно в тесной взаимосвязи повышать как F , так и *IPC*. На решение этой задачи нацелен целый ряд инновационных подходов и приемов создания *микроархитектуры* (или *структуры*) новых моделей процессоров в сочетании с их современной микроэлектронной реализацией. Эти вопросы рассмотрены далее в разделах данной главы, посвященным принципам построения процессоров персональных компьютеров.

Ниже кратко приводятся только основные архитектурные приемы (или технологии), приводящие в комплексе к повышению производительности МП. К ним, в первую очередь, относятся:

- увеличение числа, размера и скорости работы *кэшей* и их интегрирование в кристалл МП;
- наращивание количества параллельно работающих исполнительных устройств (*суперскалярная технология*), что обеспечивает увеличение числа выполняемых инструкций (команд) за один такт (*IPC*);
- введение в МП *принципа конвейеризации* и увеличение при этом числа стадий (фаз) для параллельного выполнения нескольких инструкций в компонентах отдельного конвейера (устройства) с целью упрощения опера-

ций на отдельных стадиях и соответственно ускорения их выполнения, как основы повышения тактовой частоты F ;

- эффективное предсказание направлений ветвлений в выполняемой программе и введение опережающего выполнения последовательности команд (*спекулятивное выполнение*) и даже изменение их порядка;
- наращивание тактовых частот $F_{ЦП}$ и $F_{Ш}$ МП, в том числе за счет *технологии их «умножения»*;
- построение *многоядерных процессоров* как эффективного архитектурного приема повышения числа выполняемых инструкций за такт.

Естественно, что определенные архитектурные подходы, принятые при создании конкретного МП, поддерживаются современной технологией его производства, позволяющей уменьшить размеры кристалла, потребляемую мощность и стоимость с одновременным увеличением степени интеграции элементов в микросхеме.

Отмеченные выше решения используются в современных процессорах фирмы Intel, которая постепенно апробировала их, начиная с первых моделей. Так, технология конвейеризации стала применяться, начиная с МП i386, встраивание кэша L1 в кристалл – с МП i486, а L2 – с МП Pentium Pro. Суперскалярная технология и предсказание ветвлений впервые появились в процессоре Pentium (P5), выполнение команд с опережением и даже изменением порядка их исполнения (в целом, как технология динамического изменения последовательности команд) – в моделях P6, а принцип многоядерности – в микропроцессорах 8 поколения.

Процессор может также аппаратно реализовать ряд дополнительных технологий, повышающих производительность компьютера как вычислительной системы, когда одновременно запускается выполнение нескольких приложений, например, копирование диска, работа с редактором и других.

Так *технология (принцип) виртуализации (Intel Virtualization Technology, Intel VT)* ускоряет переключение контекстов виртуальных машин. Ее применение является полезным дополнением к *технологии Hyper Threading (HT)*, позволяющей в одноядерном процессоре Pentium 4 одновременно реализовывать два вычислительных процесса, что для ряда решаемых задач повышает производительность системы. Однако

только в том случае, если в выполняемых приложениях учтена технология HT, при их выполнении система видит два логических процессора вместо одного физического.

Основные характеристики процессоров семейства Intel 80x86

В таблице 3.2 приведены параметры МП семейства Intel 80x86: значения частот F_{ЦП} и F_Ш, ширина шины данных (ШД), емкость внутреннего кэша L1 и плюс (+) кэша L2, число конвейеров в исполнительном блоке, а также количество стадий конвейера.

Таблица 3.2

Типы МП фирмы Intel, их основные характеристики

Модель	Тактовая частота		Ширина ШД, бит	Число конвейеров/стадий	Емкость внутреннего кэша L1 + L2, Кбайт
	F _{ЦП} , МГц	F _Ш , МГц			
386DX + i387	16–33	F _{ЦП}	32	1/5	–
486DX/DX2/DX4	33/66/100	33	32	1/5	8, 16 в DX4
Pentium	66–200	66	64	2/5	16
Pentium MMX	166–233	66	64	2/5	32
Pentium Pro	133–233	66	64	5/10	16 + 256
Pentium II	233–450	66–100	64	5/10	32 + 512, +128 в Celeron
Pentium III	450–1300	100–133	64	5/10	32 + 256 или 512
Pentium 4 (Willamette, Northwood)	1300–3200	400–533	64	7/20	8 + 256, + 512, +128 в Celeron D
Pentium 4 (Prescott)	2800–4500	800–1066	64	7/30	16 + (512 ÷ 2048), +(256 ÷ 512) в Celeron D
Intel Core2 Duo, 2 ядра	3000	800–1066	64	7/14 в ядре	16 + (2 ÷ 4) Мбайт

Из таблицы видно как менялись основные характеристики МП, косвенно показывающие рост производительности процессоров на всем отрезке истории развития архитектуры 80x86, и что одним из путей повышения производительности являлось увеличение тактовой частоты работы микропроцессора.

Однако это привело к резкому возрастанию потребляемой микропроцессором мощности со всеми вытекающими отсюда негативными последствиями. Так в некоторых моделях процессора Pentium 4 с 30-стадийным конвейером, в которых в качестве основного критерия производительности указывалась FЦП, мощность тепловыделения микропроцессора превышала 100 Вт. Следует напомнить, что МП 8088 потреблял всего около 1,75 Вт.

Большая потребляемая мощность снижала привлекательность применения МП Pentium 4 и пользователи компьютеров отдавали предпочтение моделям из семейства Intel Celeron D, как упрощенного варианта Pentium 4 и, естественно, с более низкой стоимостью и низким энергопотреблением. В последние годы вырос интерес к мобильным платформам компьютеров (ноутбукам), как одним из экономичных по питанию версий ПК. Принципы построения и технические характеристики ноутбуков будут рассмотрены в Приложении 1.

Энергетическая эффективность процессора

В последнее время разработчики процессоров стали при поиске путей повышения производительности учитывать такой показатель их работы как энергетическая эффективность процессора – добиваясь увеличения значений IPC и F в заданном диапазоне экономичного энергопотребления.

Энергетическая эффективность процессора определяется как количество поглощенной им энергии на одну выполненную инструкцию (Energy Per Instruction, EPI):

$$EPI = \text{Энергия (Дж)} / \text{Количество инструкций.}$$

EPI также удобно трактовать как потребляемую мощность (Power) в расчете на единицу производительности (Performance):

$$EPI = \text{Power} / \text{Performance.}$$

Одним из способов повышения энергетической эффективности является переход к многоядерной архитектуре процессора. Примером ее применения является создание двухъядерного процессора Intel Core 2 Duo с потреблением всего 65 Вт, что почти в 2 раза меньше по сравнению с высокочастотными Pentium 4. Его внедрение позволяет выпускать высокопроизводительные и в то же время малощумящие и с меньшим энергопотреблением домашние и профессиональные компьютеры.

Наряду с фирмой Intel, процессоры для IBM-совместимых компьютеров, начиная с клонов i486 и Intel Pentium MMX, как

AMD 486DX4 и AMD K5, поставляет также фирма AMD. Среди других ее разработок следует выделить процессоры AMD K6, K7 и AMD Athlon 64 как программно совместимые и достойно конкурирующие по своим техническим характеристикам с МП Intel Pentium 6 и 7 поколений.

3.3. Структурная организация МП i386 и i486

Структура микропроцессора i386

На рисунке 3.2, где показана структура микропроцессора i386, представлены функциональные блоки (устройства) микропроцессора и их взаимодействие.



Рис. 3.2. Структура микропроцессора i386

Микропроцессор содержит семь устройств, которые могут одновременно выполнять следующие операции: выборка команд, декоди-

рование команды, собственно исполнение команды, запись результата в память, формирование адреса.

С внешними устройствами МП взаимодействует через шины адреса (ША), данных (ШД) и управления (ШУ).

Микропроцессор i486

Самыми существенными нововведениями в МП i486 являются: выполнение за счет конвейерного режима целого ряда команд за один такт, размещение на кристалле i486 кэш-памяти и процессора FPU, умножение внутрипроцессорной частоты синхронизации $F_{ЦП}$ относительно внешней частоты $F_{Ш}$: $F_{ЦП} = (2, 3, 4) \cdot F_{Ш}$. Состав микропроцессора i486 приведен на рисунке 3.3.

В МП i486 одновременно может выполняться 3-5 команд, поэтому в среднем команда выполняется за 1-2 такта. По своей архитектуре i486 – это i386 + i387. Для него характерно наличие быстрых пакетных циклов для передачи данных между МП и ВУ.



Рис. 3.3. Состав микропроцессора i486

Пакетные циклы эффективны для передачи выровненных блоков данных через 32-битовую ШД. Например, кэшируемый пакетный цикл для передачи 16-байтового блока содержит 2+1+1+1 тактов (рис. 3.4).

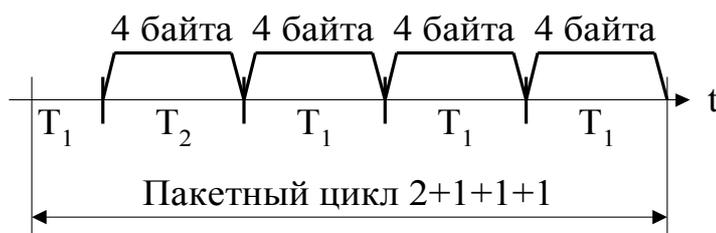


Рис. 3.4. Фрагмент пакетного цикла 2+1+1+1

3.4. Микропроцессор Pentium (P5)

Основные характеристики

1. МП Pentium (P5) – 32-разрядный МП с архитектурой 32/64/32, отличающейся введением 64-разрядной ШД.
2. Тактовая частота шины МП $F_{Ш} = 66$ МГц. Внутрипроцессорная тактовая частота $F_{ЦП}$ от 66 до 200 МГц. МП использует принцип умножения $F_{CLK} = F_{Ш}$ на коэффициент $k = 1,5; 2; 2,5; 3; 3,5$.

Нововведения в архитектуре микропроцессора Pentium

Существенными нововведениями в P5 являются следующие:

1. Два конвейера V и U, осуществляющие параллельную обработку команд. Конечный результат применения двухконвейерной архитектуры – суперскалярный режим работы P5, позволяющий за один такт выполнять одну и более команд.
2. Устройство прогнозирования ветвления, позволяющее предсказать адрес перехода и заблаговременно загрузить команды с этого адреса в дополнительный буфер команд.
3. 8-ступенчатый конвейер для выполнения операций с плавающей точкой (ПТ). Его новая архитектура обеспечила повышение быстродействия FPU в 4–5 раз.
4. Две разновидности кэш-памяти L1 для команд и данных. Каждый кэш размером по 8 Кбайт.
5. 64-битовая шина данных.
6. Конвейеризация адресов при обращении к ОП. От нее отказались в МП i486, но она оказалось удачной в Pentium. Принятие некогда отклоненных архитектурных решений создания МП является одним из приемов совершенствования его более поздних моделей.

Внутренняя архитектура МП Pentium

На рисунке 3.5 приведена упрощенная структурная схема МП Pentium. Особенностью его архитектуры является наличие двух 5-стадийных конвейеров V и U.

Поскольку в этом МП с целью повышения его производительности впервые для семейства Intel 80x86 используются принципы распараллеливания выполнения команд (суперскалярность) и предсказания ветвлений программы, то далее достаточно подробно рассматриваются микроархитектура P5 и функционирование его конвейеров на отдельных стадиях их работы.

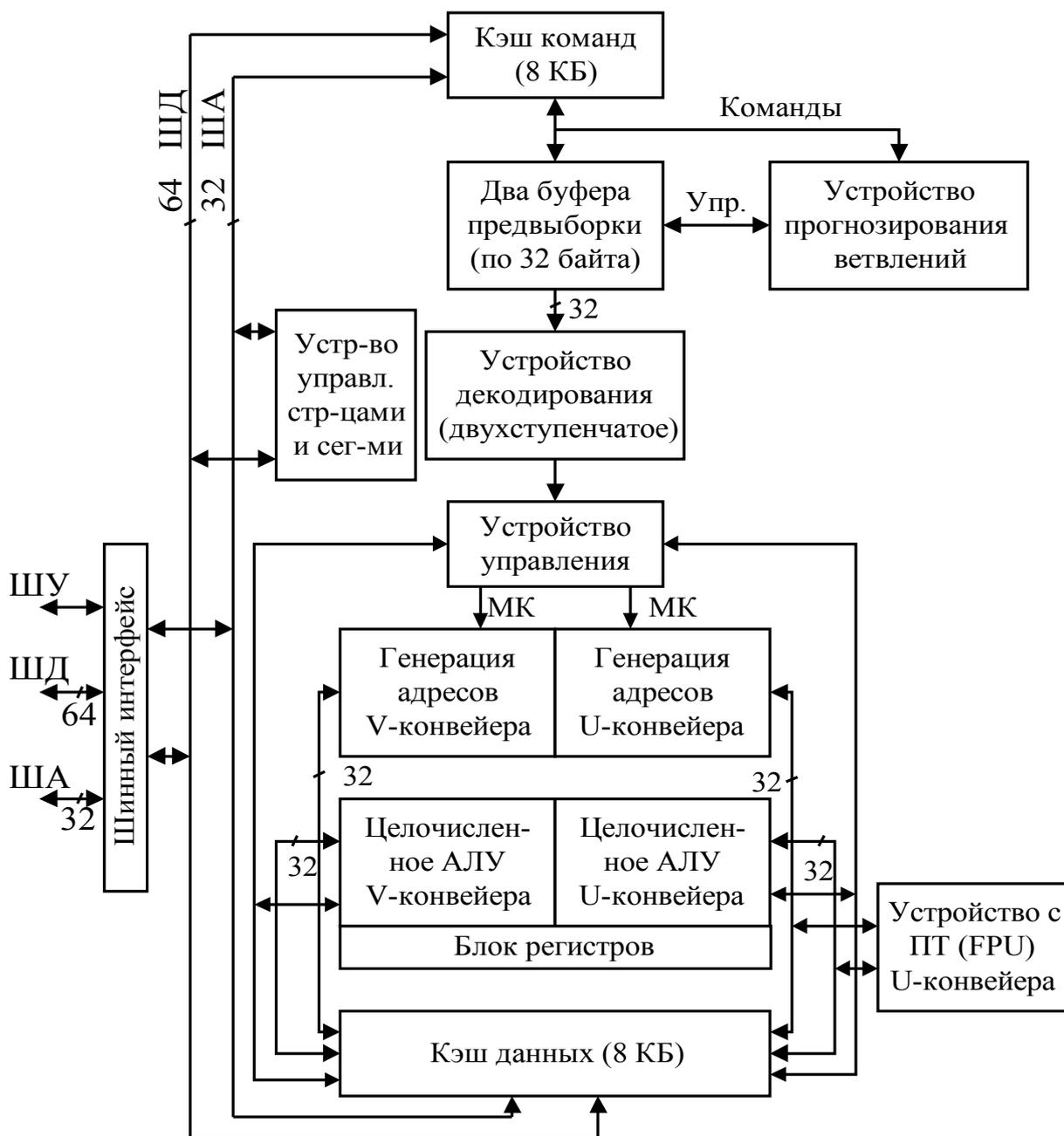


Рис. 3.5. Упрощенная структура МП Pentium (P5)

МП Pentium содержит следующие устройства.

1. Шинный интерфейс (BU), который управляет внешним интерфейсом процессора, координируя обмен между ВУ и внутренними блоками МП по 64-битовой ШД и 32-битовой ША. Устройство ВУ не только взаимодействует с кэшами кода и данных, но также управляет контролем данных и адресов по четности и пакетными операциями обмена с памятью.

Скорость обмена через внешнюю 64-битовую ШД составляет 528 Мбайт/с при тактовой частоте $F_{Ш} = 66$ МГц, что в 4 раза больше,

чем в i486. Размер блока данных в операциях группового обмена при пакетных циклах шины равен 32 байтам, что составляет размер строки внешней кэш-памяти. Чтобы эти операции выполнялись успешно, предусматривается их разделение на четыре 8-байтовые передачи, причем пакетный цикл шины построен так, что на всю операцию затрачивается пять тактов: два такта T_1 , T_2 на первые 8 байт и по одному такту T_1 на каждую из последующих трех передач.

2. Внутренняя кэш-память, содержащая две отдельные секции по 8 Кбайт: кэш команд и кэш данных. Разделение кэшей дает возможность одновременного доступа к ним. За один такт могут быть произведены два обращения к данным и прочитаны 32 байта кода команд.

3. Устройство опережающей выборки команд, которое состоит из двух 32-байтовых буферов предвыборки команд и устройства прогнозирования ветвлений. Эти буферы участвуют в предвыборке команд. В каждый момент времени предвыборка команд производится только в один из буферов. Предвыборка выполняется последовательно до тех пор, пока не будет выбрана команда перехода. За этим следит устройство прогнозирования ветвлений (ВРУ). Если оно предсказывает, что будет переход, то включается второй буфер предвыборки и в него осуществляется предвыборка команд начиная с той, на которую должен произойти переход. Второй буфер становится основным и т.д. Если определено, что перехода не будет, то основная последовательность опережающей выборки не нарушается — продолжает работать первый буфер. Если переход предсказан ошибочно, то буферы предвыборки очищаются и предвыборка начинается снова. В случае неверного предсказания перехода ЦП теряет 3 или 4 такта.

4. Устройство декодирования команд, которое служит для одновременного декодирования двух команд для V и U конверторов и запуска конвейеров на выполнение команд. Для повышения быстродействия разработчики МП Pentium применили еще один прием — они ввели две ступени (этапа) декодирования команды для каждого конвейера.

На первом этапе декодер принимает команду из устройства опережающей выборки и определяет, можно ли запустить две соседние команды как пару. На втором этапе декодер формирует управляющее слово, которое используется для координации работы конвейеров.

5. Устройство управления, преобразующее внутреннюю команду от устройства декодирования команд в набор микрокоманд (МК) для управления другими устройствами микропроцессора.

6. Устройства генерации адресов для V и U конвейеров, которые служат для определения адресов операндов в памяти.

7. Два целочисленных 32-битовых арифметико-логических устройства (АЛУ) для V и U конвейеров. Эти два АЛУ совместно с регистровым блоком МП (регистры EAX, EBX, ECX и т.д.), 64-битовым циклическим сдвигателем, блоками аппаратного умножения и деления образуют исполнительное устройство процессора. Оно предназначено для выполнения команд над целыми числами. Особенность АЛУ V-конвейера в том, что он выполняет только простые целочисленные команды, реализуемые аппаратно за один такт.

8. Устройство с ПТ (FPU), которое представляет собой конвейерный процессор с ПТ. Имеет 8 конвейерных ступеней, первые пять из которых у него общие с целочисленными устройствами. Представление данных в FPU соответствует стандарту IEEE-754, однако устройство реализует более высокоскоростные алгоритмы и принципы эффективной конвейерной архитектуры. FPU включается в работу U-конвейера, если встречается команда над числами с ПТ.

9. Устройство управления страницами и сегментами, реализующее механизмы страничной и сегментной организации основной памяти ПК.

Стадии конвейера ЦП Pentium

Как и в i486, целочисленные команды при их выполнении проходят пять стадий конвейера:

- 1) PF – предвыборка команд;
- 2) D1 – декодирование команды;
- 3) D2 – генерация адреса;
- 4) EX – выполнение команды;
- 5) WB – запись результата.

В Pentium при выполнении команд параллельно работают два пятиступенчатых конвейера U и V. Это позволяет за один такт выполнять две целочисленные команды. U-конвейер может выполнять любую команду, в том числе и с ПТ, так как в него входит и FPU. V-конвейер может выполнять только простые команды.

Порядок прохождения команд по обоим конвейерам не отличается от порядка их следования в выполняемой программе. При параллельном выполнении двух команд они проходят каждую ступень конвейеров V и U в унисон. Если команда одного конвейера на какой-то ступени об-

работана раньше, чем команда другого, то первая будет ждать вторую, чтобы одновременно поступить на следующую ступень. Кроме того, если нельзя выполнить в исполняемом блоке одновременно две команды, то работает один конвейер, а вторая команда запускается на исполнение только после выполнения первой.

Опишем стадии конвейера ЦП Pentium:

1. Предвыборка команды (PF). На первой стадии (PF) осуществляется предвыборка команд из кэша команд или из оперативной памяти в один из буферов устройства предвыборки команд. Если следующей команды в кэше нет, то ЦП обращается к оперативной памяти. Предвыборка команд с заполнением буферов предвыборки производится с учетом прогнозирования ветвлений, что позволяет повысить производительность Pentium на 25 %.

2. Декодирование команды (D1). На второй стадии устройство декодирования декодирует две команды. Декодеры определяют, одна или две команды будут выполняться одновременно в соответствии с правилами спаривания команд.

3. Генерация адреса (D2). На третьей стадии, так же как и в i486, с помощью схемы генерации адреса определяются адреса операндов в памяти.

4. Выполнение команды (EX). На четвертой стадии исполнительное устройство Pentium осуществляет операции в АЛУ конвейеров V и U. На данной стадии все команды переходов конвейера V проверяются на правильность предсказания переходов. На первой стадии конвейера устройство опережающей выборки загружает во второй буфер предвыборки последовательность команд как бы на всякий случай, если такой переход по условию состоится. Но это условие станет известно только на четвертой стадии, когда будут сформированы признаки переходов. В целом за счет применения специальных алгоритмов предсказаний ветвлений, используемых в Pentium, блок предсказания ветвлений указывает правильный путь ветвлений с вероятностью около 75–80 %

5. Запись результата (WB). На последней стадии осуществляется запись результата в регистры ЦП или память. Здесь перед записью производятся также проверка правильности условных ветвлений команд, проходящих через V-конвейер, и очистка буферов предвыборки, если ветвление было предсказано неправильно.

Наличие в P5 двух конвейеров позволяет ему работать в суперскалярном режиме и выполнять за один такт более одной команды. Для того, чтобы две команды могли выполняться параллельно, они должны удовлетворять следующим основным условиям спаривания:

- обе команды должны быть простыми;
- между командами не должно быть регистровых зависимостей типа «запись после чтения» или «чтение после записи»;
- ни одна из команд не может содержать одновременно смещение и непосредственный операнд и т.д.

Возможность спаривания команд и предсказание переходов существенно повышают производительность P5. Так, одна итерация цикла, состоящего из последовательности четырех команд:

```
m1:  mov  eax,[ebx]
      add  ebx,ecx
      cmp  eax,x
      jle  m1
```

выполняется в P5 всего за два такта, а в МП 486 – за шесть тактов.

Особенности микроархитектуры Pentium MMX

МП Pentium с технологией MMX по своей архитектуре относится к микропроцессорам 5 поколения и является, так же, как и P5, двухконвейерным процессором. Появившиеся в нем новые 57 инструкций MMX – это разработанная для МП Pentium технология, ориентированная на эффективную обработку изображений и звука.

Помимо нового набора команд Pentium MMX имеет ряд новых структурных особенностей и дополнительных операционных (по сравнению с P5) возможностей: наличие кэш-памяти L1 емкостью 32 Кбайт вместо 16 Кбайт в P5, повышение вероятности правильного предсказания при переходах, одна инструкция (команда) MMX над многими данными и другое.

3.5. Микропроцессор Pentium Pro (P6)

Основные технические характеристики

1. Pentium Pro (P6) – суперскалярный 32-битовый МП с архитектурой 32/64/32, программно совместимый с i486 и P5. Его внутренняя архитектура близка к классическим вариантам RISC-процессоров.
2. Технология ViCMOS – 5,5 миллиона транзисторов центрального процессора плюс 15,5 миллиона транзисторов кэша L2 емкостью 256 Кбайт, размещенных в одном корпусе.
3. Внутрипроцессорная тактовая частота $F_{ЦП} = 133\text{--}233$ МГц, $F_{Ш} = 66$ МГц.

Пути повышения производительности P6

Кэш-память второго уровня (кэш L2) емкостью 256 Кбайт размещена в одном корпусе с центральным процессором (ЦП) и соединена с ним специальной 64-битовой внутренней дополнительной шиной BSB (Back Side Bus) (рис. 3.6). Это позволяет взаимодействовать ЦП и кэшу L2 с внутрипроцессорной тактовой частотой $F_{ЦП} = 133, 150$ МГц и т.д. В P5 взаимодействие с внешним кэшем L2 осуществляется через внешнюю шину с частотой $F_{Ш} = 66$ МГц.

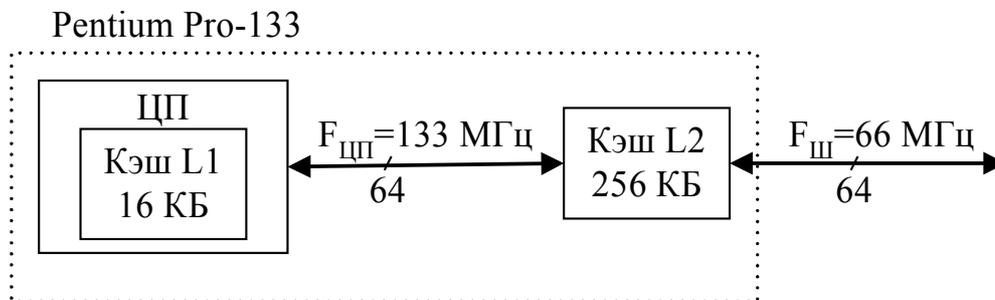


Рис. 3.6. Корпус МП Pentium Pro-133

2. В P6 для увеличения пропускной способности используется 14-ступенчатый конвейер, первые четыре ступени которого связаны с выборкой команд и их часто не учитывают при определении степени конвейеризации. Конвейер представляет собой три независимых параллельно действующих устройства:

- устройство выборки/декодирования (6-ступенчатый конвейер);
- устройство диспетчирования/выполнения (5 ступеней);

– устройство отката (3 ступени).

Они взаимодействуют через специальное устройство, называемое пулом команд. На рисунке 3.7 приведена укрупненная структура МП Р6, показывающая взаимодействие этих устройств.

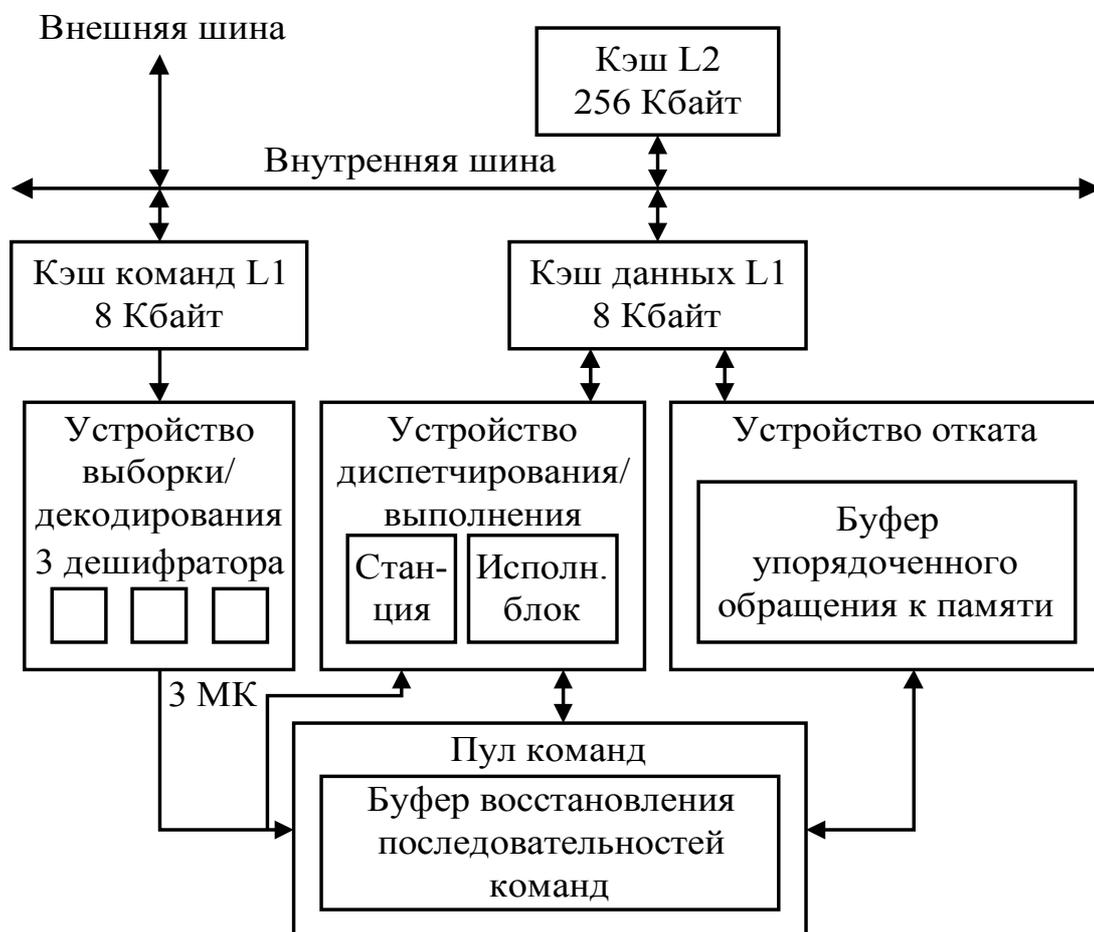


Рис. 3.7. Укрупненная структура МП Pentium Pro

3. В Р6 используется принцип опережающего выполнения команд при наилучшем порядке их исполнения, которое достигается введением указанных выше устройств.

Введение в Р6 этих устройств вызвано тем, что в этом МП отказались от традиционных фаз выполнения следующих команд: выборка команды и исполнение команды, а фазу исполнения команды заменили на две фазы: диспетчирование/выполнение и откат.

Это позволяет начинать выполнение команд в произвольном порядке, но завершать, то есть, производить откат, – всегда в соответствии с исходным порядком команд в программе.

4. В Р6 используется принцип опережающего выполнения команд при наилучшем порядке их исполнения, который достигается введением

указанных выше устройств. Рассмотрим в качестве примера следующую ассемблерную программу:

```
MOV EAX, X      ; команда 1
ADD EDI, ECX    ; команда 2
INC EBX         ; команда 3
SUB ESI, EDX    ; команда 4
```

При традиционном подходе ЦП перейдет к выполнению 2 команды (K2) только после выполнения K1. Причем выполнение команды обращения к памяти будет длительным, так как требуется ввести цикл шины. В P6 можно при выполнении K1 уже наперед выполнять команды K2, K3, K4, так как их результаты не зависят друг от друга. Архитектура устройства диспетчирования/выполнения позволяет выполнить одновременно максимум пять команд за один такт (на практике в среднем за один такт выполняется три команды). Такое выполнение команд называется опережающим.

Команды, а вернее, их микрокоманды (МК), которые необходимо выполнять, заранее помещаются в пул команд с помощью устройства выборки/декодирования. Результаты операций, полученные при выполнении команд K1–K4, запоминаются также в пуле команд. Их пересылка в реальные физические регистры производится устройством отката, которое восстанавливает истинный порядок выполнения программы по ее результатам. Команды, которые выдали свои окончательные результаты, устройство отката выбрасывает из пула.

Таким образом, P6 является машиной, управляемой потоком данных, то есть, ЦП выполняет команды в соответствии с их готовностью к выполнению независимо от их первоначального размещения в программе.

В устройстве выборки/декодирования P6 используются более совершенные алгоритмы предсказания переходов, позволяющие на 90 % предсказать правильный переход.

5. В процессоре P6 увеличено число одновременно декодируемых за такт команд до трех, так как устройство декодирования P6 содержит три дешифратора (декодера) инструкций: один сложный и два простых. P6 в среднем за такт выполняет три команды, хотя ЦП содержит пять исполнительных устройств.

3.6. Суперскалярные процессоры 6 поколения с технологией MMX

Процессор Pentium II и его модификации

Процессор Pentium II рассматривается фирмой Intel как процессор с RISC-архитектурой, аналогичной Pentium Pro, и набором команд MMX. МП Pentium II имеет частоту $F_{ЦП}$ от 233 МГц, производится по 0,25 мкм КМОП-технологии, что обеспечивает меньшее потребление мощности. Тогда как в МП Pentium Pro используется встроенный в корпус кэш L2, модель Pentium II представляет собой однокристалльный прибор, в котором, как в обычных МП Pentium, используется внешний кэш L2. Однако он взаимодействует с кристаллом ЦП через отдельную шину микропроцессора на половинной частоте $F_{ЦП}$. Для повышения производительности процессора Pentium II объем внутреннего кэша L1 увеличен до 32 Кбайт.

Процессор Pentium II стал первым образцом, спроектированным по оригинальной модульной схеме построения процессоров и материнских плат. Его МП устанавливается на легко адаптируемой заключенной в корпус из пластика и металла дочерней плате, которая к системной плате подключается через специальный 242-контактный слот Slot 1. На этой плате также размещается и микросхема кэша L2, взаимодействующего с МП через отдельную шину с тактовой частотой $F_{ЦП}/2$. Такая сборка позволила увеличить объем кэша L2 до 512 Кбайт.

Для серверов и рабочих станций фирма Intel выпустила высокопроизводительный процессор *Pentium II Xeon* с $F_{ЦП} = 400, 450$ МГц с разъемом Slot 2. В этом процессоре частота интерфейса кэша L2 совпадает с $F_{ЦП}$.

Удешевленной версией Pentium II является процессор *Celeron* с тактовой частотой до 300 МГц, в котором отсутствует кэш L2, или *Celeron 300A* и *Celeron* с $F_{ЦП}$ более 300 МГц, содержащие кэш L2 размером 128 Кбайт внутри кристалла МП.

Pentium III – это 32-битовый процессор Pentium II, который имеет такое существенное новшество, как наличие специальной команды, позволяющей получить уникальный идентификатор МП, что обеспечивает его защиту от несанкционированного доступа. Помимо этого, в процессор введены дополнительные команды SSE и увеличена тактовая частота до 1400 МГц (1,4 ГГц). Наряду с вариантом сборки на дочерней плате появилась однокристалльная модель процессора с внутренним кэшем L2 размером 512 Кбайт. На основе Pentium III есть его версия для серверов – *Pentium III Xeon*.

Структура процессорного модуля на базе Pentium II

На рисунке 3.8 приведена структура процессорного модуля компьютера на базе микропроцессора Pentium II и чипсета i440BX, реализующего функции контроллера шин PCI, AGP и ISA. Такая многошинная реализация процессора позволяет значительно увеличить производительность ПК.

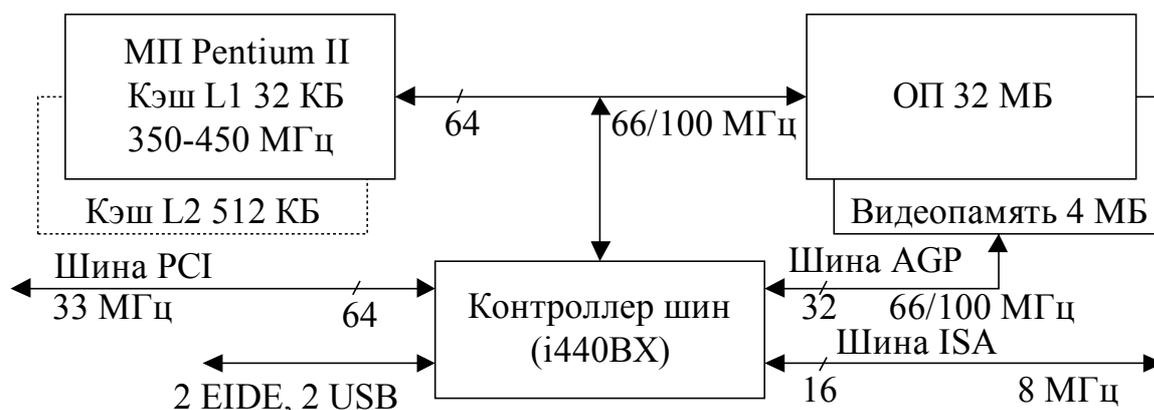


Рис. 3.8. Структура процессорного модуля на базе МП Pentium II

3.7. Процессоры семейства Intel Pentium 4

Основные характеристики и нововведения в структуре процессора Pentium 4

1. Процессоры Pentium 4 являются 32-разрядными представителями семейства 80x86 с микроархитектурой, характерной для 7 поколения.

Модели этих процессоров весьма разнообразны и отличаются значениями тактовой частоты ядра процессора $F_{ЦП}$ и частоты $F_{Ш}$ системной шины FSB, размерами кэш L1 и L2, технологией производства кристалла для различных версий ядра процессора (табл. 3.2).

Таблица 3.2

Эволюция основных характеристик Pentium 4

Характеристика процессора Pentium 4	Версии ядра процессора			
	Willamette	Northwood	Prescott	
Техпроцесс, нм	180	130	90	65
Число транзисторов, млн.	42	55	125	200
Кэш L1, Мбайт	8	8	16	16
Кэш L2, Мбайт	256, (128 в Celeron D)	512, (256 в Celeron D)	1000, (256 в Celeron D)	2000, (256 в Celeron D)
Частота FSB, МГц	400	533	800	1066
Частота F _{цп} , ГГц	от 1,5	от 2,0	от 3,0 до 5,0	
Число стадий конвейера	20	20	30	

Нарращивание операционных возможностей	Команды SSE2	Hyper Threading	Команды SSE3
--	--------------	-----------------	--------------

Модели процессоров Pentium 4 последовательно, от появления в 2000 г. первого ЦП и до настоящего времени, были основаны на ядрах *Willamette*, *Northwood*, а затем *Prescott* с общей для них микроархитектурой *NetBurst (накетно-сетевой)*, ориентированной на эффективную работу с Интернет-приложениями.

Использование названий ядер как неких кодов (шифров), обозначающих определенную версию архитектуры процессора при его разработке, позволяет выделить эволюционные изменения в его структуре и микроэлектронной реализации (см. табл. 3.2).

В настоящее время выпускаемые модели Pentium 4 и его упрощенный вариант Celeron D идентифицированы трехзначными числами, позволяющими по значению и позиции цифр судить об их характеристиках (тактовые частоты, объем кэшей, используемые технологии повышения производительности, надежности работы и другое).

3. Характерными чертами МП Pentium 4 с микроархитектурой NetBurst, во многом унаследованной от предыдущего поколения P6, являются следующие (в скобках даются их основные отличительные от P6 особенности):

- построение структуры компьютера как вычислительной машины с разделением потока команд и данных (с внешней процессорной шиной с 36 битами адреса вместо 32 в P6, работающей на более высокой частоте 400, 533, 800 и 1066 МГц; с увеличенными объемами кэшей, причем в кэше L1 хранятся данные и микроинструкции и другого);

- динамическое изменение последовательности команд (с несколькими улучшенными механизмами очередности их выборки и исполнения);

- суперскалярная архитектура, обеспечивающая одновременное выполнение нескольких команд в семи параллельно работающих исполнительных устройствах ALU (в частности, из них два работают с удвоенной скоростью);

- предсказание направления ветвлений (усовершенствованы механизмы предварительной выборки команд и предсказания ветвлений);

- конвейерное выполнение команд (*самое существенное новшество* – конвейер стал супердлинным: 20 стадий в ядрах Willamette, Northwood и 30 – в Prescott, что позволило значительно упростить выполняемые на нем операции и сделать существенный рывок в тактовых частотах);

4. Другими существенными нововведениями в архитектуре в Pentium 4, начиная с версии Northwood, является внедрение:

- технологии Hyper Threading (HT), позволяющей системе «видеть» два логических процессора вместо одного физического;
- набора дополнительных команд SSE3 для групповой обработки данных (набор SSE2 внедрен ранее в МП с ядром Willamette).

В целом основным достижением микроархитектуры NetBurst является высокая производительность процессора Pentium 4 за счет его функционирования на высокой тактовой частоте (3–4 ГГц).

Структура и функционирование процессора Pentium 4

Состав и назначение его блоков

На рисунке 3.9 приведена структурная схема процессора Pentium 4. Взаимодействие процессора с внешними устройствами осуществляется через его *шинный интерфейс*, поддерживаемый 64-битовой шиной данных и 36-битовой шиной адреса, наличие которой обеспечивает адресацию до 64 Гбайт внешней основной памяти. Таким образом, Pentium 4 характеризуется архитектурой 32/64/36.

Схема шинного интерфейса при тактовой (физической) частоте системной (внешней) шины МП (FSB), например 100/133 МГц, поддерживает через нее в 2, 4 раза большую эффективную частоту передачи данных, составляющую в первых моделях Pentium 4 400/533 МГц, а в более поздних 800/1066 МГц. Достижение указанных частот FSB обеспечивается тем, что в пределах длительности T одного тактового импульса данные передаются через шину МП в моменты его спада и нарастания с учетом его инверсии и сдвига на полтакта.

Выборка и декодирование команд

Кэш L2 служит в качестве буфера для хранения команд и данных. Для эффективной работы процессора они разделяются на отдельные потоки. Так, команды передаются в предпроцессор, а данные – в кэш данных L1.

При изложении принципов организации и функционирования схемы процессора целесообразно показать, как выполняется последовательность команд на фазе их выборки и декодирования, а затем на фазе диспетчирования и исполнения. Условно эти фазы распределены между *пред-* и *постпроцессором* МП Pentium 4.

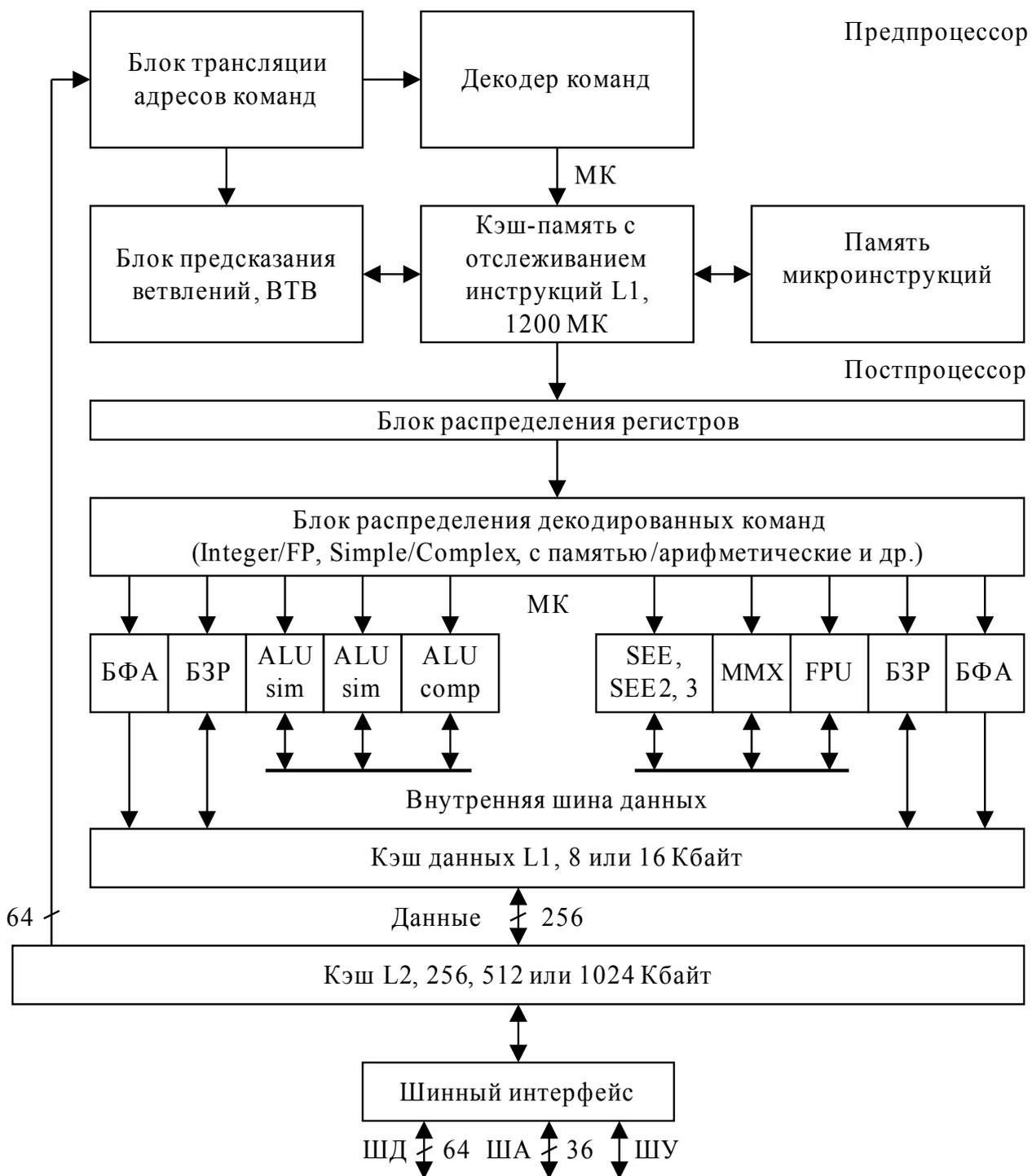


Рис. 3.9. Структурная схема МП Pentium 4

Выбираемые в соответствии с выполняемой программой команды (инструкции) поступают на декодер команд, который каждую инструкцию преобразует в одну микрокоманду (МК) или их последовательность, называемую микропрограммой. Из декодера они поступают в *кэш память микроинструкций* как части кэша L1.

Впервые в МП Pentium 4 для ускорения выполнения операций на фазе выборки и исполнения команд *кэш память L1* функционально разделена на две части. Первая традиционно применяется для хранения данных. Вторая часть L1 введена для хранения последовательностей микроинструкций (или микропрограмм) декодированных с помощью *декодера команд* и готовых к исполнению команд выполняемой программы. Отдельные последовательности микрокоманд (МК) называют отслеживаниями (trace), поэтому эту часть L1 часто называют *кэшем с отслеживанием (Trace Cache)*. В нем может храниться до 1200 МК. Для временного хранения длинных микропрограмм (более 2–3) применяется отдельная *память микроинструкций*.

Хранение в Trace Cache готовых микропрограмм часто повторяющихся команд программы позволяет при ее выполнении исключить процессорные такты работы 8 стадий конвейера предпроцессора для повторной выборки и декодирования команд, так как можно воспользоваться уже имеющимися последовательностями МК. В Pentium 4 при указании основного количества стадий конвейера, участвующих собственно в исполнении команд, а их 20 для ядра Willamette и 30 – для Prescott, отмеченные восемь стадий не учитываются.

Если в потоке команд оказывается команда условного перехода (ветвления программы), то включается механизм предсказания ветвлений (основные принципы его работа представлены при описании процессора P5). Для обеспечения высокого процента предсказания ветвлений, в том числе за счет оптимального набора в Trace Cache микропрограмм, к которым будет осуществлен переход, используется специальный блок предсказания ветвлений. Его основной частью является буфер адресов ветвлений (*Branch Target Buffer – BTB*), служащий для хранения 4096 адресов ранее выполненных переходов. Эти адреса для BTV формируются с помощью блока трансляции адресов команд. Кроме того, BTV хранит предысторию ветвлений в виде специальных битов (признаков), которые указывают, выполнялся ли переход при предыдущих выборах данной команды. Усовершенствованный по сравнению с P5 и P6, этот блок обеспечивает девяностопроцентную вероятность правильного предсказания, что способствует значительному уменьшению числа перезагрузок конвейера при неправильном предсказании, тем более, что время, затрачиваемое на эту операцию, резко возрастает с увеличением числа стадий конвейера.

Диспетчирование и исполнение команд

После формирования потоков МК с помощью блока распределения регистров производит выделение физических регистров, необходимых для выполнения текущих микропрограмм. Эти регистры являются копиями логических (пользовательских) регистров процессора (EAX, ECX и других). Эта процедура позволяет выполнять команды, оперирующие с одними и теми же логическими регистрами, одновременно или с изменением их последовательности, включая и опережающее исполнение.

Перед исполнением команд они в декодированном виде из кэш микроинструкций передаются в *блок распределения (диспетчирования) декодированных команд*, где размещаются в специальной очереди (памяти) МК. Их выполнение далее производится не в порядке, указанном в программе, а по мере готовности соответствующих операндов и исполнительных устройств. В очереди могут находиться 126 готовых к исполнению микропрограмм. Их значительное увеличение (в Pentium III в очереди было 40 декодированных команд) позволяет с помощью этого блока более эффективно организовать поток исполняемых команд путем оптимального изменения как их последовательности, так и максимально возможного числа и видов подключаемых к их выполнению исполнительных устройств (ALU, FPU, MMX и других) в зависимости от формы представления операндов (целые/с плавающей точкой), типа выполняемых операций (простые – simple/сложные – complex, арифметические/с памятью), а также требований к скорости их выполнения (быстрые/медленные).

Исполнительное ядро процессора строится на основе ряда параллельно работающих блоков. *Арифметико-логические устройства (ALU)* осуществляют обработку целочисленных (*Integer*) операндов, которые поступают из *блока заданных регистров (БЗР)*. В этот же блок предварительно заносятся результаты операций. Большинство операций выполняется за один такт. Два *ALU* отличаются повышенной скоростью их работы и выполняют за такт две простые инструкции. *Блок формирования адреса (БФА)* предназначен для вычисления адресов операндов в памяти.

В состав исполнительного ядра процессора также входят блоки MMX, SSE и FPU, оперирующие с групповыми данными и числами с плавающей точкой (FP). Их работа поддерживается отдельными блоками БЗР и БФА. Ряд команд выполняется посредством быстродействующих устройств, в частности, аппаратного целочисленного умножителя и сдвигателя, включенных в состав МП на основе ядра Prescott.

При выборке операнда из памяти или записи в нее результата производится обращение к кэш-памяти данных L1, из которой за 1 такт одновременно могут считываться в БЗР операнды для двух команд. Итоговые результаты вычислений выдаются из процессора в соответствии с выполняемой программой. Поскольку в Pentium 4 используется гиперконвейерная технология, то на различных стадиях конвейера ядра Willamette или Northwood может находиться в процессе выполнения 20, а для ядра Prescott – 30 команд.

Наличие очень длинного конвейера способствует существенному росту тактовых частот при выполнении инструкций и связанному с этим увеличению производительности процессора. Однако, как уже отмечалось, такой подход приводил к избыточному тепловыделению (более 100 Вт) и необходимости применения специальных средств охлаждения процессора.

3.8. Основы микроархитектуры двухъядерных процессоров Intel Core 2 Duo, их развитие

Общая характеристика двухъядерных процессоров

Построение двухъядерных процессоров с более короткими конвейерами является одним из эффективных путей достижения их высокой производительности за счет параллельной работы ядер. Под ядром процессора, как правило, понимают практически цельную совокупность устройств типичного процессора, кроме кэш-памяти L2, образующую вычислительный блок (CPU).

Построение таких процессоров базируется на микроархитектуре Intel Core, разработанной фирмой Intel как дальнейшее развитие общей архитектуры IA-32 (x86). С использованием 65-нм технологического процесса создано несколько семейств процессоров на основе этой архитектуры, в том числе: Intel Core 2 Duo для настольных ПК, Mobile Intel Core 2 Duo (Merom) для ноутбуков и Intel Xeon для серверов. Вследствие этого не случайно, что во многом благодаря энергоэффективной производительности Core выпуск ноутбуков и ПК на базе двухъядерных процессоров является самым быстрорастущим сегментом компьютерного рынка.

Как показывают результаты тестирования, в целом ряде приложений двухъядерные модели Intel Core 2 Duo имеют значительно большую производительность по сравнению с процессорами предшествующего поколения. Важно то, что этот прирост осуществляется без увеличения потребляемой микропроцессором мощности, поэтому можно говорить о появлении семейства энергоэффективных процессоров, позволяющих поддерживать достаточно большую производительность при ограничениях на энергопотребление (рассеиваемая тепловая мощность микропроцессора около 60 Вт).

Внутренняя архитектура двухъядерного процессора Intel Core 2 Duo

В целом, как утверждает фирма Intel, двухъядерный процессор строится в соответствии с *микроархитектурой Core*, базирующейся при создании процессорных ядер на объединении ее предшественников: архитектур Banias и NetBurst, применяемых в МП 6 и 7 поколений соответственно.

В этой связи отмечают, что структура отдельного ядра в Core 2 Duo в большей степени схожа с микроархитектурой Banias процессоров Pentium M для мобильных платформ и Pentium III (семейство P6, начиная с Pentium Pro), чем с архитектурой NetBurst процессора Pentium 4.

Это отразилось на том, что конвейер каждого ядра Intel Core 2 Duo является 14-стадийным (в Pentium M – 12, а в Pentium 4 – 20 или 30 стадий). Из Pentium 4 полностью заимствована организация его системной шины (ША – 36, ШД – 32 бит, эффективная частота этой шины FSB до 800/1066 МГц, а внутрипроцессорная $F_{\text{ШП}}$ до 3 ГГц). Последнее обеспечивает преемственность в принципах взаимодействия двухъядерного процессора Intel Core 2 Duo с основной памятью, графическим адаптером и другими компонентами операционного блока ПК (см. рис. 2.8).

Наряду с этим, в Intel Core 2 Duo используется целый ряд встроенных технологий, применяемых в его предшественниках для защиты от вирусов и перегрева, энергосбережения и другого.

Наиболее существенные нововведения в Intel Core 2 Duo

1. Параллельная работа двух независимых вычислительных ядер CPU1 и CPU2, взаимодействующих с общей кэш-памятью L2 размером 2 или 4 Мбайт (рис. 3.10).

2. Поддержка, при необходимости, технологии Intel EM64T, позволяющей работать ядру с использованием 64-битовых регистров для выполнения операций над целыми двоичными числами.

Двухъядерный процессор

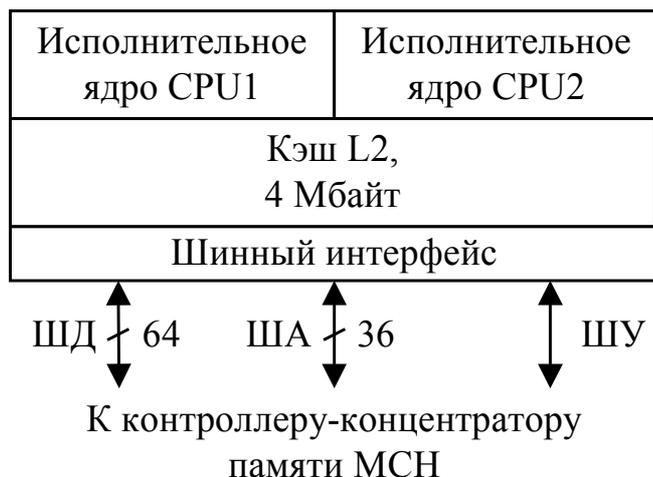


Рис. 3.10. Укрупненная структура двухъядерного процессора Intel Core 2 Duo

3. Одновременное декодирование четырех инструкций (команд) за такт (вместо трех в Pentium 4 и Pentium M), порождающее четыре микрооперации.

4. Предварительное слияние при декодировании двух инструкций, например сравнения и условного перехода, в одну, выполняемую далее как единая инструкция.

5. Введение расширенных, в том числе до 64 бит, блоков ALU, которые способны также выполнять слитые микроинструкции.

6. Наличие технологии обработки двух микроопераций как одной, что позволяет сократить число выполняемых операций и увеличить IPC.

7. Увеличение объема буферов для хранения инструкций, подлежащих внеочередному исполнению.

8. Улучшенные механизмы предсказания ветвлений, размещения данных в кэше, обращения к памяти и другие.

В итоге за счет этих нововведений каждое ядро процессора позволяет выполнять четыре инструкции за такт (вместо трех в Pentium M и Pentium 4).

На основе архитектуры Core также появился четырехъядерный процессор Intel Core 2 Duo Extreme QX6700 как хороший задел на будущее. Однако его применение пока сдерживается отсутствием пользовательских приложений, способных получить выигрыш от данной технологии, а также большим энергопотреблением около 130 Вт. Во многом последнее вызвано тем, что этот МП представляет собой два процессора Intel Core 2 Duo в одном корпусе.

4. ОСНОВНАЯ ПАМЯТЬ КОМПЬЮТЕРА

4.1. Многоуровневая организация оперативной памяти

Для оперативного хранения данных и программ в компьютерах используются микросхемы памяти *динамического (DRAM)* и *статического (SRAM)* типа. Они имеют различные время обращения ($t_{\text{обрSRAM}} < t_{\text{обрDRAM}}$) и стоимость (цена SRAM больше цены DRAM). Такое соотношение цен обусловлено тем, что для хранения одного бита информации в SRAM требуется триггер, который намного сложнее одно-разрядного элемента DRAM, в роли которого выступает конденсатор, построенный на основе всего одного КМОП-транзистора. Поэтому в компьютере наиболее значительные объемы *оперативной памяти (ОП)* поддерживаются с помощью микросхем DRAM.

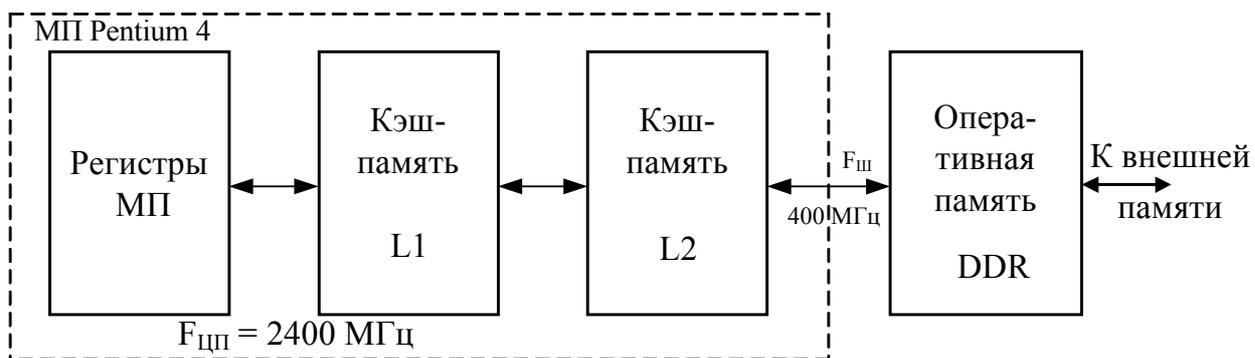
Для достижения оптимального показателя цена/производительность оперативная память современного компьютера имеет *многоуровневую организацию*, для которой характерно применение различных типов памяти, в том числе и кэш-памяти, и способов их взаимодействия с процессором. Ранее, первые ЭВМ имели только *один уровень организации*, представленной в виде ОП.

На рисунке 4.1 показана многоуровневая организация основной оперативной памяти ПК на основе МП Pentium 4 (7 поколение) в сравнении с системой на базе МП Pentium MMX (5 поколение), в которой кэш L2 размещался вне процессора.

Сравнение объема различных видов памяти и времени обращения к ней показывает большие операционные возможности современных компьютеров.

В состав основной памяти процессорного блока ПК Pentium 4 входят следующие типы памяти:

- регистровая память МП, представляющая собой набор пользовательских регистров с временем обращения $t_{\text{обр}} = 0,4$ нс;
- внутренняя кэш-память (или кэш первого уровня L1), размещенная в корпусе БИС МП и взаимодействующая с его регистрами с $t_{\text{обр}} = 0,4$ нс = $1 / F_{\text{цп}}$;
- кэш второго уровня L2, размещенная в корпусе БИС микропроцессора с $t_{\text{обр}} = 0,4$ нс = $1 / F_{\text{цп}}$;
- оперативная память динамического типа, например, на основе БИС синхронной памяти DDR DRAM, с $t_{\text{обр}} = 2,5$ нс.



30 регистров	32 Кбайт	128–2048 Кбайт	256–1024 Мбайт	ПК на базе Pentium 4
0,4 нс	0,4 нс	0,4 нс	от 2,5 нс	
30 регистров	32 КБ	128–512 Кбайт	8-32 Мбайт	ПК на базе Pentium MMX

8 нс

8 нс

15 нс

60–70 нс

Рис. 4.1. Многоуровневая организация оперативной памяти

Максимальная скорость обмена данными между МП и оперативной памятью достигается, если такт шины микропроцессора $T_{ш} = 1/F_{цп}$ равен такту памяти ($t_{обр}$), что характерно для большинства современных микросхем динамического типа. В этом случае при конвейерном обращении (для пакетных циклов шины) за один такт $T_{ш} = 2,5$ нс память выдает один элемент данных. Если $t_{обр} > T_{ш}$, то к $T_{ш}$ добавляются обычно 1–2 дополнительных тактов ожидания T_w , при этом время обращения к основной памяти будет составлять 5–7,5 нс. Применение в подсистемах памяти нескольких уровней кэш-памяти как буферов между регистрами и основной памятью обеспечивает высокую производительность компьютера.

4.2. Виды физической памяти, входящей в состав операционного блока и адаптеров компьютера

Современные компьютеры отличаются большим многообразием видов памяти, взаимодействующих с процессором через различные шины (рис. 4.2).

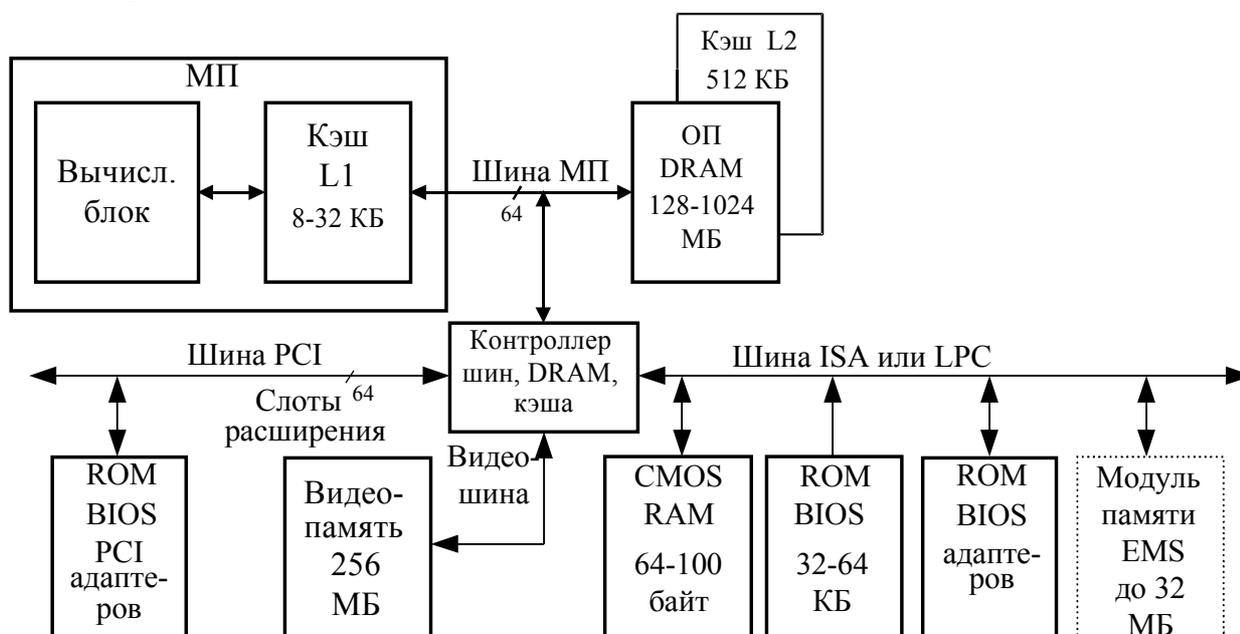


Рис. 4.2. Виды физической памяти ПК и ее комплексирование с вычислительным блоком процессора

Практически все 32-битовые ПК используют следующие виды физической памяти, реализованные на основе полупроводниковых элементов:

- постоянная память ROM BIOS служит для хранения различных программ базовой подсистемы ввода-вывода;
- энергонезависимая память CMOS RAM необходима для хранения информации о конфигурации ПК, времени и дате;
- оперативная (или основная) память (ОП) предназначена для хранения оперативной информации, системных и пользовательских программ;
- кэш-память L1 и L2 служит для отображения содержимого ОП при ее взаимодействии с процессорным блоком (кэш L2 в современных ПК находится внутри микропроцессора);
- видеопамять графических адаптеров требуется для хранения изображений, выводимых на экран монитора; в современных компьютерах видеоадаптер подключается к шине PCI-Express, реже AGP;
- ROM BIOS адаптеров, например видео-, сетевые, SCSI-, модуль дополнительной памяти, например EMS в моделях ПК 2 поколения, и других.

4.3. Структурная организация оперативной памяти

Физическая организация оперативной памяти (ОП) определяется размером минимальной структурной единицы (байта) информации, передаваемой за одно обращение к ОП, и шириной шины данных (ШД) микропроцессора, к которой ОП подключена. Вследствие этого для МП с 32-разрядной ШД память содержит четыре, а для МП с 64-разрядной ШД – восемь 8-битовых секций памяти.

На рисунке 4.3 в качестве примера приведена ОП с 32-битовой организацией (ОП-32).

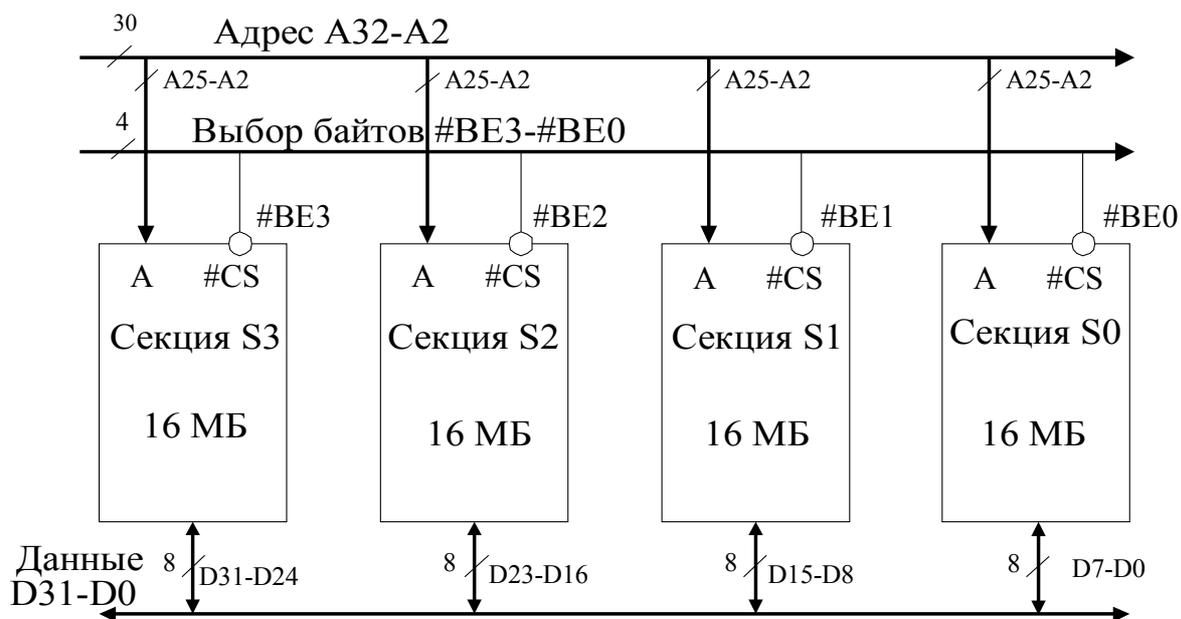


Рис. 4.3. Структура ОП-32 объемом 64 МБ с организацией 16 М×32

Рассматриваемая структура ОП-32 состоит из четырех 8-битовых секций памяти S0, S1, S2 и S3 по 16 Мбайт, подключенных к линиям данных D7–D0, D15–D8, D23–D16 и D31–D24 соответственно. Для упрощения рисунков здесь и далее все примеры организации ОП даются для 32-битовой памяти.

К каждому восьми информационным битам секции может добавляться один бит паритета D_p , если в ОП предусмотрен контроль на четность. В последнем случае каждая секция памяти будет 9-битовой. Если выявлена ошибка в работе памяти, то процессор вырабатывает сигнал «Ошибка паритета». Однако, выявив ошибку паритета, он не останавливает свою работу. Это сделает специальная схема, которая выработает для микропроцессора сигнал прерывания NMI, в соответствии с которым система выдаст сообщение о неисправности оперативной памяти.

4.4. Варианты представления данных в ОП-32

Возможные варианты представления в 32-разрядной оперативной памяти (ОП-32) компьютера данных в формате байта, слова и двойного слова в зависимости от адреса их размещения показаны на рисунке 4.4.

Начальный адрес их размещения и длина хранимых данных влияют на число циклов шины (ЦШ) микропроцессора, необходимое на их выборку из ОП-32. Как следует из таблицы 4.1, байты, слова с четными адресами, а также двойные слова с адресами, кратными 4, выбирается из памяти за один цикл шины (ЦШ). Для других вариантов размещения данных при их выборке из памяти требуется дополнительно второй

ЦШ, вследствие этого при программировании следует следить за тем, чтобы данные были выровнены, то есть, слова и двойные необходимо размещать по адресам памяти, кратным 2 и 4 соответственно.

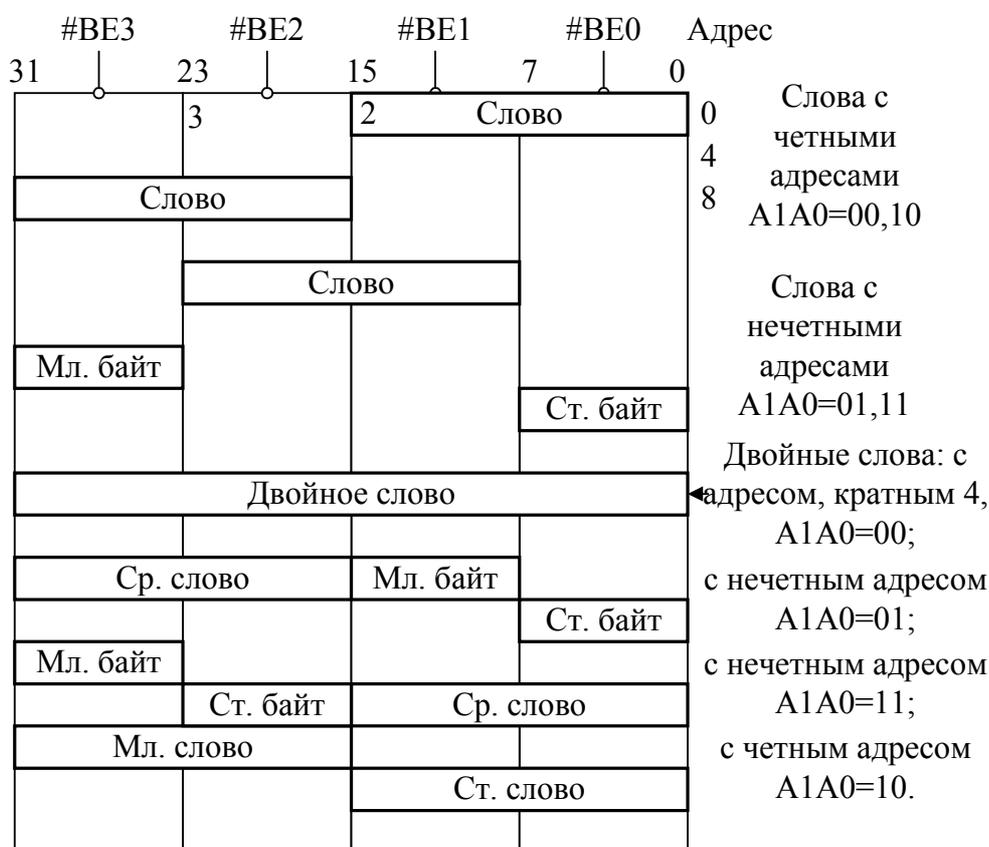


Рис. 4.4. Представление данных в ОП-32

Подобным же образом может быть построена схема, иллюстрирующая размещение данных в 64-битовой подсистеме памяти. Для исключения второго ЦШ размещение квадрослов в этой памяти необходимо осуществлять, начиная с адресов, кратных восьми.

Таблица 4.1

Циклы шины МП для обмена с ОП-32

Длина операнда		16 бит (слово)				32 бита (двойное слово)			
Адрес A1A0		00	01	10	11	00	01	10	11
Сигналы #BE3-#BE0	1-й ЦШ	1100 слово	1001 слово	0011 слово	1110 ст. байт	0000 дв-ное слово	1110 ст. байт	1100 ст. слово	0001 3 байта
	2-й ЦШ	Нет	Нет	Нет	0111 мл. байт	Нет	0001 3 байта	0011 мл. слово	1110 мл. байт

4.5. Построение оперативной памяти с наращиваемой емкостью

Оперативная память ПК является наращиваемой, то есть пользователь путем установки в слоты системной платы специальных модулей, например DIMM, может увеличивать ее объем.

При построении памяти с изменяемой (наращиваемой) емкостью все физическое пространство n-разрядной ОП ($n = 32, 64$) разбивают на несколько n-разрядных банков, например на четыре (рис. 4.5).

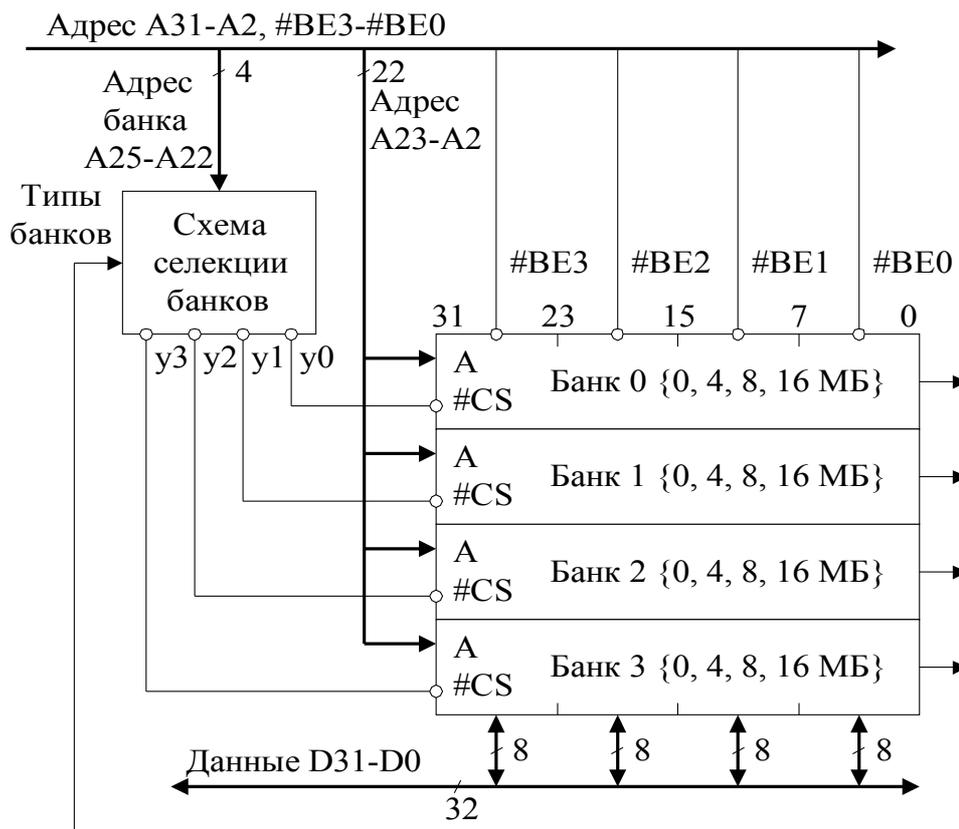


Рис. 4.5. Структура ОП-32 с наращиваемой емкостью

Каждый из банков физически реализуется в виде отдельного модуля памяти, например, емкостью 4, 8 или 16 Мбайт с организацией $1\text{М} \times 32$, $2\text{М} \times 32$ и $4\text{М} \times 32$ разрядных слов. Это позволяет формировать подсистему ОП с изменяемой емкостью из ряда модулей с объемами 4, 8, 12, 16, ..., 64 Мбайт путем заполнения этими модулями банков памяти.

Информация об объеме установленных в память модулей задается с их выходов с помощью 2-, 4-битовых кодов, например 00, 01, 10, которые определяют тип модуля, например 4, 8, 16 Мбайт. При установке модулей в разъемы расширения ОП эта информация передается в схему селекции банков. Если модуль не установлен и, следовательно, банк не заполнен, то в схему передается код 11. Схема селекции банков ОП на

основе этой информации формирует сигналы выбора банков y_0 – y_3 , с помощью которых осуществляются выбор и подключение банков к шине данных. В ранних моделях ПК, для реализации 32-разрядного банка использовался один 72-контактный модуль памяти SIMM-72 или четыре 30-контактных модуля SIMM-30, имеющих 8-битовую организацию.

Для заполнения одного банка с 64-разрядной шиной данных могут быть использованы два модуля SIMM-72, естественно, при наличии соответствующих слотов, или в современных ПК – один 168-контактный модуль DIMM с 64-разрядной организацией.

4.6. Типичная структура оперативной памяти динамического типа

Оперативная память компьютера строится на основе микросхем динамического типа DRAM, поэтому ее часто называют динамической памятью. Микросхемы DRAM имеют 1-, 4-, либо 8-разрядную организацию. На рисунке 4.6 приведена типичная структурная схема БИС DRAM с организацией $256K \times 1$.

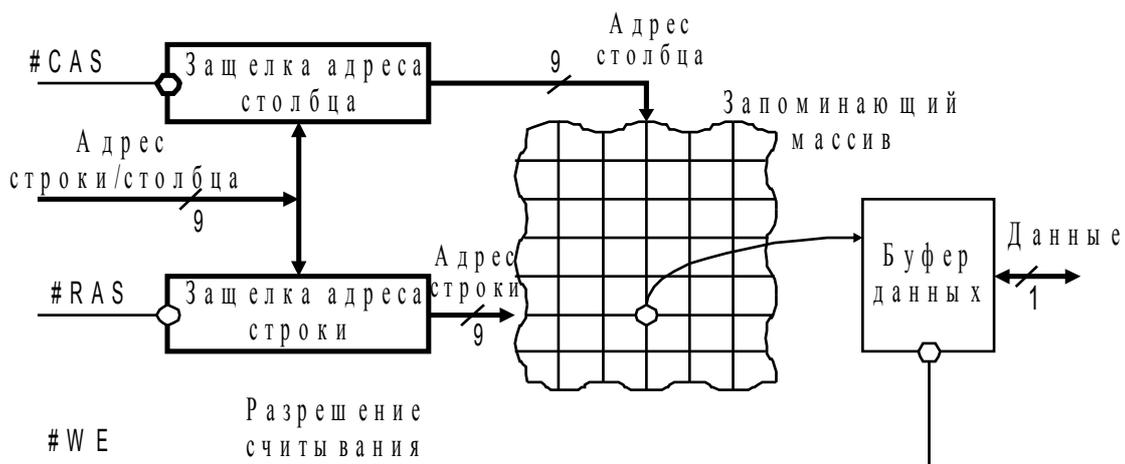


Рис. 4.6. Структура типичной микросхемы DRAM

Полный адрес ячейки запоминающего массива делится на два компонента – адрес столбца и адрес строки, которые фиксируются в специальных регистрах-защелках с помощью стробов адреса столбца $\#CAS$ и строки $\#RAS$. Условно каждая точка пересечения столбца и строки представляет собой одноразрядную память. В DRAM эта ячейка представляет собой конденсатор, в роли которого выступает транзистор. Наличие электрического заряда на конденсаторе ассоциируется с логической 1, а отсутствие – с логическим 0.

При считывании данных конденсаторы разряжаются, поэтому в микросхемах DRAM необходимо периодическое восстановление хранимых данных, для чего требуется специальная схема регенерации. Эту

функцию реализует специальное устройство – контроллер динамической памяти (КДП). Кроме того, КДП осуществляет селекцию подключаемых к нему банков памяти и преобразование n-разрядной шины адреса в n/2-разрядную мультиплексную шину адресов строки и столбца, подключаемую к БИС DRAM.

На рисунке 4.7 приведен пример типичной структуры ОП-32 динамического типа, содержащей 4 банка.

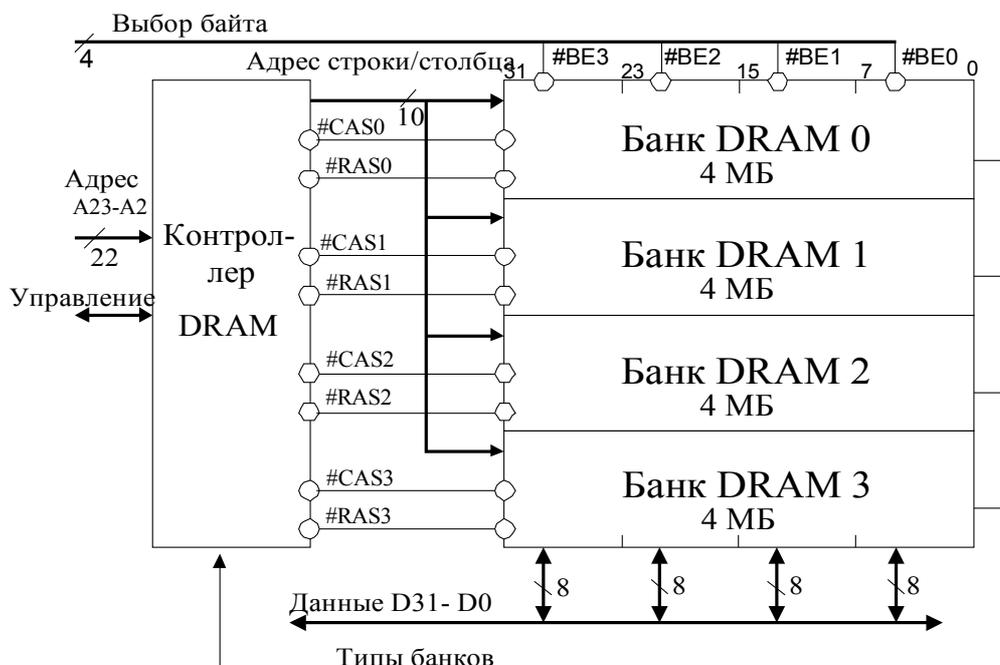


Рис. 4.7. Структура динамической памяти емкостью до 16 Мбайт

Максимальная емкость одного банка с организацией $2^{20} \times 32 = 1\text{М} \times 32$ составляет 4 Мбайт. При использовании БИС DRAM с организацией $1\text{М} \times 4$ для реализации такого банка требуется восемь микросхем или один 72-контактный модуль SIMM, содержащий эти БИС. Функции контроллера DRAM в современных ПК выполняет чип северного моста (см. рис. 2.7 и 2.8).

4.7. Методы повышения быстродействия динамической памяти

Для обеспечения максимальной скорости обмена данными между быстродействующим процессором и медленной DRAM всегда стремятся максимально уменьшить время выборки $t_{\text{выб}}$ подсистемы памяти, добиваясь в пределе равенства значений $t_{\text{выб}} = T$, где $T = 1 / F_{\text{Ш}}$ – период тактовой частоты системной шины МП, через которую он взаимодействует с оперативной памятью.

Для типичной микросхемы DRAM время выборки $t_{\text{выб}}$ содержит три интервала: $t_{\text{рас}}$, $t_{\text{кас}}$ и $t_{\text{вос}}$ (рис. 4.8).

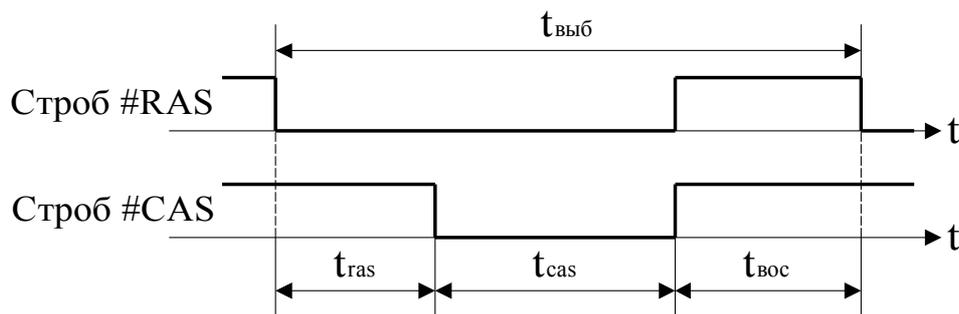


Рис. 4.8. Временная диаграмма цикла выборки типичной DRAM

В интервалах $t_{\text{рас}}$ и $t_{\text{кас}}$ подается строб адреса строки #RAS, а затем – #CAS. После требуется некоторое время $t_{\text{вос}}$ на восстановление (перезаряд) конденсаторов, с которых производилось чтение данных. Поэтому время обращения $t_{\text{обр}}$ к ОП, реализованной на основе обычных микросхем DRAM, равно $t_{\text{обр}} = t_{\text{выб}} = t_{\text{рас}} + t_{\text{кас}} + t_{\text{вос}}$.

Далее рассматриваются методы повышения быстродействия динамической памяти, основанные на исключении из времени обращения некоторых составляющих $t_{\text{выб}}$, а именно: $t_{\text{вос}}$ (первый метод), $t_{\text{рас}}$ (второй метод) и уменьшение интервала $t_{\text{кас}}$ (третий метод).

Первые два метода, интерливинга и страничной организации, используют только структурные методы повышения быстродействия ОП, которые не вносят изменений в архитектуру БИС DRAM, образующих подсистему памяти. Однако третий метод повышения быстродействия, основанный на включении в микросхему DRAM дополнительных регистров SRAM, приводит к некоторому изменению структуры БИС DRAM.

Все эти методы нашли применение как в схемах асинхронной памяти DRAM (FPM DRAM, EDO DRAM, BEDO DRAM), так и пришедшей на ее замену более быстродействующей синхронной памяти SDRAM: (SDR SDRAM, DDR SDRAM, DDR-2 SDRAM и других).

1. Метод чередования (интерливинга) банков или адресов

Интервала $t_{\text{вос}}$ можно избежать, если последовательно выбираемые данные будут принадлежать разным банкам ОП (рис. 4.9).

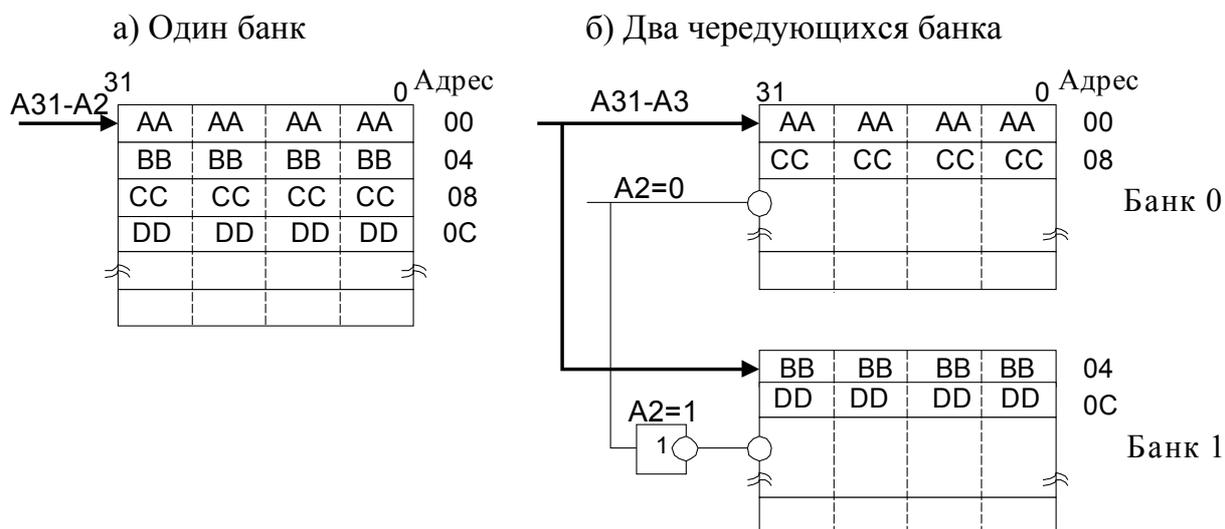


Рис. 4.9. Схема памяти без чередования (а) и с чередованием банков (б)

Выборку элемента данных из текущего банка 0 (рис. 4.9б) можно завершить через интервал $t_{обр} = t_{рас} + t_{cas}$ и сразу приступить к выборке следующего элемента из смежного банка 1. Это позволяет производить восстановление данных в банке 0, пока осуществляется обращение к банку 1 и т.д. Однако применение метода интерливинга требует наличия как минимум двух банков. Кроме того, усложняется логика контроллера DRAM. Данный метод эффективен при последовательном обращении к банкам, что возможно только при выборке выровненных данных длиной не менее 4 байт в ОП-32 или 8 байт в ОП-64. В противном случае ОП формирует сигнал готовности $\#RDY$ и МП вводит в цикл шины 1–2 дополнительных такта ожидания T_w .

2. Метод страничной организации памяти

Другим приемом повышения быстродействия, требующим небольших схемных изменений, является метод страничной или статично-столбцовой организации памяти. Он основан на том, что повторения сигнала $\#RAS$, а, следовательно, и интервала $t_{рас}$, можно избежать, если адреса для выбираемого блока данных будут находиться в пределах одной страницы, на которую указывает адрес строки. При этом достаточно изменять только адрес столбца, определяющего ячейку на текущей странице (рис. 4.10).

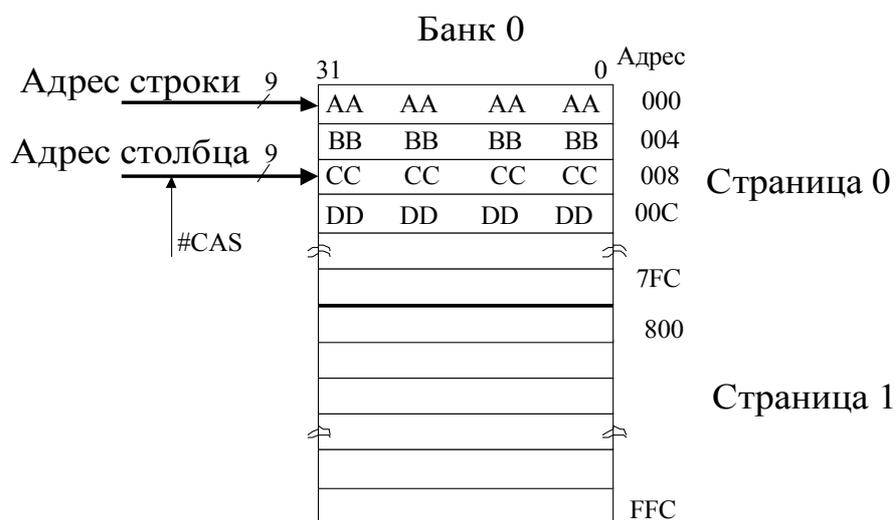


Рис. 4.10. Страничная организация памяти

Логика формирования сигналов #RAS и #CAS для статично-столбцовой организации памяти может быть организована и внутри БИС DRAM. Страничную организацию памяти часто называют *FPM* (*Fast Page Mode*), а микросхемы асинхронной памяти на ее основе – *FPM DRAM*.

Метод страничной организации используется практически во всех современных микросхемах DRAM. При этом возможно сочетание этого метода с другими методами повышения быстродействия, например с методом чередования адресов, что значительно повышает скорость обмена данными МП с ОП.

3. Метод повышения быстродействия памяти с включением в микросхему DRAM регистров SRAM

Данный метод позволяет значительно сократить время выборки $t_{\text{выбDRAM}}$. Однако его реализация требует некоторых изменений структуры DRAM. Суть этого метода состоит во включении в микросхему DRAM со страничной организацией буфера из небольшого числа регистров, выступающих в качестве статической памяти SRAM с временем выборки $t_{\text{выбSRAM}} < t_{\text{выбDRAM}}$. На рисунке 4.11 приведена структура микросхемы с буфером SRAM, построенная на основе этого метода.

Приведенная структура особенно эффективна для пакетных циклов чтения данных. Это связано с тем, что в этом режиме целый блок данных передается в начале цикла из страницы обычной медленной DRAM в регистры SRAM. В следующих тактах пакетного цикла эти данные выбираются уже из статического буфера со значительно мень-

шим временем выборки $t_{\text{выбSRAM}}$, что существенно повышает производительность памяти в целом.

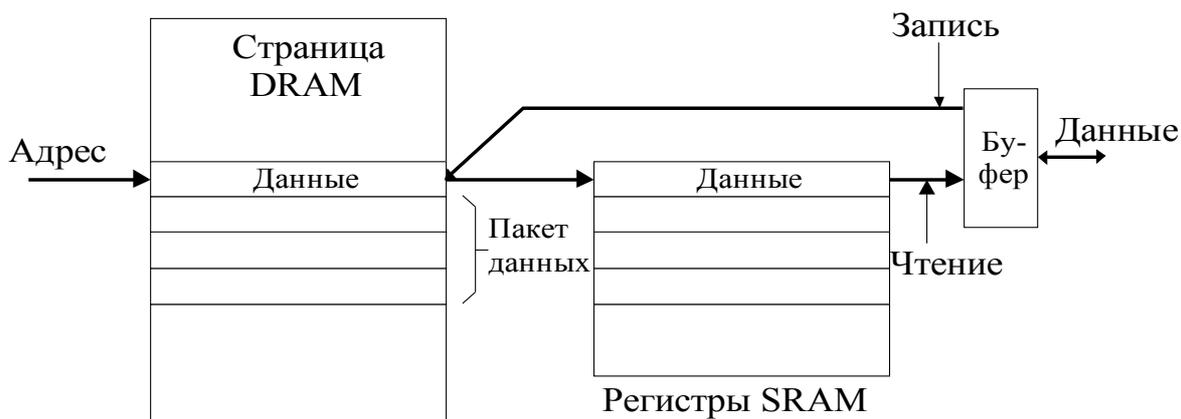


Рис. 4.11. Структура чипа динамической памяти с буфером SRAM

Повышение быстродействия достигается только в операциях чтения данных, так как запись в DRAM производится, минуя статический буфер. Рассмотренный метод был впервые внедрен в схемы асинхронной памяти *EDO (Extended Data Out) DRAM* и *BEDO (Burst EDO) DRAM*, а затем в схемы синхронной памяти *SDRAM (Synchronous DRAM)*, в которой передачи адреса и данных синхронизируется импульсами тактовой частоты шины МП, например 100 или 133 МГц.

Эти микросхемы отличаются способами передачи данных из страницы DRAM в регистры SRAM и формирования адресов элементов в передаваемом блоке данных.

Так, в *EDO DRAM* передача осуществляется в предыдущем такте пакетного цикла путем использования принципа конвейеризации адресов, которые в течение цикла последовательно формирует МП. В микросхемах *BEDO DRAM* и *SDRAM* адреса формируются на основе базового адреса блока (пакета) путем его автоинкремента в каждом такте пакетного цикла с помощью внутреннего счетчика, входящего в состав микросхемы.

В *SDRAM*, наряду с организацией страничного доступа с пакетной обработкой данных, также применяется, как правило, деление всей памяти на четыре внутренних банка DRAM с чередованием обращения к ним (метод интерливинга). В итоге это позволяет еще больше уменьшить время $t_{\text{выб}}$ для микросхем SDRAM и эффективно применять их для работы с МП с внешней тактовой частотой 100 и 133 МГц.

4.8. Синхронная память SDRAM, методы повышения пропускной способности в DDR, DDR2, DDR3 и Rambus

1. Типичная схема SDRAM (или SDR)

Все действия по обращению к этой памяти синхронизируются импульсами тактовой частоты внешней (системной) шины микропроцессора, например $F = 100$ МГц. При этом передача 64 битовых данных через шину (ШД_{ОП}) модуля основной памяти (ОП) в МП производится по нарастающему фронту каждого синхроимпульса, то есть через период T .

Быстродействие SDRAM принято оценивать по величине ее максимальной пропускной способности $ПС_{ОП}$, которая выражается числом байт, передаваемых с частотой F через шину (ШД_{ОП}) памяти шириной k (в байтах):

$$ПС_{ОП} = F \times k.$$

Ширина шины в SDRAM равна 8 байт = 64 бит, поэтому ее пропускная способность $ПС_{SDRAM}$, когда частота синхронизации шины $F = 100$ МГц, составляет

$$ПС_{SDRAM} = 100 \text{ МГц} \times 8 \text{ байт} = 800 \text{ Мбайт/с}.$$

Отметим, что полученная оценка $ПС_{SDRAM}$ справедлива только в режиме страничного пакетного доступа, когда элементы пакета для одной страницы считываются в каждом такте длиной $T = 1/F$.

При выборке данных, расположенных на разных страницах, требуется несколько подготовительных тактов, обычно 2–3, что приводит к задержке на это количество тактов выдачи элемента данных (пакета) относительно моментов подачи стробов #CAS и #RAS, а также сигнала деактивации (регенерации) перед выдачей последнего элемента. Количественные характеристики этих задержек определяют так называемый, тайминг памяти. Чаще всего он имеет вид 2–2–2 или реже 3–3–3.

Современные МП по показателю пропускной способности ($ПС_{МП}$) его внешней шины постоянно опережают память, построенную на основе микросхем DRAM ($ПС_{МП} > ПС_{ОП}$). Вследствие этого всегда стремятся приблизить характеристики $ПС_{ОП}$ к $ПС_{МП}$. Чтобы добиться этого, необходимо в SDRAM увеличить частоту синхронизации F и/или ширину шины данных памяти k .

Рассмотрим методы и подходы, направленные на повышение $ПС_{ОП}$ и нашедшие применение в современных подсистемах синхронной памяти на основе DRAM. Замена динамической памяти на статическую пока не рассматривается ввиду существенной дороговизны и невозможности размещения на ограниченной площади микросхем SRAM большой емкости (в числе байт).

2. Двухканальная синхронная память

Возможный дальнейший рост частоты синхронизации F в микросхемах DRAM приблизился к пределу, ограниченному технологическими процессами создания элементов динамической памяти. Вследствие этого принцип удвоения длины ШД_{ОП} до 128 бит был принят в вариантах построения *двухканальной памяти*, в которой в два раза увеличили размер и внутренней шины DRAM, и внешней шины, являющейся выходом быстродействующей SRAM (см. рис. 4.11).

Однако это привело как к значительному усложнению и удорожанию модулей памяти, так и к необходимости изменения схем и конструкции материнской платы, что подняло ее стоимость. Тем не менее, уже сейчас двухканальная память применяется в целом ряде подсистем памяти современных ПК.

3. DDR и DDR2 – виды синхронной памяти с увеличенной в 2 и 4 раза скоростью передачи данных

Судя из названия *Double Data Rate (DDR)* и *Quadra Data Rate (DDR2 или DDRII)*, – это виды памяти с удвоенной и учетверенной скоростью передачи, или с пропускной способностью ПС_{ОП} в 2 и 4 раза большей, чем в обычной синхронной памяти *SDR (Single Data Rate)*.

Как же удалось повысить в 2 и 4 раза ПС_{ОП}, не изменяя в DDR и DDR2 размера (64 бит) внешней шины данных ШД_{ОП} и не увеличивая значения частоты F обращения к массиву ячеек медленной DRAM как ядру памяти?

На рисунке 4.12 приведена обобщенная структурная схема синхронной памяти, иллюстрирующая каким образом в DDR и DDR2 удалось добиться повышения ПС_{ОП} относительно типичной SDR.

На этом рисунке цифрой со знаком умножения (\times) показано во сколько раз в них относительно SDR увеличены ширина ШД_{DRAM} и значение эффективной частоты $F_{\text{эфф}}$ передачи данных из модуля памяти.

С целью повышения пропускной способности ПС_{ОП} памяти во внутренней структуре DDR и DDR2 комплексно реализованы два традиционных подхода к увеличению ПС: 1) наращивание размера шины, 2) увеличение тактовой частоты передачи данных.

Для реализации первого подхода (наращивание размера шины), размер $k = 8$ байт внутренней шины ШД_{DRAM}, связывающей ядро DRAM с буфером SRAM типичной SDR, увеличен в r раз: $r = 2$ в DDR и $r = 4$ в DDR2-памяти. Это позволило, не повышая частоты F обращения к DRAM, увеличить пропускную способность ПС_{DRAM} в 2 и в 4 раза для DDR и DDR2 соответственно:

$$PC_{DRAM} (\text{Мбайт/с}): \begin{cases} F \text{ МГц} \cdot (8 \text{ байт} \cdot 1) \text{ в SDR,} \\ F \text{ МГц} \cdot (8 \text{ байт} \cdot 2) \text{ в DDR,} \\ F \text{ МГц} \cdot (8 \text{ байт} \cdot 4) \text{ в DDR2.} \end{cases}$$

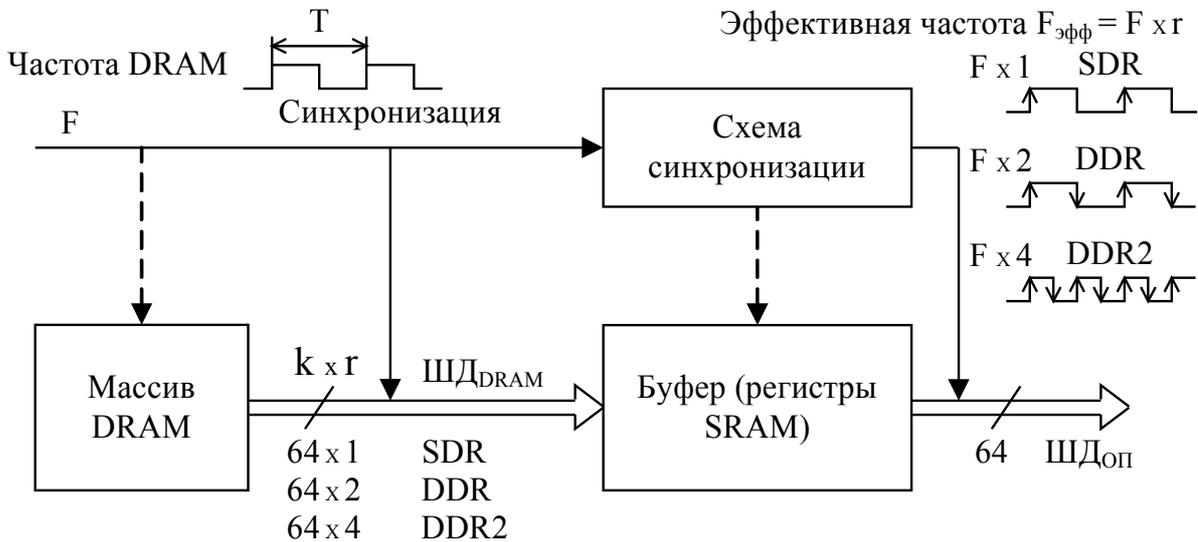


Рис. 4.12. Обобщенная структура синхронной памяти с повышенной пропускной способностью (DDR и DDR2)

Для реализации второго подхода (увеличение частоты $F_{эфф}$) без изменения размера внешней шины $ШД_{ОП}$ (8 байт) модуля памяти повышена тактовая частота $F_{эфф} = F \times r$ передачи данных из быстродействующего буфера SRAM через его шину данных в 2 раза для DDR и в 4 раза для DDR2. Данный способ позволил поддержать полученную ранее повышенную пропускную способность DRAM-ядра на выходе подсистемы памяти, как единого устройства, без изменения его конструкции, определяемой внешней 64-битовой $ШД_{ОП}$.

В итоге на основе рассмотренных подходов разработчикам памяти удалось по сравнению с типичной схемой SDR повысить пропускную способность $PC_{ОП}$ модулей оперативной DDR- и DDR2-памяти в 2 и 4 раза соответственно. Данное утверждение продемонстрировано приведенным ниже выражением, служащим для оценки $PC_{ОП}$:

$$PC_{ОП} (\text{Мбайт/с}): \begin{cases} (F \cdot 1) \text{ МГц} \cdot 8 \text{ байт в SDR,} \\ (F \cdot 2) \text{ МГц} \cdot 8 \text{ байт в DDR,} \\ (F \cdot 4) \text{ МГц} \cdot 8 \text{ байт в DDR2.} \end{cases}$$

Формирование увеличенной в $r = 2$ или $r = 4$ раза эффективной частоты $F_{\text{эфф}} = F \times r$ производится на основе введенной в структуру памяти «схемы синхронизации».

В памяти SDR чтение данных, условно, как показано на рисунке 4.12, производится по нарастающему фронту тактовых импульсов частоты F , а в DDR – по нарастающему и спадающему фронтам, что соответствует удвоению эффективной частоты $F_{\text{эфф}}$ передачи данных из DDR относительно F .

Для памяти DDR2 увеличенную в 4 раза частоту $F_{\text{эфф}}$ схема синхронизации формирует из двух последовательностей тактовых импульсов, следующих с частотой F , сдвинутых относительно друг друга на полтакта T . Условно можно считать, что передача данных из DDR2 производится по нарастающим и спадающим фронтам импульсов удвоенной частоты F , в итоге в 4 раза быстрее, чем в SDR-памяти, и в 2 раза, чем в DDR.

Конструктивно DDR2-, или DDRII-память не совместима с 168-контактными DIMM-модулями, поэтому для реализации DDR2 используются 232-контактные модули тех же размеров, что и DIMM-168.

При указании производительности 64-битовой синхронной динамической памяти в ее маркировке указывается предельное значение эффективной частоты $F_{\text{эфф}}$, с которой производится обращение к памяти, или ее пропускная способность (ПС), например DDR333 или DDR PC2700 для $F = 166$ МГц.

4. Память DDR3

В этом виде памяти увеличение ПС в перспективе будет достигаться путем повышения эффективной частоты, поддерживаемого применением специальных сигнальных технологий шунтирующих цепей, позволяющих исключить возникновение затуханий при распространении сигнала от шины памяти к каждому модулю системы, а также улучшения техпроцесса. Предполагается, что модули DIMM для DDR3 будут конструктивно такими же, как для DDR2.

В таблице 4.2 приведена частота передачи данных для различных вариантов синхронной DRAM с характерными для них значениями $F_{\text{эфф}}$. Умножая значение $F_{\text{эфф}}$ на 8 байт, можно вычислить пропускную способность памяти (в Мбайт/с).

Таблица 4.2

Характеристики быстродействия синхронной DRAM

	SDR DRAM	DDR DRAM	DDR2 DRAM	DDR3 DRAM

Частота передачи данных, МГц	PC66, PC100, PC133	DDR200, 266, 333, 400	DDR2–400, 533, 667, 800	DDR3–800, 1066, 1333, 1600
------------------------------	--------------------	-----------------------	-------------------------	----------------------------

5. Память Rambus

В этом виде памяти по аналогии с системами на основе интерфейса PCI-Express повышение производительности достигается за счет сокращения количества линий внешней шины данных при одновременном повышении требований к помехоустойчивости передачи через них данных даже с повышением ее скорости. Это, естественно, проще сделать при меньшем числе линий, поэтому в памяти Rambus ширина шины данных обычно составляет 16 бит. Зато существенно увеличена эффективная тактовая частота передачи данных: 800 и 1066 МГц, что позволяет достичь пропускной способности, равной 1,6 и 2,1 Гбайт/с. Для Rambus характерно наличие многобанковой организации памяти (16 и 32 банка)

6. Память FB-DIMM

Из новых перспективных видов оперативной памяти следует выделить память FB-DIMM. Ее создание базируется на применение последовательного интерфейса, похожего на PCI-Express, что позволяет создать цепочку DRAM-элементов с высокой скоростью обмена как между ними, так и с контроллером памяти. Так, максимальная скорость FB-DIMM от Samsung составляет 4,8 Гбит/с, что в двое превышает скорость DDR2-400. Емкость модулей достигает 256 Мбайт – 2 Гбайт.

4.9. Конструкция модулей памяти

Конструктивно модули памяти представляют собой небольшие текстолитовые платы с установленными на них микросхемами DRAM. Они подключаются к системной плате через специальные слоты (разъемы) памяти. Для DIMM-модулей, поддерживающих 64-битовую память, применяются 168- и 232-контактные разъемы. В ранних моделях ПК применялись модули SIMM.

Управление работой модулей и установленных на них микросхем DRAM осуществляют специальные наборы управляющих микросхем – чипсеты. Вследствие этого, при модернизации оперативной памяти необходимо учитывать, какой чипсет установлен на системной плате и какие модули памяти он поддерживает. Это особенно важно при приоб-

ретении новых модулей DIMM, необходимых для расширения памяти ПК.

5. СРЕДСТВА УПРАВЛЕНИЯ ВЗАИМОДЕЙСТВИЕМ КОМПЬЮТЕРА С ВНЕШНИМИ УСТРОЙСТВАМИ

Понятие подсистемы ввода-вывода, ее функции и состав

Необходимым компонентом компьютера является *подсистема ввода-вывода*, под которой понимается *комплекс аппаратных и программных средств*, реализующих необходимый набор функций (операций) для обеспечения взаимодействия компьютера с внешней средой.

К *аппаратным* относятся *внешнее устройство (ВУ)*, преобразующее одну форму представления информации в другую (например, удобную для пользователя и необходимую для компьютера), и *электронные схемы – контроллеры и/или адаптеры*, реализующие под управлением программ необходимые с учетом этого *операции по обеспечению взаимодействия ВУ с ядром компьютера*.

Контроллер (или «карта»), как правило, имеет относительно адаптера более широкие возможности, связанные с его участием в выполнении *операций управления ВУ с целью преобразования* формы представления информации, например, преобразования символа клавиши в специальный двоичный код и другие. Часто под контроллером и адаптером пользователи понимают одно и то же устройство.

К *программным средствам* относятся программы (процедуры), под управлением которых контроллеры и адаптеры реализуют указанные операции.

Далее рассматривается структурно-функциональная организация контроллеров (адаптеров) ПК как *аппаратно-программных средств управления его взаимодействием с внешними устройствами*.

5.1. Клавиатура, ее контроллер и адаптер

Структурная схема контроллера клавиатуры

Клавиатура служит для ввода данных в компьютер. На аппаратном уровне клавиатура представляет собой наборное поле клавиатуры и контроллер клавиатуры (рис. 5.1). Контроллер осуществляет формирование в последовательном формате кода сканирования нажатой/отжатой клавиши – *скэн-кода* и построен на основе однокристалльного микро-

контроллера (МК) 8048 (или 8049). МК осуществляет через свои порты вывода сканирование матрицы клавиатуры через линии сканирования и опроса. С их помощью регистрируется любое клавишное действие пользователя: когда он нажимает клавишу, фиксируется переход $0 \rightarrow 1$, отжимает – $1 \rightarrow 0$.

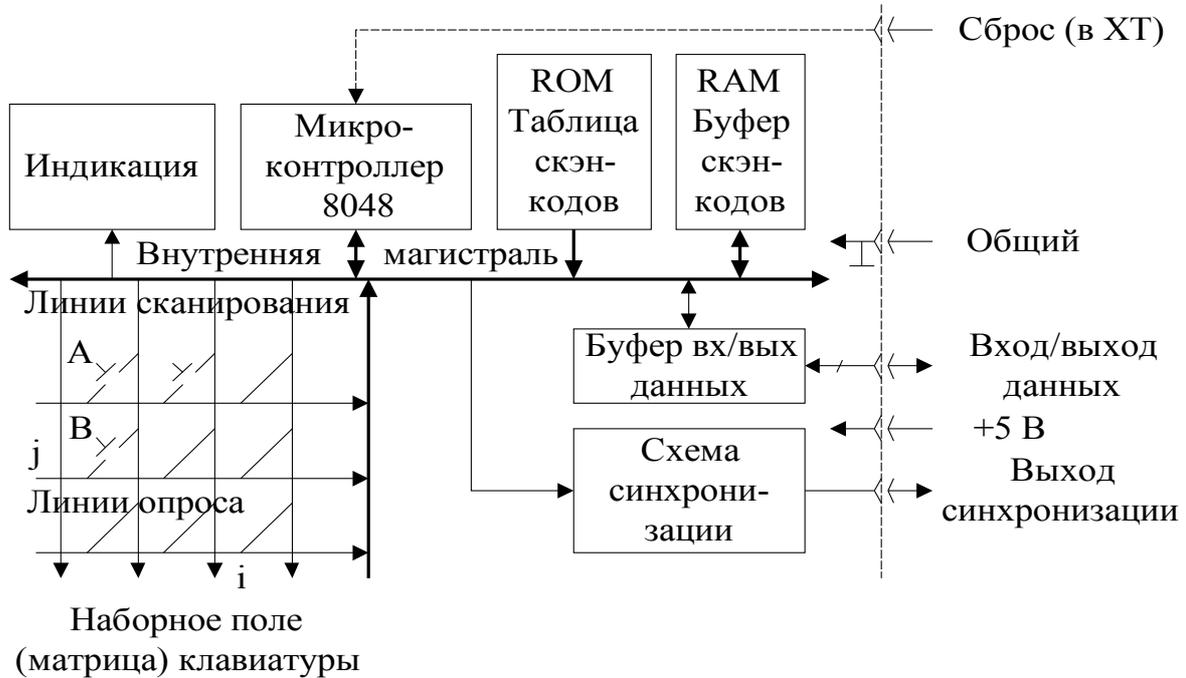


Рис. 5.1. Структурная схема контроллера клавиатуры

Каждой клавише матрицы соответствует определенная позиция на пересечении линии опроса j (горизонтальная линия на рис. 5.1) и линии сканирования i (вертикальная линия). При нажатии/отжатии клавиши МК выявляет линии j и i как код позиции $j \parallel i$ и преобразует его с помощью таблицы скэн-кодов в однобайтный скэн-код D7–D0, представленный в параллельном формате.

При нажатии клавиши байт скэн-кода содержит целое беззнаковое число 1–127. Скэн-код – это номер, закрепленный за каждой клавишей. Формируемый скэн-код отжатия клавиши предваряется кодом F0h. Полученный скэн-код запоминается в буфере скэн-кодов, предназначенном для временного хранения до 20 скэн-кодов, если ЦП не готов их принять. После формирования скэн-кода МК считывает его из буфера и начинает его бит за битом передавать через буфер данных в системный блок (рис. 5.2).



Рис. 5.2. Временные диаграммы передачи скэн-кода

Адаптер клавиатуры

С помощью адаптера клавиатуры, расположенного на системной плате, осуществляется преобразование скэн-кода из последовательного в параллельный формат (рис. 5.3). В компьютерах IBM PC адаптер клавиатуры АТ построен на базе БИС универсального периферийного интерфейса (УПИ) i8042. В современных ПК функции этой БИС выполняет чип контроллера стандартных портов, поддерживающий также и другие виды интерфейса.

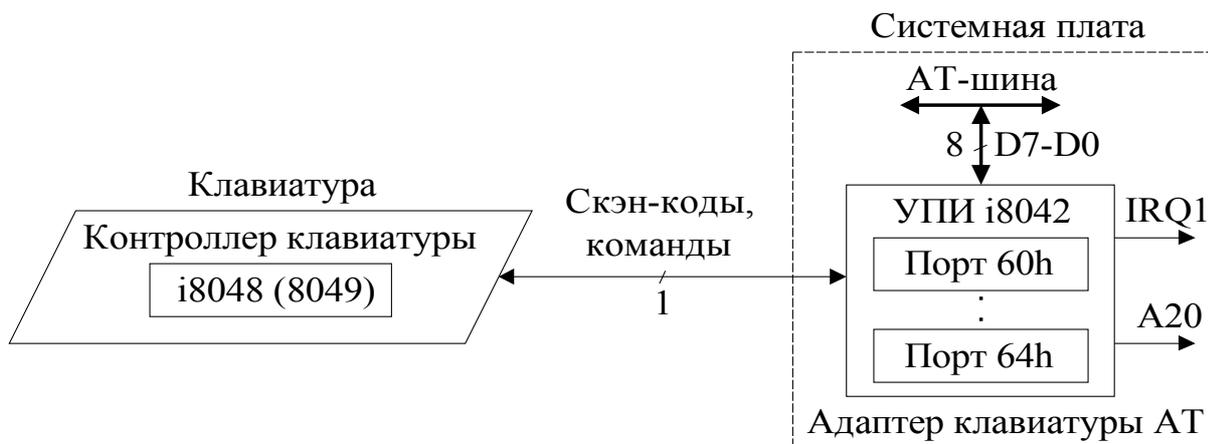


Рис. 5.3. Структура взаимодействия клавиатуры с системным блоком

Из порта 60h УПИ считывается скэн-код. Наряду с этим через этот порт в клавиатуру передаются команды, позволяющие реализовать следующие возможности:

- установка времени ожидания перед переходом клавиатуры в режим автоповтора;
- установка периода повторения скэн-кода в режиме автоповтора;
- управление светодиодами, расположенными на лицевой панели клавиатуры – ScrollLock, CapsLock, NumLock и другие.

Контроллер 8042 обслуживает не только клавиатуру, но и другие системы ПК. Например, через порт 64h производится сброс ЦП для возврата из защищенного режима работы в реальный, формируется сигнал A20 для перехода системы в область памяти НМА и другую.

Управление клавишными операциями

Как видно из описания работы контроллера и адаптера клавиатуры, сформированный при нажатии или отжатии клавиши скэн-код неоднократно преобразуется из одной формы представления в другую с помощью различных аппаратных и программных средств ПК.

Каждый раз, когда нажимается или отпускается клавиша, адаптер клавиатуры формирует сигнал аппаратного прерывания IRQ1, который вызывает команду прерывания INT 9h. С ее помощью из памяти BIOS вызывается процедура обслуживания прерываний клавиатуры, которая управляет выполнением следующих операций:

- преобразование скэн-код символа, поступившего на вход порта 60h, в двухбайтовый код клавишного действия и его запись в буфер клавиатуры, размещенный в основной памяти ПК в области адресов 0040:001E ÷ 0040:003C;
- установка необходимых битов в слове состояния клавиатуры;
- выявление особых комбинаций клавиш для прекращения выполнения программы, перезапуска компьютера и т.д.

Реализация операций обмена данными между ПК и клавиатурой может также производиться с помощью команд процессора путем разработки и выполнения специальных программ, использующих программно-доступные регистры аппаратных средств клавиатуры, а также с использованием функций прерывания BIOS INT 16h и INT 21h MS-DOS для работы с клавиатурой. Принципы управления взаимодействием ПК с клавиатурой характерны для управления и другими внешними устройствами персонального компьютера.

5.2. Видеосистема: видео- и графические адаптеры

Основные определения и понятия

Видеосистема – это ряд специальных аппаратных и программных средств, позволяющих получить на экране текстовые и графические изображения.

К аппаратным средствам относится дисплей (монитор или экран) и видеоконтроллер (*видеоадаптер*), являющийся связующим звеном

между монитором и *видеопамятью*. Дисплей строится на базе электронно-лучевой трубки (ЭЛТ), либо на основе технологии жидких кристаллов (ЖК).

Видеоадаптер – это реализованное на специальном наборе цифровых и цифроаналоговых микросхем устройство компьютера, которое осуществляет управление выводом на экран изображений, хранящихся в *видеопамяти* адаптера. Видеоадаптеры часто называют *графическими адаптерами*, так как кроме своей основной функции они выполняют операции аппаратного ускорения графических операций. Имеются также видеоадаптеры, скомбинированные со звуковыми платами, TV-тюнерами и другими компонентами мультимедиа. Фактически, современный видеоадаптер – это компьютер в компьютере.

Программные средства видеосистемы ПК включают в себя:

- процедуры базовой системы ввода-вывода BIOS и MS-DOS, к которым можно обращаться из прикладной программы с помощью прерывания INT 10h и INT 21h (они обеспечивают низший уровень управления: вывод символов и пикселей на экран, задание видеорежимов, работа с курсором и другое);
- специальные программы-драйверы для конкретных типов видеоадаптеров.

Принципы формирования изображения на экране

Изображение, которое должно быть представлено на экране монитора, хранится в видеопамяти, в которую его помещает управляющая видеоадаптером программа, называемая драйвером (рис. 5.4). Определенному адресу ячейки памяти соответствует конкретная позиция на экране монитора.

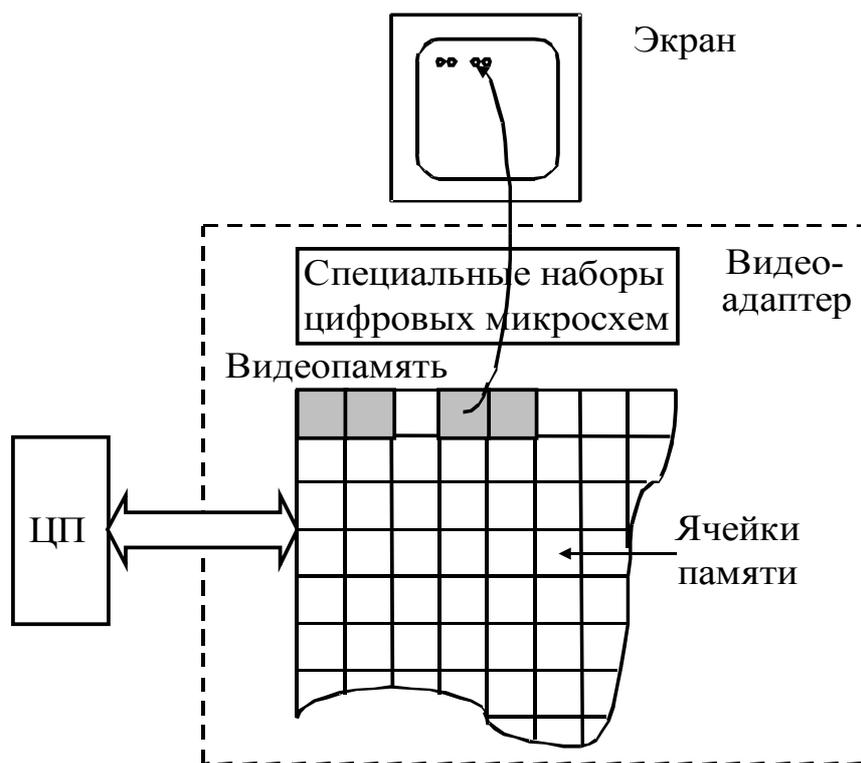


Рис. 5.4. Принципы построения изображения на экране монитора

Для получения на мониторе изображения видеоадаптер периодически считывает содержимое видеопамати и помещает его на экран. При этом поток битов из видеопамати преобразуется во времени в светящиеся точки экрана, называемые *пикселями* (или элементами изображения). Для получения цветного изображения в ЭЛТ-мониторе используются три луча, а на его экран нанесены зерна люминофора трех основных цветов: R (Red – красный), G (Green – зеленый) и B (Blue – синий).

В цветном ЖК-дисплее (Liquid Crystal Display – LCD) вместо трех зерен люминофора имеются три цветные ячейки и видеосигналы от компьютера, формируя изображения, «включают» нужные ячейки на экране.

Видеорежимы адаптеров

Существует большое число видеоадаптеров (MDA, CGA, EGA, VGA, SVGA и другие) ПК. Однако независимо от их типа имеются два принципиально разных режима работы адаптера при выводе изображения на экран: текстовый и графический.

В *текстовом режиме* изображение на экране состоит из символов расширенного набора ASCII, формируемых знакогенератором адаптера. В этом режиме символ, который выводится на экран, занимает в видеопамати два смежных байта (рис. 5.5).



Рис. 5.5. Формат символа в видеопамяти

Четыре бита IRGB, используемые для кодирования цвета символа и фона, определяют максимальное число цветов $2^4 = 16$.

В графическом режиме можно получить на экране сложное изображение, элементами которого являются пикселы (точки). В этом режиме цвет пиксела в видеопамяти можно кодировать 4, 8, 16, 24 битами. Это позволяет воспроизводить 16, 256 и более цветов.

Типы видеоадаптеров и их сопряжение с монитором

1. Адаптер MDA (монохромный дисплейный адаптер). Использовался в первом IBM PC. Адаптер MDA имеет всего один режим работы: текстовый в черно-белом изображении. Формирует 25 строк текста по 80 символов в каждой. Адаптер управляет *монохроматическим монитором прямого действия* (рис. 5.6), посылая в монитор видеосигнал VIDEO и два сигнала горизонтальной HSYNC и вертикальной VSYNC синхронизации. Все сигналы имеют TTL-уровни.

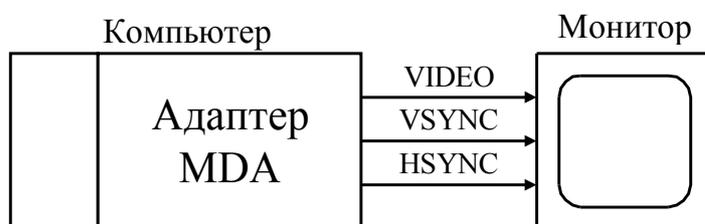


Рис. 5.6. Подключение монохроматического монитора к MDA

2. Адаптер CGA (цветной графический адаптер). Цветовая палитра ограничена 4 цветами для графики и 16 цветами для текста. К CGA может быть подключен *цветной RGB-монитор* (рис. 5.7).



Сигналы трех цветов и интенсивности I, формируемые CGA как двоичный набор IRGB, позволяют получить на экране монитора элементы изображения с $2^4 = 16$ цветами.

3. Адаптер EGA – усовершенствованный графический адаптер. Имеет 16 одновременно наблюдаемых цветов из палитры в 64 цвета, хранящихся в 64 шестибитовых регистрах палитры. К адаптеру EGA может быть подключен любой из рассмотренных ранее мониторов, но для EGA был разработан *улучшенный цветной RGB-монитор*, для которого адаптер формирует шесть цифровых сигналов цветов: Rr, Gg, Bb – по два бита на цвет (00=цвет выключен, 01=слабый цвет, 10=обычный, 11=яркий). Сигналы RrGgBb подаются в EGA из блока шестибитовых регистров палитры.

4. Адаптер VGA – видеографический адаптер. С целью повышения качества изображения VGA дополнительно содержит 256 18-разрядных регистров цветности. Эти регистры образуют так называемую таблицу цветов: когда для каждого из цветов R, G и B отводится по шесть бит, подключенных к трем цифроаналоговым преобразователям ЦАП, с которых снимаются аналоговые сигналы R, G и B. Адаптер VGA рассчитан на подключение *аналогового RGB-монитора* (см. рис. 5.7).

5. Видеоадаптер SVGA. Поддерживает все видеорежимы VGA, а также имеет режимы с более высоким разрешением (800x600, 1024x768, 1280x1024 и т.д.) и числом цветов (256, 32756, 65536 и более), обеспечиваемых введением в SVGA режимов HiColor и TrueColor.

С точки зрения структурной организации SVGA-адаптер, так же как и VGA, содержит собственно видеоконтроллер, видео-BIOS, видеопамять, блок регистров цветности, три ЦАП для формирования аналоговых сигналов цвета и блок интерфейса с системной шиной.

Однако характеристики этих устройств изменились в сторону увеличения объема видеопамати (128 Мбайт и выше), пропускной способности внешней шины, что позволило подключать SVGA-адаптер к процессору через быстродействующие шины PCI, AGP, а в настоящее время – через канал PCI Express x16. Увеличилась частота кадровой развертки до 80–100 Гц и более.

Наряду с этим, в состав SVGA-адаптер, как правило, включают высокопроизводительный графический процессор (GPU). В качестве видеопамати в современных SVGA-адаптерах применяются микросхемы GDDR 3 и GDDR 4. Это специальные виды памяти, предназначенные

для видеокарт, с теми же технологиями, что и DDR 2 и DDR 3, но отличающиеся более высокими частотами и меньшим потреблением и тепловыделением.

6. Графические адаптеры, или карты-ускорители являются дальнейшим развитием SVGA-адаптеров. Они дополнительно оснащены специальным чипом – видео-, или графическим процессором GPU, который разгружает центральный процессор ПК и параллельно с ним выполняет графические команды. В качестве примера видеопроцессора отметим чипсет NVIDIA GeForce 7800GTX, имеющий 256 Мбайт видеопамати. С использованием GPU реализуются высокопроизводительные графические адаптеры, совместимые с SVGA-стандартом и поддерживающие 3D-графику. Их характерной особенностью является высокая стоимость.

7. Встроенные графические адаптеры. При интегрировании видеоадаптера в системную плату он, как правило, использует в качестве видеопамати часть системной памяти, обычно 128 Мбайт и более. Такое решение может привести к некоторому снижению быстродействия системы из-за того, что ЦП и графический контроллер используют одну и ту же шину, которая связывает их с оперативной памятью. Однако при этом существенно снижается стоимость графического адаптера и потребляемая ПК мощность, что особенно важно для ноутбуков. Лидерами создания интегрированной в управляющий чипсет графики являются фирмы Intel, ATI и NVIDIA. В качестве примера следует отметить модель чипсета Intel 945G Express, в которую интегрирован графический контроллер IGMA 950 (Intel Graphics Media Accelerator).

Производительность интегрированной графики практически приближается к потребностям повседневной работы на ПК и большинства игровых программ. Поскольку современные управляющие чипсеты со встроенной графикой поддерживают также графический интерфейс PCI Express x16, то пользователь при необходимости может приобрести плату высокопроизводительного видеоадаптера и подключиться к нему через этот интерфейс.

Формирование сигналов цвета в адаптере SVGA

Формирование цвета символов в текстовом режиме

Для формирования цвета символа и фона в SVGA используются соответствующие видеорежимы адаптеров CGA и EGA, когда цвет задается кодом IRGB в байте атрибутов символа, хранящемся в видеопамати (см. рис. 5.5). При этом возможны следующие основные варианты фор-

мирования сигналов цвета, применяемые в различных видеоадаптерах персональных компьютеров.

1. Прямое отображение (используется в CGA). Здесь четыре бита цвета IRGB из видеопамяти непосредственно переносятся на экран монитора (рис. 5.8). Так как в видеопамяти цвет символа (и фона) кодируется четырьмя битами, на экране можно одновременно наблюдать $2^4 = 16$ цветов.

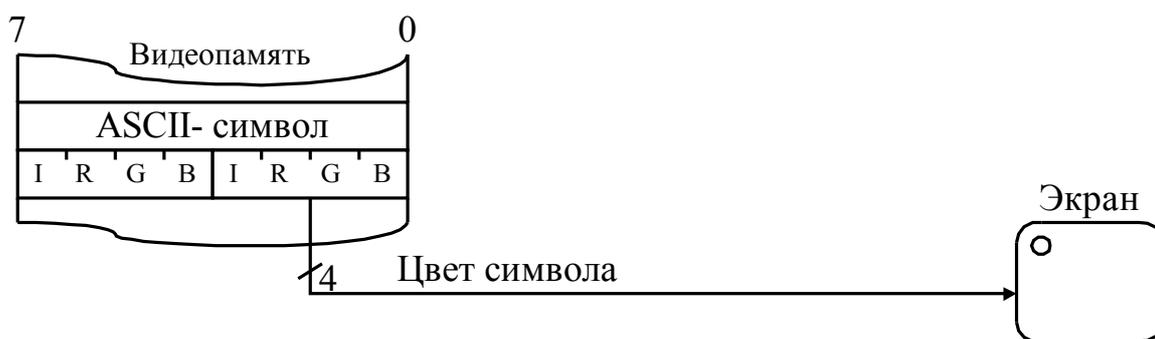


Рис. 5.8. Отображение видеопамяти CGA на экране

2. Преобразование через регистры палитры и цветности (VGA). Число цветов, хранимых в 18-битовых регистрах цветности, составляет $2^{18} = 256$ К. Однако из них одновременно на экране наблюдается 16 цветов. В адаптерах SVGA регистры цветности являются 24-рядными.

Формирование цвета в графическом режиме

К рассматриваемым режимам относятся 2-, 4-, 16-, 256-цветовые режимы, характерные для адаптеров CGA, EGA и VGA, когда код пиксела представляется в видеопамяти 1, 2, 4 и 8 битами соответственно. Восьмибитовое значение цвета пиксела, хранимое в видеобуфере, используется в VGA как адрес для выбора одного из 256 регистров цветности, минуя регистры палитры (рис. 5.9). Число цветов равно $2^8 = 256$.

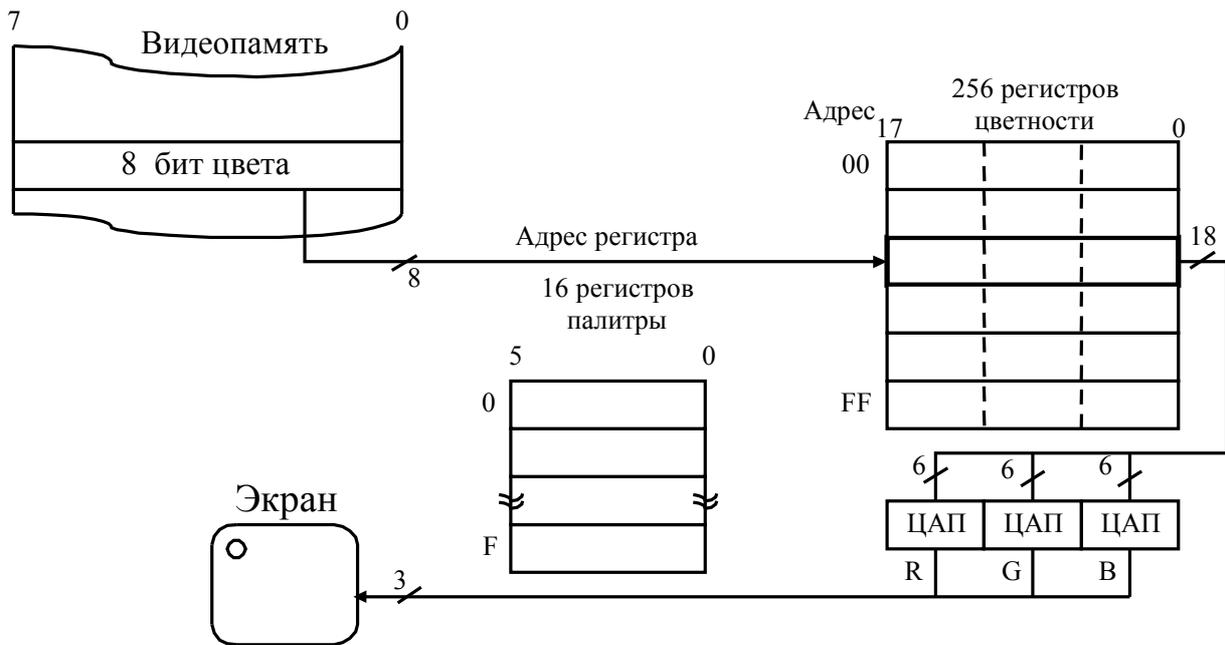


Рис. 5.9. Отображение видеопамяти при кодировании цвета 8 битами

В адаптерах SVGA появились режимы HiColor и TrueColor реального представления цвета. Они поддерживают для графики $2^{15} = 32768$, $2^{16} = 65537$ и $2^{24} = 16,7$ млн. цветов. Эти режимы используют 15, 16 и 24 бит видеопамяти на пиксел (рис. 5.10).

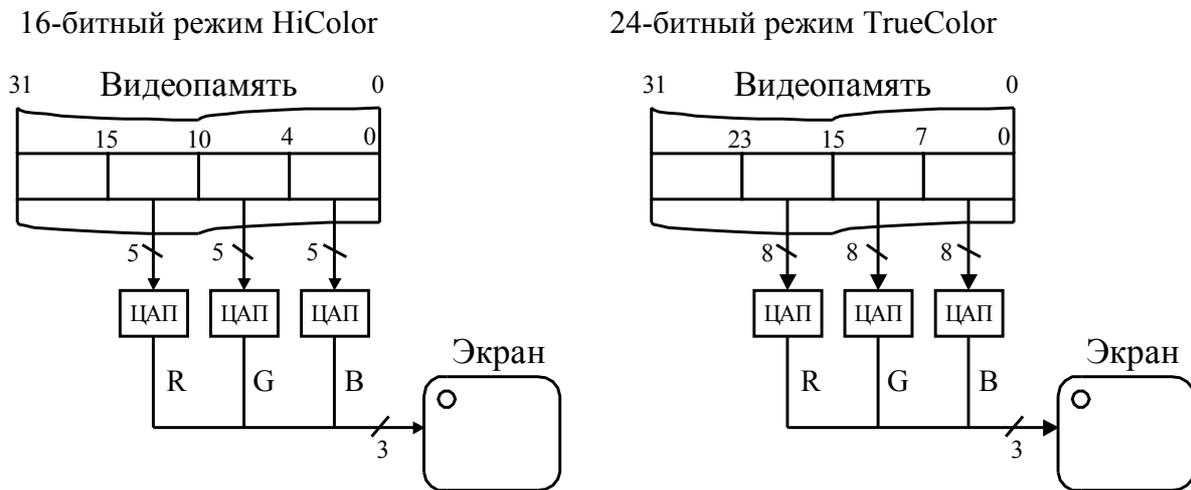


Рис. 5.10. Формирование цветов в режимах HiColor и TrueColor

Для подключения ЖК-, или LCD-монитора (как цифрового устройства) к графическому адаптеру необходим цифровой интерфейс DVI. Также допускается подключение ЖК-дисплея с использованием аналоговых RGB-сигналов через стандартный разъем D-sub, характерный для ЭЛТ-дисплеев.

В этом случае в специальном электронном блоке (конвертере) LCD-монитора необходимо аналоговую информацию о цвете снова

преобразовать в цифровую форму, необходимую для управления ячейками экрана с целью получения на нем изображения.

Выбор объема видеопамати

Чтобы определить минимальный объем V видеопамати, необходимо вначале решить, с каким разрешением $r \times s$ планируется работать и какое число цветов m должно отображаться на экране. Затем определяется число бит $n = \log_2 m$ на один пиксел (характеристику n еще называют глубиной цвета). С учетом этого объем видеопамати в байтах равен:

$$V = (r \times s) \times n / 8.$$

Например, для видеорежима SVGA с разрешением 1024×768 и числом цветов $2^{16} = 65537$ объем видеопамати равен:

$$V = ((1280 \times 1024 \times \log_2 65537) / 8) = (1024 \times 768) \times 16 / 8 = 1572864 \text{ байт} < 2 \text{ МБ.}$$

Минимальный объем памяти для данного видеорежима берется как ближайшее большее из ряда объемов видеопамати, устанавливаемых на видеоадаптере: 2, 4, 8 Мбайт и т.д.

ЖК-мониторы обеспечивают качественное изображение только, в так называемом, «родном», характерным для него разрешении (режиме) Например, для мониторов с диагональю 17 дюймов таким разрешением является режим 1280×1024 .

5.3. Мультимедиа: аудио-, видеокарты, CD- и DVD-устройства

Состав мультимедийного компьютера

Мультимедиа (ММ) – это современная компьютерная технология, позволяющая объединить в компьютере ввод, обработку и получение текста, звука, видеоизображений, графических изображения, анимаций и другого (рис. 5.12).

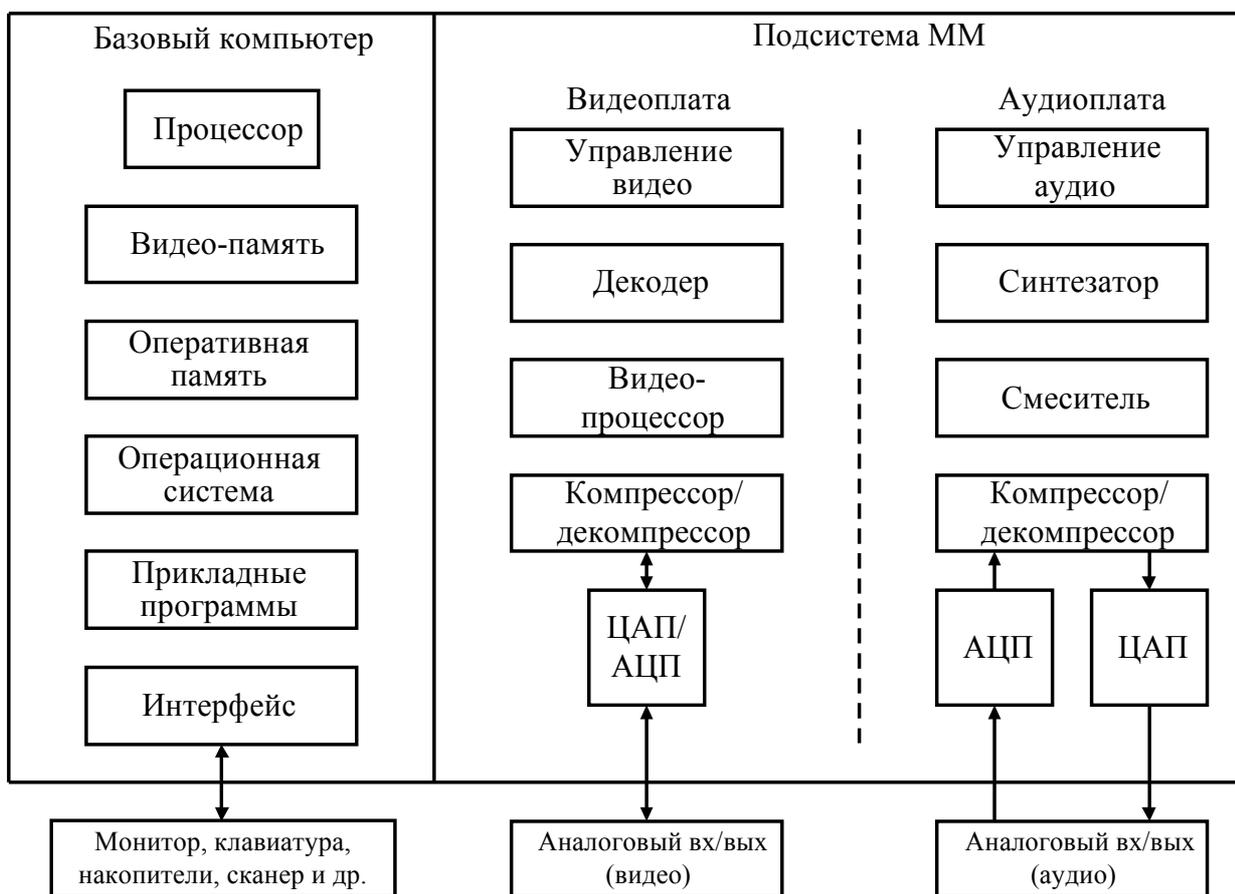


Рис. 5.12. Состав мультимедийного компьютера и его компонентов

Такая интеграция видов информации осуществляется под управлением компьютера с использованием разнообразных устройств регистрации и воспроизведения: микрофона, аудиосистемы (динамики, наушники и т.д.), проигрывателя компакт-дисков (CD-ROM, CD-DVD), смартфона, телевизора, видеомагнитофона, видео- и фотокамеры, электронных музыкальных инструментов и другого.

Для построения ММ-компьютеров наряду со стандартными средствами (монитором, клавиатурой, дисководом для жестких и гибких дисков и CD-ROM, сканерами, графопостроителями) необходимы специальные средства: аудио- и видеокарты, DVD-накопители и другие устройства (см. рис. 5.12)

Аудиоадаптеры, или звуковые карты

Аудиоадаптер, или звуковая карта (ЗК), – это специальное устройство, например в виде отдельной платы, с помощью которого можно записывать звук (речь, музыку, звуки реального мира), воспроизводить полученную запись, создавать (синтезировать) звук, не загружая при этом ЦП. В настоящее время ЗК чаще всего встраивают в состав южно-

го моста управляющего чипсета, устанавливаемого на системной плате персонального компьютера.

Принципы записи звука и представления его в виде файла

Процесс оцифровки звукового сигнала, то есть, его преобразования в цифровой вид и представления в виде специального сигнального файла, показан на рисунке 5.13.

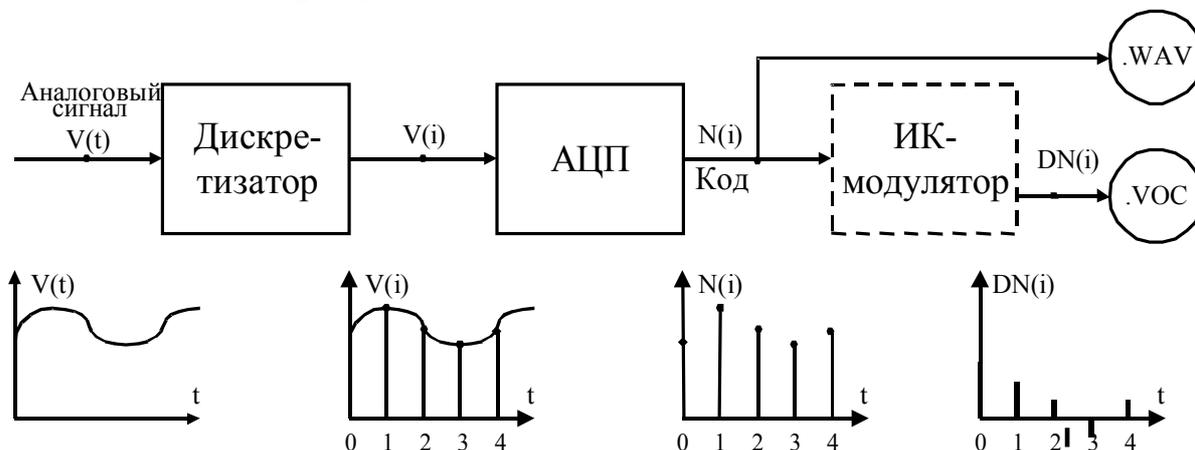


Рис. 5.13. Получение звуковых сигналов в виде файлов WAV и VOC

Сигнал с микрофона или выхода любого проигрывателя представляет собой аналоговый сигнал $V(t)$. При работе аудиадаптера в режиме записи вначале производится дискретизация сигнала $V(t)$ через такты T . Затем полученные выборки $V(i)$ преобразуются с помощью аналого-цифрового преобразователя (АЦП) в коды $N(i)$. Набор значений кодов $N(i)$ помещается на диск как сигнальный файл с расширением WAV.

В большинстве звуковых карт применяют частоты дискретизации $F_d = 1/T = 44,1$ КГц, то есть, за одну секунду формируется 44100 выборок $V(i)$ и их преобразований в коды $N(i)$. Для двухканального стерео-ЗК частота $F_d = 22,05$ КГц для каждого канала. Точность преобразования (оцифровки) звукового сигнала в код N определяется разрядностью АЦП и составляет обычно 16 бит.

Наряду с этим, для специальных применений, включая и объемное звучание, выпускаются дорогостоящие многоканальные 24-битовые (и более) аудиадаптеры с частотой дискретизации 96 и даже 192 КГц, устанавливаемые в слоты шины PCI или PCI Express. В настоящее время эти карты вытесняются более дешевыми внешними моделями аудиадаптеров, подключаемыми к компьютеру через порт USB.

Поскольку сигнальные WAV-файлы требуют много дисковой памяти для своего хранения, звуковые карты должны аппаратно сжимать данные. Их сжатие может производиться без потери или с потерей части

информации об исходном сигнале при их последующем восстановлении. В приведенной на рисунке 5.13 схеме сжатие по алгоритму ADPCM производится без потерь посредством импульсно-кодowego ИК-модулятора, формирующего коды приращений $DN(i) = N(i) - N(i-1)$. При этом формируется сжатый VOC-файл. Применение известных алгоритмов сжатия без потерь обеспечивает 20-, 50-процентное сокращение объема исходного сигнального WAV-файла.

Алгоритмы сжатия с потерями позволяют уменьшить его размер в 7–14 раз. Это достигается путем удаления из сигнала-оригинала слабослышимых деталей и обрезания частотного диапазона. Наиболее известными методами такого сжатия являются MP3, MPEG-2 AAC (Advanced Audio Coding) и MPEG-4 AAC и другие.

Воспроизведение звуковых WAV- и VOC-файлов

На рисунке 5.14 приведена схема воспроизведения звуковых WAV- и VOC-файлов.

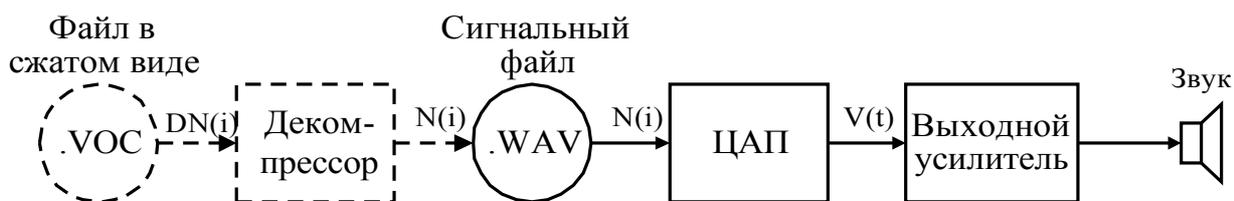


Рис. 5.14. Схема воспроизведения звуковых файлов

Полученные при записи цифровые значения звуковых сигналов хранятся в виде файлов типа WAV. Их обратное преобразование в аналоговый сигнал $V(t)$ осуществляет цифро-аналоговый преобразователь (ЦАП). С его выхода сигнал усиливается и подается на динамик для воспроизведения звука.

Для формирования звукового сигнала из исходного сжатого файла необходимо в ЗК предварительно произвести аппаратно (с привлечением цифрового сигнального процессора) или программно его декомпрессию (декодирование) в файл формата WAV и только после этого преобразовать с помощью ЦАП сигнальный файл в соответствующий ему звук.

Для современных аудиоадаптеров и цифровых плееров характерно наличие нескольких каналов формирования объемного звука на основе декодирования исходного, определенным образом сформированного звукового файла в соответствии с установленным стандартом многоканального звука. В качестве примера можно привести стандарт Dolby Digital 6.1 для декодирования шестиканального звука, в котором звук

представлен пятью каналами окружающего звука (левым, правым, центральным и двумя фронтальными) и одним низкочастотным каналом. Для данного стандарта задача компрессии (кодирования) звука в цифровую форму осуществляется в соответствии со стандартом Dolby Digital AC3, в котором коэффициент сжатия составляет 12:1.

Воспроизведение MIDI-файлов

Во многих программах звуковые эффекты воспроизводятся с помощью файлов стандарта MIDI (Musical Instrument Digital Interface). Эти файлы (с расширением MID) представляют собой набор коротких 8-разрядных команд, предписывающих синтезатору MIDI на звуковой плате воспроизводить звуки музыкальных инструментов, хранящихся в памяти платы.

Рисунок 5.15 показывает схему воспроизведение звука с помощью двух MIDI-команд, воспроизводящих звуки гитары и баса, хранящиеся в памяти карты. Для гитары воспроизводится нота до длительностью 1/4 секунды с использованием фрагмента звучания гитары, а для баса – нота ми длительностью 1/4 секунды с использованием звучания баса.



Рис. 5.15. Воспроизведение MIDI-файлов

Сообщения MIDI представляют собой короткие 8-разрядные команды, поэтому MIDI- файлы занимают намного меньше места, чем файлы WAV.

Синтез звука

1. FM-синтез. Синтез с частотной модуляцией FM (Frequency Modulation) опирается на то, что сигнал сложной формы можно сформировать на основе простых гармонических сигналов. На рисунке 5.16 приведены синусоидальные сигналы, из которых при воспроизведении сигнала с высокой частотой формируется высокий тон звука, а амплитуда сигнала определяет громкость звука.

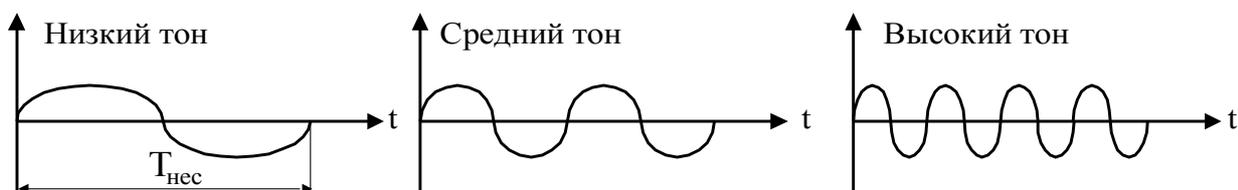


Рис. 5.16. Сигналы с различной частотой $F_{\text{нec}} = 1/T_{\text{нec}}$

Цифровой FM-синтез звука осуществляется с использованием специальных цифровых генераторов сигналов, называемых также операторами. Различают 2- и 4-операторные FM-синтезаторы.

2. WT-синтез. Синтез звука на основе таблиц волн (Wave Table), или WT-синтез, гораздо более точно передает звуки поскольку в нем используются образцы живых звуков, образующих таблицу волн. Эти образцы хранятся в памяти звуковой карты, куда они заранее загружаются.

3. MIDI-синтез. Путем создания файла, содержащего последовательность команд MIDI, можно синтезировать различные звуки и мелодии. Озвучивание MIDI-файла с диска производится с помощью MIDI-синтезатора. Под ним понимаются набор аппаратных средств звуковой карты, содержащей синтезаторы FM и WT, процессор DSP, RAM и ROM для хранения фрагментов звучания инструментов, а также программная поддержка работы этой аппаратуры.

Управляющие команды MIDI для синтеза звука могут поступать на звуковую карту не только от компьютера, но и от специальных музыкальных инструментов, например электронного клавиесина. Эти команды передаются в карту через специальный MIDI-интерфейс, представляющий собой последовательный интерфейс для соединения с компьютером музыкальных устройств или других устройств, генерирующих MIDI-команды. В свою очередь, ПК через MIDI-интерфейс управляет различными «интерактивными» инструментами.

Видеокарты для мультимедиа

Прогресс в области видео происходит значительно быстрее по сравнению с развитием аудиосредств, что связано с большим числом сфер применения видео (издательские системы, кино- и телестудии, обработка изображений и т.д.). Здесь видеосредства (видеокамеры, фотоаппараты, видеомагнитофоны, телевизионные тюнеры, телевизоры) должны сопрягаться и работать совместно с компьютером.

При этом современная видеокарта для мультимедиа является развитием типовой графической карты с интерфейсом PCI Express x16, в которой наряду с формированием 3D-графики должны аппаратно реали-

зовываться множество новых функций, к которым относится: преобразование VGA-изображения на мониторе в видеосигнал телевизионного приемника и обратное преобразование (называемое также захватом видеосигнала), компрессия (кодирование) и декомпрессия (декодирование) видеоизображений различных форматов, преобразование видеосигналов в цифровую форму и другое.

В целом набор этих функций образует, в частности, технологию AVIVO для внешних и встроенных видеоадаптеров на основе графических процессоров фирмы ATI. Далее перечисляются функциональные блоки, выполняющие основные функции видеокарт для мультимедийных компьютеров.

TV-тюнер. Преобразует телевизионный сигнал, поступающий с антенны или кабеля, в видеосигнал и аудиосигнал с выводом изображения на экран со звуковым сопровождением. Обычно в комплект с TV-тюнером входит программное обеспечение для операционной системы Windows, позволяющее переключать каналы, изменять громкость и параметры изображения.

Фрейм-граббер. Позволяет произвести оцифровку и сохранение отдельных кадров телеизображения. Кадры в начале запоминаются в собственной памяти фрейм-граббера, а затем сохраняются на диске или выводятся через видеоадаптер в окно на мониторе ПК.

Преобразователь VGA-TV. Трансформирует сигнал о цифровом образе VGA-изображения в аналоговый сигнал для вывода на бытовой телевизор. Как правило, преобразователь поддерживает телевизионный стандарт PAL и NTSC. В некоторых преобразователях допускается совмещать компьютерную графику с телевизионным изображением, например для создания титров.

Блок захвата. Обеспечивает получение видеосигнала и его первичную обработку, включающую автоматическое усиление, аналого-цифровое преобразование, гребенчатую фильтрацию и шумоподавление.

Блок кодирования (компрессии). Поддерживает либо преобразование захваченного цифрового сигнала в другой формат, либо его приведение к другому разрешению или битгрейту.

Блок декодирования (декомпрессии). Позволяет воспроизвести видеосигнал, закодированный в таких современных форматах, как MPEG-2, MPEG-4, H.264, WMV9 и других. При этом распаковку сжатых данных осуществляет специализированный процессор. Его наличие в составе видеокарты позволяет, в частности, воспроизвести на экране компьютера высококачественный полноформатный видеофильм, записанный на DVD-диск.

Блок вывода изображения поддерживает за счет наличия двух независимых симметричных конвейеров работу двух дисплеев.

Ряд современных видеокарт с интерфейсом PCI Express x16 поддерживает параллельную работу двух карт в режиме SLI, позволяющем примерно в 1,5 раза повысить производительность видеосистем для 3D-приложений.

Накопители (устройства) на компакт-дисках

Устройство и принцип работы накопителей CD-ROM

Благодаря малым размерам, большой емкости (600 Мбайт и более), надежности и долговечности компакт-дисков (CD) накопители CD-ROM широко применяются в качестве устройств внешней памяти компьютеров, тем более мультимедийных.

Цифровая информация на CD как последовательность 0 и 1 представляется чередованием не отражающихся свет впадин Pit и отражающих свет участков Land, расположенных по спиральной дорожке, начинающейся от центра диска (рис. 5.17). Диск покрыт защитной пленкой.

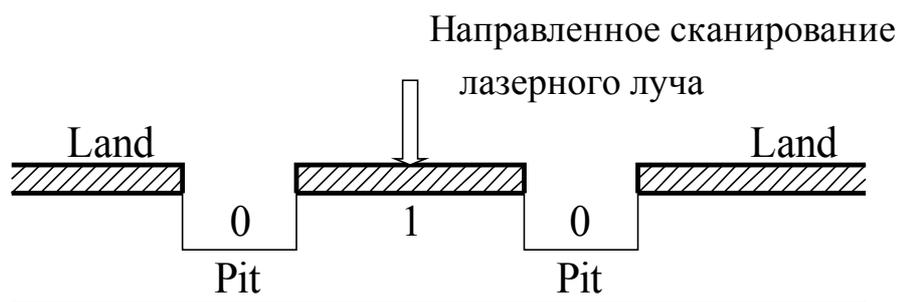


Рис. 5.17. Разрез CD

В отличие от винчестера, дорожки которого представлены концентрическими окружностями, дорожка CD имеет вид непрерывной спирали. Считывание ведется лазерным лучом, который, попадая на отражающий свет участок Land, фиксируется посредством фотодиода и интерпретируется, например, как логическая 1 при переходе от Pit к Land. Луч лазера, попадающий во впадину Pit, рассеивается, и фотодиод фиксирует 0. Сканирование диска лазером поясняется рисунком 5.18, на котором показан состав сканирующего устройства. Падающий и отраженный световые лучи разделяются при помощи полупрозрачного стекла. Настройка на дорожку (юстировка) выполняется с помощью двух вспомогательных лучей, которые отходят от главного луча лазера.

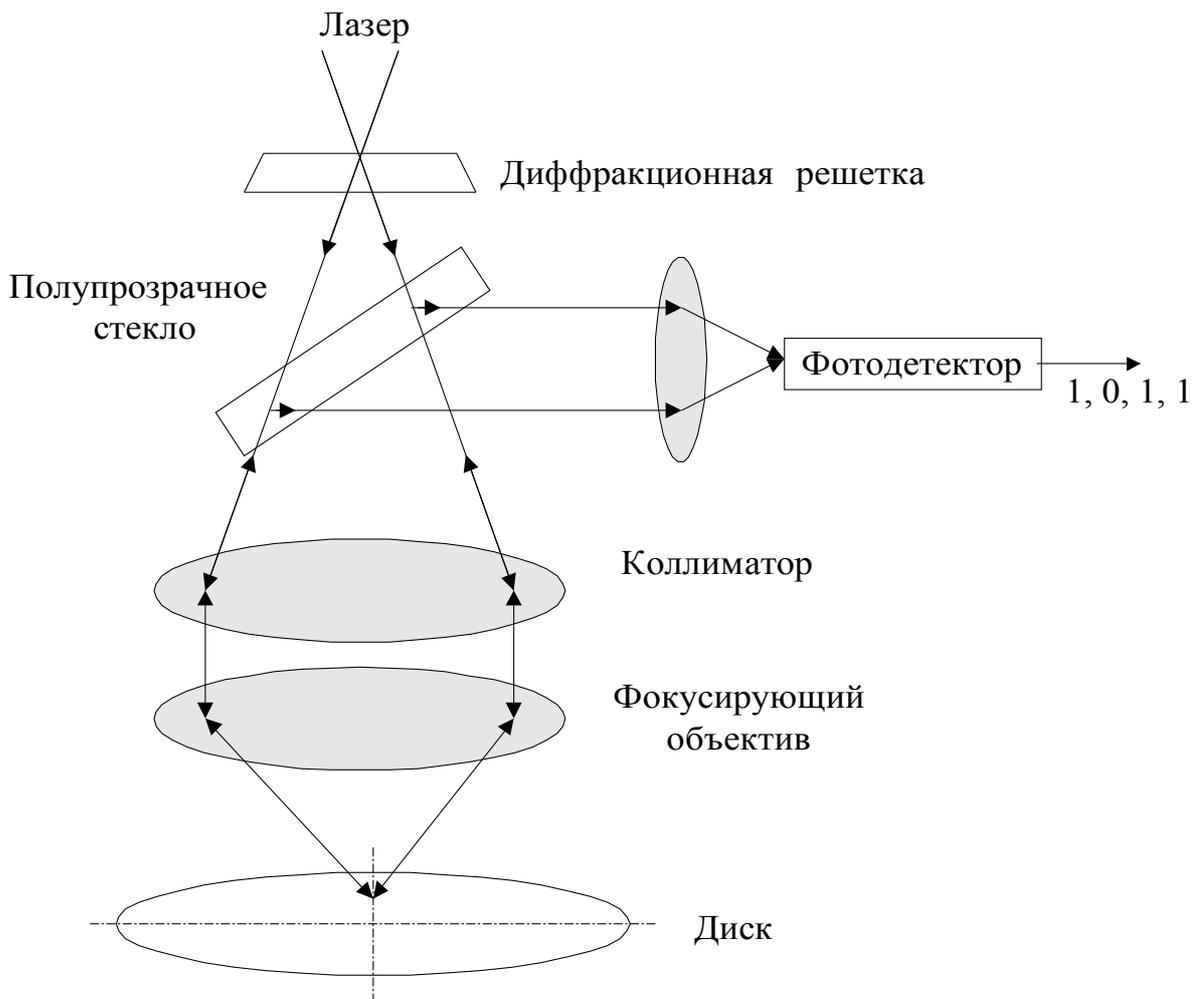


Рис. 5.18. Сканирующее устройство CD-ROM

Кодирование данных CD-ROM на физическом уровне

Важнейшей характеристикой накопителя CD-ROM является *скорость передачи данных*, которая выражается как Nx , где N – число, показывающее, во сколько раз скорость передачи данных в накопителе больше первоначальной скорости, составлявшей 150 Кбайт/с. У современных накопителей значение N составляет 50 и больше, при этом скорость передачи данных – 7,5 Мбайт/с и выше.

Чередование участков Pit и Land на спирали диска как последовательность бит 0 и 1 называют *канальными битами*. Однако эти участки не представляет собой двоичных 1 и 0, формирующих цифровую информацию, считываемую с диска в последовательном формате. На практике применяется специальный метод кодирования информации на компакт-дисках, при котором 0 может быть представлен как в виде Pit, так и в виде Land, а 1 представляется любым переходом между ними (от Pit к Land или от Land к Pit). Этот метод называется *фазовым переходом*. В нем предъявляются жесткие требования к размещению участков

Pit и Land относительно друг друга. Pit (или Land) должны находиться обязательно на расстоянии от двух до одиннадцати канальных бит.

Исходя из этих требований, для представления собственно байта данных информации требуется больше восьми канальных бит. Поэтому на CD для кодирования каждого байта данных информации используется 14 канальных бит плюс три бита слияния. На рисунке 5.19 приведено двоичное кодирование нескольких десятичных цифр на базе канальных бит, размещенных на поверхности спирали CD.

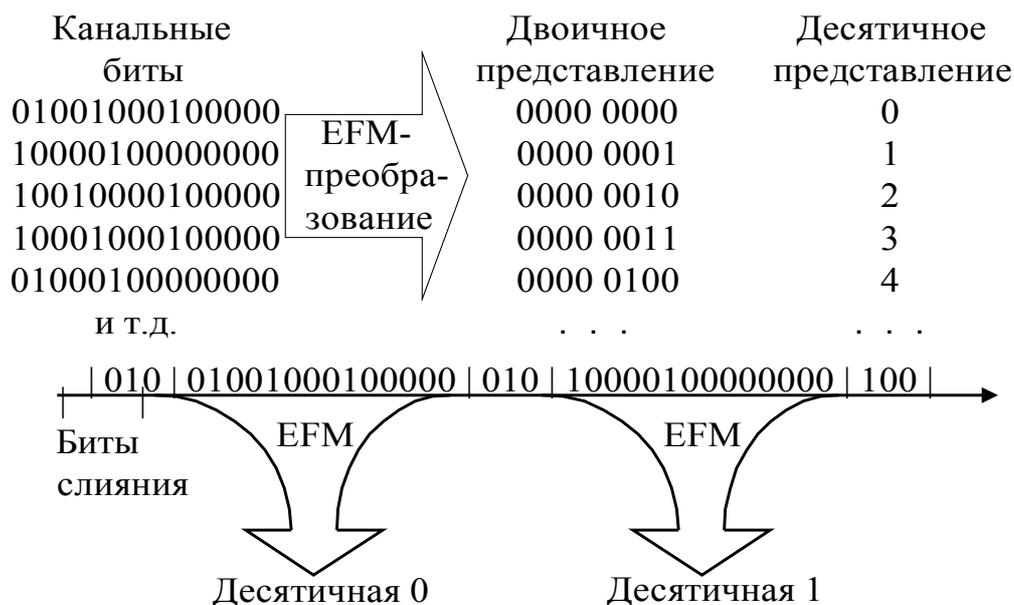


Рис. 5.19. Преобразование канальных бит в 8-битовый код

Преобразование 14-битового канального кода в 8-битовый и обратно осуществляется на основе таблицы преобразования EFM (модуляция восемь на четырнадцать). Реализация этой модуляции в контроллере накопителя CD-ROM позволяет также осуществлять коррекцию ошибок считывания с диска с применением корректирующего (перекрестного) кода Рида-Соломона.

Основные физические единицы информации на CD

Ранее показано, что 8 бит данных представляются 14-канальными битами. Базовая информационная единица CD, включающая в себя 36 байтов, называется фреймом (frame).

На основе базовой единицы (фрейма) на компакт-диске для хранения цифровых данных создаются секторы, каждый из которых содержит 3234 байта, кодированных по EFM. Из них только 2352 байта отводятся

под основную информационную часть, а остальные байты – на распознавание ошибок и их коррекции.

Всего дорожка CD содержит 300000 секторов. Каждый сектор (его информационная часть) размером 3252 байта подразделяется на следующие области, в порядке их расположения по дорожке:

Синхронизация 12 байт	Заголовок 4 байта	Подзаголовок 8 байт	Данные 2048 байт	882 байта для коррекции
--------------------------	----------------------	------------------------	---------------------	----------------------------

Накопители CD-ROM подключаются через IDE- или SATA-интерфейс. Доступ к информации на CD-ROM определен стандартом ISO-9660. В соответствии с ним логическая организация CD схожа с организацией флоппи-диска и винчестера, т.е. системная область CD-ROM хранит информацию о том, как он организован по каталогам, файлам и подкаталогам.

Структурная схема CD-накопителя (рис. 5.20)

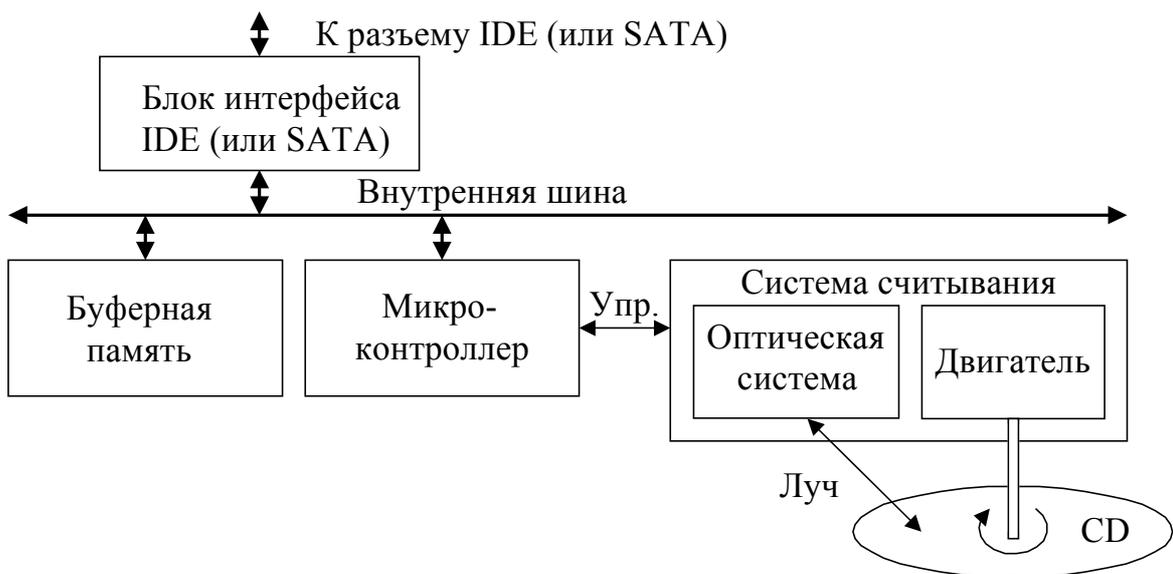


Рис. 5.20. Структурная схема CD-накопителя

Система считывания CD-накопителя предназначена для считывания информации с компакт-диска. Микроконтроллер (МК) осуществляет общее управление в соответствии с логическими командами, поступающими в накопитель через блок интерфейса. МК также осуществляет EFM-преобразование и коррекцию ошибок считывания. Буфер памяти сохраняет считанные с диска данные, выступая посредником между ОП и накопителем, что повышает скорость передачи данных, особенно с увеличением емкости буферной памяти.

Основные разновидности компакт-дисков

В настоящее время для хранения программ широко распространены *записываемые компакт-диски* (CD-Recordable – **CD-R**), допускающие однократную запись, и *перезаписываемые компакт-диски* (CD-ReWritable – **CD-RW**), обеспечивающие многократную запись данных. Скорость записи данных для CD-RW максимум 32х. Допустимая скорость записи указывается на чехле компакт-диска.

Радикальное повышение емкости CD достигается в *цифровых видеодисках* (Digital Video Disc – DVD). Впоследствии их стали называть *цифровыми универсальными дисками* (Digital Versatile Disc – **DVD**). Значительное повышение емкости диска DVD по сравнению с CD, в основном, достигнуто за счет технологических усовершенствований, связанных с уменьшением расстояния между дорожками, длины пита, возможности считывания с двух слоев, производства двухсторонних дисков и другого.

Кроме того, в DVD реализована более эффективная структура данных, позволяющая за счет применения новых методов обнаружения и коррекции ошибок освободить на диске больше места для хранения настоящих данных. В итоге диски DVD предоставляют емкость до 17 Гбайт.

Для считывания дисков DVD требуется специальный накопитель, который может считывать и обычные компакт-диски: **CD-R** и **CD-RW**. Все пишущие DVD-приводы одновременно являются и CD-RW приводами. Они поддерживают различные форматы записи: **DVD-R/RW**, **DVD+R/RW** и другие. Поэтому в современных компьютерах, и тем более в мультимедийных, чаще всего применяются именно пишущие **DVD**-приводы.

Для записи фильмов применяются диски **DVD-Video**. Хорошее изображение достигается при записи видео в формате MPEG-2 с битрейтом (bit rate) от 3 до 9 Мбит/с.

В настоящее время на основе дублирующих друг друга стандартов **Blu-Ray** и **HD-DVD** (High Density-DVD) начинается внедрение оптических дисков нового поколения, способных вмещать десятки гигабайтов.

В перспективе наряду с этими стандартами будут применяться *оптические диски HVD* (Holographic Versatile Disk – голографический универсальный диск) емкостью 300 Гбайт и более.

5.4. Телекоммуникация: сетевые адаптеры и модемы

Состав сетевого интерфейса компьютера

Сетевой коммуникационный интерфейс, или *интерфейс связи*, компьютеров – это набор аппаратных и программных (протоколов и коммуникационных программ) *средств телекоммуникации*, позволяющих осуществить сопряжение компьютера с каналом связи, через который производится его взаимодействие с другими компьютерами сети – *локальной*, размещенной в пределах некоторой ограниченной территории, или *глобальной* – на больших территориях.

Аппаратные средства сетевого интерфейса ПК содержат:

- *сетевой адаптер*, подключаемый к ПК через шину PCI и обеспечивающий коммутацию компьютеров локальной вычислительной сети (ЛВС) через проводную или волоконно-оптическую связь, а также с помощью беспроводной связи;

- *модем*, выполненный в виде адаптера или отдельного устройства, подключаемого к ПК через порт RS-232C или USB; модем служит для коммуникации компьютеров через телефонные или другие виды дальней связи.

При взаимодействии с каналом связи сетевые адаптеры и модемы используют методы последовательной передачи (связи), характеризующиеся тем, что данные передаются в канал или принимаются адаптером последовательно бит за битом, например через два провода, изображаемые на логическом уровне одной линией, по которой передают нули и единицы.

Существует два режима последовательной передачи данных: *асинхронный* и *синхронный*. При *асинхронном режиме* каждый передаваемый байт данных D0–D7 предваряется стартовым битом и заканчивается одним или двумя стоповыми битами. При *синхронном режиме* данные передаются одним потоком: байт за байтом, бит за битом. Передача производится непрерывно, пока не будет передан кадр. Стартовые и стоповые биты отсутствуют, поэтому данный режим передачи является более производительным.

Дуплексный режим позволяет по одному и тому же каналу связи одновременно передавать информацию в обоих направлениях, например, по двум парам проводников. *Полудуплексный режим*, как и дуплексный, позволяет передавать данные в обоих направлениях.

Сетевые адаптеры

Стандарты локальных сетей с архитектурой моноканал и кольцо

Функционирование адаптеров локальных сетей с селекцией информации, включающей два вида структур: моноканал и кольцо, опирается на базовые стандарты. Так, стандарт 8802/3, известный как Ethernet, определяет моноканал со случайным методом доступа с проверкой несущей и обнаружением коллизий (столкновений). Идея метода состоит в том, что адаптер прослушивает моноканал и передает свою информацию только после завершения передачи по моноканалу. При этом возможны столкновения кадров при одновременном начале передачи двумя компьютерами. Способ разрешения этой тупиковой ситуации – прекращение передачи и повторение попытки через очень короткий случайный интервал времени.

В настоящее время большое распространение нашли локальные сети стандарта Ethernet с его скоростной модификацией Fast Ethernet и Gigabit Ethernet, так как они при низкой стоимости сетевых карт (адаптеров) обеспечивают высокие скорости передачи 100 и 1000 Мбит/с.

Организация сетевых адаптеров

С точки зрения информационного обмена, компьютеры в сети обмениваются пакетами сообщений, которые являются основной структурной единицей информации в сети. Исходный пакет имеет формат многобайтного слова, который наряду с содержательной информацией (сообщением) содержит также заголовок пакета.

Перед передачей через канал связи эти пакеты на канальном уровне с помощью аппаратно-программных средств сетевого адаптера упаковываются в кадры, которые имеют стандартный формат, определяемый типом применяемого адаптера. На рисунке 5.21 приведен формат кадра пакета стандарта ISO 8802/3 для архитектуры сети Ethernet.

Ч и с л о б а й т					
8	6	6	2	46 – 1500	4
Преамбула	Назначение, адрес получателя	Адрес отправителя	Тип	Данные (сообщение)	CRC-сумма

Рис. 5.21. Формат кадра стандарта ISO 8802/3 (Ethernet)

Перед передачей данных в канал предварительно их, в виде пакета, из оперативной памяти компьютера передают в буфер адаптера, а затем формируют кадр пакета. Сформированный стандартный кадр, как

последовательность байт (рис. 5.22а) начиная с преамбулы, преобразуются из параллельного формата в последовательный (рис. 5.22б), то есть в последовательность бит, которая выдается в физический канал.

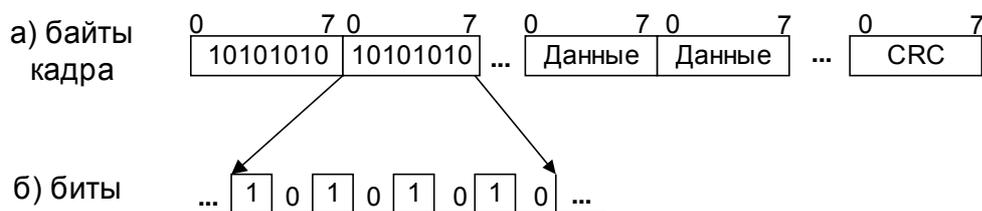


Рис. 5.22. Форматы представления кадра на физическом уровне

Разновидности локальных сетей Ethernet, во многом, определяются максимальной скоростью передачи данных: *Ethernet* обеспечивает скорость 10 Мбит/с, *Fast Ethernet* – 100 Мбит/с, *Gigabit Ethernet* – 1 Гбит/с

Модемы

Модемом называют устройство, которое преобразует цифровые данные, вырабатываемые компьютером, в аналоговые, которые передаются по телефонной сети. Модем приемника осуществляет обратную операцию. Преобразование сигналов модемами и их передача через телефонный канал связи иллюстрируются на рисунке 5.23.

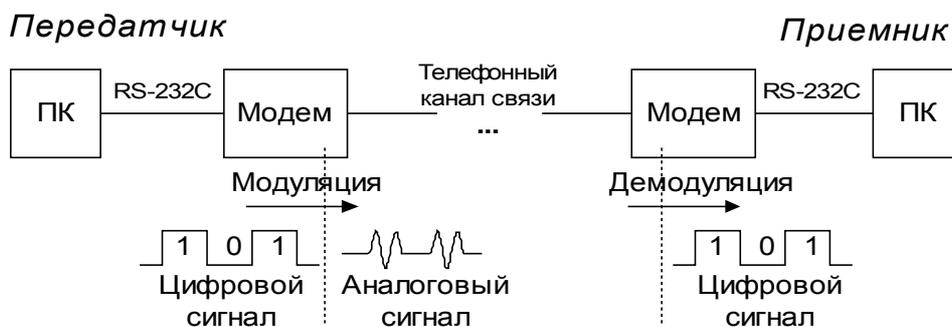


Рис. 5.23. Преобразование сигналов, выполняемое модемами

Конструктивно различают модемы: *внутренние*, например, в виде платы адаптера или схемы, встроенной в южный мост управляющего чипсета, *внешние* – в виде автономного модуля.

ПРИЛОЖЕНИЯ

Приложение 1

Темы практических занятий и лабораторных работ

1. Изучение конструкции компьютеров IBM PC различных типов. Знакомство с составом, назначением и конструкций блоков. Сборка компьютера (ЛР).

2. Изучение интерфейса ПК, подключение накопителей к шине IDE или SATA, а также стандартных внешних устройств к персональному компьютеру (ЛР).

3. Изучение типов адаптеров, устанавливаемых в разъемы ISA, PCI, AGP и другие, а также видов физической реализации модулей оперативной памяти: SIPP, SIMM, DIMM; их установка в ПК (ЛР).

4. Изучение устройства системной платы компьютера на базе процессоров Pentium на основе комплекта документации (ЛР).

5. Формирование заданного варианта конфигурации ПК (офисного, домашнего, сетевого, мультимедиа, для игр и других) на основе прайс-листов (ДИ).

6. Разработка тестовых заданий по изучаемым разделам книги, их апробация (ДИ).

Принятые сокращения форм занятий: ЛР – лабораторная работа, ПЗ – практические занятия, ДИ – деловая игра, Т – тестирование, С – семинар.

**Тематика рефератов и презентаций по теме
«История развития компьютерной техники,
поколения ЭВМ, их классификация
и тенденции развития архитектуры» (С)**

1. История появления и основы построения первых вычислительных машин: механических, электромеханических, электронных (аналоговых, цифровых и других) за рубежом и в нашей стране.
2. Архитектурные особенности зарубежных и отечественных ЭВМ первого и второго поколений.
3. Основы архитектуры ЭВМ третьего поколения.
4. Основы архитектуры ЭВМ четвертого поколения.
5. Архитектура первых мини- и микроЭВМ, области их применения.
6. Классификация ЭВМ по ее различным признакам.
7. Типы современных компьютеров, специфика их применения в образовании и других областях.
8. Современные тенденции развития архитектуры ЭВМ.

Примечание. Возможны рефераты по другим темам дисциплины.

СПИСОК РЕКОМЕНДУЕМОЙ ЛИТЕРАТУРЫ

1. Абдулгалимов, Г.Л. Актуальные проблемы системы профессиональной подготовки будущих учителей информатики // Высшее образование сегодня. – 2008. – № 3. – С. 81–83.
2. Голубинцев, В.О. Эволюция универсальных ЦВМ // В.О. Голубинцев, В.М. Купаев, Е.М. Синельников. – М. : Советское радио, 1980. – 248 с.
3. Григорьев, В.Л. Микропроцессор i486. Архитектура и программирование : в 4 кн. – М. : БИНОМ, 1993.
4. Григорьев, В.Л. Компьютер для всех / В.Л. Григорьев, В.Н. Локтюхин. – М. : Горячая линия–Телеком, 2008.
5. Гук, М. Аппаратные средства IBM PC : энциклопедия. – СПб. : Питер, 2004.
6. Каган, Б.М. Электронные вычислительные машины и системы : учебное пособие для вузов. – М. : Энергоатомиздат, 1991. – 592 с.
7. Корячко, В.П. Микропроцессоры и микроЭВМ в радиоэлектронных средствах : учебник для вузов. – М. : Высшая школа, 1990. – 407 с.
8. Локтюхин, В.Н. Микропроцессоры и ЭВМ : учебное пособие для вузов : в 4 кн. – Кн. 1 : Микропроцессорные системы. Проектирование аппаратных и программных средств. – М. : Энергоатомиздат, 2000. – 100 с.
9. Локтюхин, В.Н. Микропроцессоры и ЭВМ : учебное пособие для вузов : в 4 кн. – Кн. 2 : Структура персональных компьютеров. – М. : Энергоатомиздат, 2000. – 140 с.
10. Локтюхин, В.Н. Микропроцессоры и ЭВМ : учебное пособие для вузов : в 4 кн. – Кн. 3 : Микропроцессорные системы. Организация и проектирование интерфейса ввода-вывода. – М. : Энергоатомиздат, 2000. – 72 с.
11. Локтюхин, В. Н. Микропроцессоры и ЭВМ : учебное пособие для вузов : в 4 кн. – Кн. 4 : Микропроцессорные системы сбора и первичной обработки импульсно-аналоговой информации. – М. : Энергоатомиздат, 2000. – 156 с.
12. Локтюхин, В.Н. Основы архитектуры персонального компьютера. – М. : Горячая линия–Телеком, 2007. – 92 с.
13. Локтюхин, В.Н. Нейросетевые преобразователи импульсно-аналоговой информации: организация, синтез, реализация / В.Н. Локтюхин, С.В. Челебаев. – М. : Горячая линия–Телеком, 2008. – 144 с.

14. Локтюхин, В.Н. Принципы построения нейросетевых преобразователей биоэлектрических сигналов в цифровую форму / В.Н. Локтюхин, С.В. Челебаев // Медицинская техника. – 2007. – № 6. – С. 15–19.
15. Майоров, С.А. Структура электронных вычислительных машин / С.А. Майоров, Г.И. Новиков. – Л. : Машиностроение : Ленинградское отделение, 1979. – 384 с.
16. Микропроцессорные системы и микроЭВМ в измерительной технике : учебное пособие для вузов / А.Г. Филиппов [и др.]. – М. : Энергоатомиздат, 1995. – 368 с.
17. Нортон, П. Персональный компьютер изнутри / П. Нортон, К. Сандлер, Т. Баджемет. – М. : БИНОМ, 1995.
18. Пахомов, С. Эра многоядерных энергоэффективных процессоров // Компьютер-Пресс. – 2006. – № 12. – С. 32–40.
19. Пахомов, С. Хорошему процессору – хорошую память // Компьютер-Пресс. – 2003. – № 4. – С. 41–44.
20. Тихонов, В.А. Организация ЭВМ и систем : учебник / В.А. Тихонов, А.В. Баранов ; под ред. В.К. Левина. – М. : Гелиос АРВ, 2008. – 400 с.
21. Шагурин, И.И. Особенности архитектуры процессоров Pentium 4 // Chip News.– 2000. – № 10. – С. 2–6.
22. Уоссерман, Ф. Нейропроцессорная техника : теория и практика / пер. с англ. – М. : Мир, 1992. – 240 с.
23. Фигурнов В.Э. IBM PC для пользователя. – 7 изд. – М. : Инфра-М, 2006. – 640 с.
24. Экслер, А. Компьютер – это просто. – М. : ДМК Пресс, 2004. – 432 с.
25. [Электронный ресурс]. – Режим доступа : www.ixbt.com.
26. [Электронный ресурс]. – Режим доступа : www.thg.ru.
27. [Электронный ресурс]. – Режим доступа : hardwareportal.ru.
28. [Электронный ресурс]. – Режим доступа : terralab.ru.
29. [Электронный ресурс]. – Режим доступа : 3dnews.ru.
30. [Электронный ресурс]. – Режим доступа : notebooks.ru.
31. [Электронный ресурс]. – Режим доступа : pdanews.ru.
32. [Электронный ресурс]. – Режим доступа : www.computery.ru.

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ	3
1. БАЗОВЫЕ ПОНЯТИЯ АРХИТЕКТУРЫ, КЛАССИФИКАЦИЯ И ПОКОЛЕНИЯ КОМПЬЮТЕ- РОВ	
1.1. Принцип программного управления, основные понятия архитектуры компьютера.....	
1.2. Состав и структура компьютера.....	7
1.3. Базовая структура и функционирование процессора.....	9
1.4. Основные структурные единицы (машинные элементы) данных в ЭВМ.....	
1.5. Типы внешних устройств компьютера.....	12
1.6. Понятие интерфейса ввода-вывода в ЭВМ, основы канальной и шинной системотехники	
1.7. Базовая система ввода-вывода как основа управления обмена данными с внешними устройствами.....	
1.8. Система и виды прерываний в ЭВМ.....	16
1.9. Классификация ЭВМ.....	18
1.10. Поколения, история и тенденции развития ЭВМ.....	23
1.11. Архитектурные особенности и характеристики персонального компьютера.....	
2. СТРУКТУРА ПЕРСОНАЛЬНОГО КОМПЬЮТЕРА, СОСТАВ И ВЗАИМОДЕЙСТВИЕ ЕГО УСТРОЙСТВ	
.....	
2.1. Структура компьютеров с единой системной шиной.....	32
2.1.1. Структурная схема 16-разрядного компьютера PC XT	32
2.1.2. Структурная схема операционного блока IBM PC AT286.....	
2.2. Эволюция структуры 32-битовых компьютеров.....	38
2.3. Типовая многшинная структура современных компьютеров на основе стандартных чипсетов.....	
2.4. Системный интерфейс компьютера.....	49
2.4.1. Основные типы шин, их эволюция.....	49
2.4.2. Порты и интерфейсы для сопряжения компьютера со стандартными периферийными устройствами.....	50
2.5. Базовая структура компьютеров на основе RISC-процессоров PowerPC.....	54
3. МИКРОАРХИТЕКТУРА ПРОЦЕССОРОВ	58

3.1. Операционные и эксплуатационные ресурсы процессоров семейства IA-32 (80x86).....	58
3.2. Производительность процессора, ее связь с энергоэффективностью.....	60
3.3. Структурная организация МП i386 и i486	65
3.4. Микропроцессор Pentium (P5).....	67
3.5. Микропроцессор Pentium Pro (P6).....	73
3.6. Суперскалярные процессоры 6-го поколения с технологией MMX.....	
3.7. Процессоры семейства Intel Pentium 4.....	77
3.8. Основы микроархитектуры двухъядерных процессоров Intel Core 2 Duo, их развитие.....	83
4. ОСНОВНАЯ ПАМЯТЬ КОМПЬЮТЕРА.....	86
4.1. Многоуровневая организация оперативной памяти.....	86
4.2. Виды физической памяти, входящей в состав операционного блока и адаптеров компьютера.....	
4.3. Структурная организация оперативной памяти.....	89
4.4. Варианты представления данных в ОП-32.....	90
4.5. Построение оперативной памяти с наращиваемой емкостью...	91
4.6. Типичная структура оперативной памяти динамического типа	92
4.7. Методы повышения быстродействия динамической памяти.....	94
4.8. Синхронная память SDRAM, методы повышения пропускной способности в DDR, DDR2, DDR3 и Rambus.....	
4.9. Конструкция модулей памяти.....	102
5. СРЕДСТВА УПРАВЛЕНИЯ ВЗАИМОДЕЙСТВИЕМ КОМПЬЮТЕРА С ВНЕШНИМИ УСТРОЙСТВАМИ.....	
5.1. Клавиатура, ее контроллер и адаптер.....	103
5.2. Видеосистема: видео- и графические адаптеры.....	106
5.3. Мультимедиа: аудио-, видеокарты, CD- и DVD-устройства.....	113
5.4. Телекоммуникация: сетевые адаптеры и модемы.....	125
ПРИЛОЖЕНИЯ.....	128
Приложение 1. Темы практических занятий и лабораторных работ.	128
Приложение 2. Тематика рефератов и презентаций.....	129
СПИСОК РЕКОМЕНДУЕМОЙ ЛИТЕРАТУРЫ.....	130

Для заметок

Для заметок

Учебное издание

Локтюхин Виктор Николаевич

**АРХИТЕКТУРА
КОМПЬЮТЕРА**

в 2 книгах

**СТРУКТУРА
ПЕРСОНАЛЬНОГО
КОМПЬЮТЕРА**

Книга 1

Учебное пособие

Редактор *О.С. Верецагина*
Технический редактор *В.Н. Локтюхин*

Подписано в печать 28.07.08. Поз. № 73. Бумага офсетная. Формат 60x84 1/16.
Гарнитура Times New Roman. Печать трафаретная.
Усл. печ. л. 7,9. Уч.-изд. л. 9,4. Тираж 500 экз. Заказ №

Государственное образовательное учреждение высшего профессионального образования

«Рязанский государственный университет имени С.А. Есенина»,
390000, г. Рязань, ул. Свободы, 46

Редакционно-издательский центр РГУ имени С.А. Есенина
390023, г. Рязань, ул. Урицкого, 22