



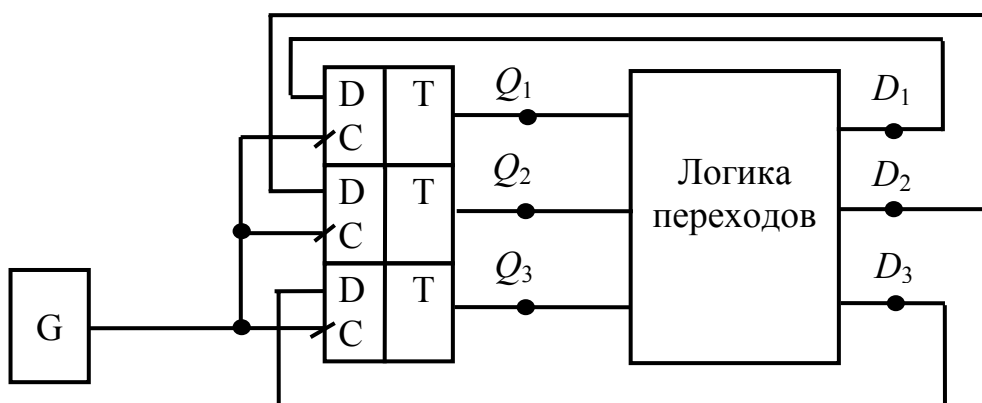
Томский межвузовский центр
дистанционного образования

А.В. Шарапов

МИКРОЭЛЕКТРОНИКА

ЦИФРОВАЯ СХЕМОТЕХНИКА

Учебное пособие



ТОМСК – 2007

Рецензент: зав. кафедрой промышленной и медицинской электроники Томского политехнического университета,
д-р техн. наук, проф. Г.С. Евтушенко;
начальник отдела ФГУП «НПЦ «Полюс»,
д-р техн. наук Ю.М. Казанцев

Корректор: Тарасова Л.К.

Шарапов А.В.

Микроэлектроника: Учебное пособие. — Томск: Томский межвузовский центр дистанционного образования, 2007. — 158 с.

Излагаются принципы построения и функционирования логических элементов, дешифраторов, мультиплексоров, сумматоров, цифровых компараторов, триггеров, счетчиков, регистров, микросхем памяти. Рассмотрены примеры синтеза цифровых устройств комбинационного типа и цифровых автоматов.

Пособие предназначено для студентов вузов радиоэлектронного профиля и содержит краткий конспект лекций, примеры решения задач и компьютерный лабораторный практикум по цифровой схемотехнике. Студенты дистанционной формы обучения выполняют две лабораторные работы, одну компьютерную контрольную работу и сдают компьютерный экзамен.

© Шарапов А.В., 2007

© Томский межвузовский центр
дистанционного образования, 2007

ОГЛАВЛЕНИЕ

1 Введение	6
2 Основные понятия микроэлектроники	11
2.1 Виды сигналов.....	11
2.2 Классификация микросхем и их условные обозначения	13
3 Математические основы цифровой электроники.....	23
3.1 Позиционные системы счисления	23
3.2 Таблица истинности.....	27
3.3 Совершенная дизъюнктивная нормальная форма	29
3.4 Основные законы булевой алгебры.....	30
3.5 Диаграммы Венна	34
3.6 Карты Карно	35
3.7 Этапы синтеза цифрового устройства.....	38
3.8 Примеры синтеза цифровых устройств	38
3.9 Мажоритарный логический элемент.....	41
4 Базовые логические элементы.....	43
4.1 Классификация логических элементов	43
4.2 Базовый элемент ТТЛ.....	43
4.3 Логический расширитель	45
4.4 Элемент с открытым коллектором	45
4.5 Элемент с Z-состоянием на выходе.....	46
4.6 Рекомендации по применению элементов ТТЛ	47
4.7 Базовый элемент ТТЛШ	48
4.8 Базовая схема ЭСЛ.....	49
4.9 Базовые элементы КМОП	50
4.10 Основные характеристики логических элементов.....	51
4.11 Примеры микросхем логических элементов	54
4.12 Микросхемы на основе арсенида галлия	56
5 Цифровые устройства комбинационного типа	59
5.1 Шифратор	59
5.2 Дешифратор.....	61
5.3 Преобразователи двоичного кода в двоично-десятичный, и наоборот.....	63
5.4 Дешифратор для управления семисегментным индикатором	65

5.5 Преобразователи кода Грея.....	66
5.6 Мультиплексор.....	67
5.7 Реализация функций с помощью мультиплексора	69
5.8 Двоичный сумматор	70
5.9 Двоично-десятичный сумматор.....	73
5.10 Схемы вычитания.....	74
5.11 Преобразователь прямого кода в дополнительный	76
5.12 Цифровой компаратор.....	77
5.13 Контроль четности.....	78
5.14 Примеры построения комбинационных цифровых устройств	80
6 Цифровые устройства последовательностного типа.....	84
6.1 Классификация триггеров	84
6.2 Асинхронный RS-триггер	85
6.3 Тактируемый RS-триггер	85
6.4 D-триггеры.....	86
6.5 T-триггер.....	87
6.6 JK-триггер.....	88
6.7 Классификация счетчиков.....	90
6.8 Асинхронный двоичный счетчик	90
6.9 Асинхронный двоично-десятичный счетчик.....	91
6.10 Синхронный двоичный счетчик	92
6.11 Реверсивные счетчики	92
6.12 Счетчики с произвольным модулем счета.....	93
6.13 Регистры сдвига	96
6.14 Регистры памяти	97
6.15 Универсальные регистры	97
6.16 Кольцевой регистр	98
6.17 Кольцевой счетчик.....	99
6.18 Счетчики на регистрах сдвига	99
6.19 Примеры построения цифровых устройств последовательностного типа.....	101
7 Полупроводниковые запоминающие устройства	107
7.1 Классификация запоминающих устройств.....	107
7.2 ПЗУ масочного типа	108
7.3 Однократно программируемые ПЗУ	109
7.4 Перепрограммируемые ПЗУ	110

7.5 ОЗУ статического типа.....	111
7.6 ОЗУ динамического типа	113
7.7 Примеры микросхем памяти.....	114
7.8 Организация блока памяти.....	115
8 Примеры решения задач.....	117
9 Компьютерный практикум по цифровой схемотехнике ...	131
10 Варианты творческих заданий	145
11 Пример выполнения творческого задания.....	147
Список литературы.....	150
Приложение. Условные графические обозначения микросхем.....	152

1 ВВЕДЕНИЕ

Электроникой называют раздел науки и техники, занимающийся:

- исследованием физических явлений и разработкой приборов, действие которых основано на протекании электрического тока в твердом теле, вакууме или газе;
- изучением электрических свойств, характеристик и параметров названных приборов;
- практическим применением этих приборов в различных устройствах и системах.

Первое из указанных направлений составляет область *физической электроники*. Второе и третье направления составляют область *технической электроники*.

Схемотехника электронных устройств — это инженерное воплощение принципов электроники для практической реализации электронных схем, призванных выполнять конкретные функции генерирования, преобразования и хранения сигналов, несущих информацию в слаботочной электронике и функции преобразования энергии электрического тока в силовоточной электронике.

Исторически электроника явилась следствием возникновения и быстрого развития *радиотехники*. Радиотехнику определяют как область науки и техники, занимающуюся исследованиями, разработкой, изготовлением и применением устройств и систем, предназначенных для передачи информации по радиочастотным каналам связи.

В основе радиотехники лежат научные открытия XIX века: работы М. Фарадея (англ.), выяснившего закономерности взаимодействия электрического и магнитных полей; Дж. Максвелла (англ.), обобщившего элементарные законы электромагнетизма и создавшего систему уравнений, описывающих электромагнитное поле. Дж. Максвелл теоретически предсказал новый вид электромагнитных явлений — электромагнитные волны, распространяющиеся в пространстве со скоростью света. Г. Герц (нем.) экспериментально подтвердил существование электромагнитных волн.

Первый радиоприемник был изобретен, сконструирован и успешно испытан в 1895 г. А.С. Поповым (рус.). Годом позже радиосвязь осуществил Г. Маркони (итал.), запатентовавший свое изобретение и ставший Нобелевским лауреатом в 1909 году.

С этих пор развитие радиотехники определялось развитием ее элементной базы, которая в основном определяется достижениями электроники. Интересно вкратце проследить за основными этапами развития ее элементной базы.

Простейший электронный прибор — вакуумный диод — был изобретен Т. Эдиссоном (амер.) в 1883 г., который вмонтировал металлический электрод в баллон электрической лампы накаливания и зарегистрировал ток одного направления во внешней цепи. В 1904 г. Дж. Флемминг (англ.) впервые применил вакуумный диод в качестве детектора в радиоприемнике. Усилительный электровакуумный прибор — триод — был изобретен Луи де Форестом (амер.) в 1906 г. С этих пор в течение первой четверти XX столетия в ряде научных лабораторий многих стран мира происходило медленное созревание технологий электровакуумных приборов. В России это направление возглавил руководитель нижегородской лаборатории М.А. Бонч-Бруевич. Уже в 1922 г. сотрудники этой лаборатории построили в Москве первую в мире радиовещательную станцию им. Коминтерна мощностью 12 кВт. А к 1927 г. было построено 57 таких станций. В 1925 г. была создана генераторная лампа мощностью 100 кВт. В 1933 г. в России вступила в строй мощнейшая в мире (500 кВт) радиостанция. Первый телевизионный передатчик мощностью 15 кВт введен в строй в Москве в 1948 г. А.И. Берг в 1927–1929 гг. создал классическую теорию передатчиков. В.А. Котельниковым в период с 1933 по 1946 гг. доказана теорема квантования по времени, заложившая основу цифровых методов обработки сигналов, показана возможность радиосвязи на одной боковой полосе и опубликована теория потенциальной помехоустойчивости.

Период с 1920 по 1955 гг. был эрой ламповой электроники.

Первый полупроводниковый триод — транзистор — создан в 1948 г. Дж. Бардиным и У. Браттейном (амер.). С 1955 г. начинается эра полупроводниковой электроники. Первые интегральные схемы появились в 1960-е годы. Первый микропроцессор датируется 1971 г.

В 1998 году транзистор отметил свой полувековой юбилей: в последний июньский день 1948 года американская фирма «Bell telephon laboratoris» продемонстрировала общественности только что изобретенный электронный прибор, о котором назавтра «Нью-Йорк Таймс» сообщила буднично и без пафоса: «Рабочие элементы прибора состоят из двух тонких проволочек, прижатых к кусочку полупроводникового вещества... Вещество усиливает ток, подводимый к нему по одной проволочке, а другая проволочка отводит усиленный ток. Прибор под названием «транзистор» в некоторых случаях можно использовать вместо электронных ламп».

Да, именно так выглядел первый транзистор, и неудивительно, что даже специалисты не сразу смогли разглядеть его триумфальное будущее. А между тем представленный прибор мог усиливать и генерировать электрические сигналы, а также выполнять функцию ключа, по команде открывающего или запирающего электрическую цепь. И, что принципиально важно, все это осуществлялось внутри твердого кристалла, а не в вакууме, как это происходит в электронной лампе. Отсюда следовал целый набор потенциальных достоинств транзистора: малые габариты, механическая прочность, высокая надежность, принципиально неограниченная долговечность. Через три-четыре года, когда были разработаны значительно более совершенные конструкции транзисторов, все эти ожидаемые достоинства начали становиться реальностью.

Честь открытия транзисторного эффекта, за которое в 1956 году была присуждена Нобелевская премия по физике, принадлежит У. Шокли, Дж. Бардину, У. Браттейну. Характерно, что все трое были блистательными физиками, целенаправленно шедшими к этому открытию. Шокли, руководитель группы исследователей, еще в предвоенные годы читал лекции по квантовой теории полупроводников и подготовил фундаментальную монографию, которая надолго стала настольной книгой для специалистов в этой области. Высочайшая квалификация Бардина как физика-теоретика подтверждена не только изобретением транзистора и предсказанием ряда эффектов в поведении полупроводников, но и тем, что позднее, в 1972 году, совместно с двумя другими исследователями он был повторно удостоен Нобелевской премии — теперь за создание теории сверхпроводимости. Браттейн, самый старший в группе, к моменту изобретения

транзистора имел за плечами пятнадцатилетний опыт исследования поверхностных свойств полупроводников.

Хотя само открытие транзисторного эффекта явилось до некоторой степени счастливой случайностью (говоря сегодняшним языком, они пытались изготовить *полевой* транзистор, а изготовили *биполярный*), теоретическая подготовка исследователей позволила им практически мгновенно осознать открытое и предсказать целый ряд гораздо более совершенных устройств. Иными словами, создание транзистора оказалось под силу лишь физикам, которые по необходимости владели еще и минимумом изобретательских навыков.

У нас в стране транзистор был воспроизведен в 1949 году во фрязинской лаборатории, возглавляемой А.В. Красиловым, крупным ученым, обладающим широчайшей эрудицией.

Первые транзисторы изготавливались на основе полупроводника *германия* и допускали рабочую температуру лишь до 70 °С, а этого во многих прикладных задачах было недостаточно.

Во второй половине пятидесятых годов в развитии транзисторов произошел решающий качественный скачок: вместо германия стали использовать другой полупроводник — *кремний*. В итоге рабочая температура транзисторов выросла до 120–150 °С, при этом их характеристики сохраняли высокую стабильность, а срок службы приборов стал практически бесконечным. Но, пожалуй, главное заключалось в том, что в 1959 году американской фирмой «Firechild» применительно к кремнию была разработана так называемая *планарная технология*. Принципиальным здесь было то, что тончайшая пленка диоксида кремния, выращенная при высокой температуре на поверхности кристалла, надежно защищает кремний от агрессивных воздействий и является отличным изолятором. В этой пленке создают «окна», через которые, также при высокой температуре, в полупроводник вводят легирующие добавки, — так изготавливаются фрагменты будущего прибора. Затем на изолированную от объема поверхность напыляют тонкопленочные алюминиевые токоподводы к активным зонам — и транзистор готов. Особенности процесса является то, что все воздействия на пластину осуществляются в одной плоскости и что обеспечивается одновременная обработка тысяч и миллионов

транзисторов на пластине, а это ведет к высочайшей степени воспроизводимости изделий и высокой производительности.

Методами планарной технологии легко обеспечить изоляцию транзисторов от подложки и друг от друга, а отсюда лишь шаг до создания *интегральной схемы (микросхемы)*, т. е. создания электронной схемы с активными и пассивными компонентами и их соединениями на едином кристалле в едином технологическом процессе. Этот шаг был сделан в том же 1959 году. Мир вступил в эру *микроэлектроники*.

Типичная микросхема представляет собой кремниевый кристаллик (чип), в приповерхностной области которого изготовлено множество транзисторов, соединенных между собой пленочными алюминиевыми дорожками в заданную электрическую схему. В первой микросхеме «множество» состояло всего лишь из 12 транзисторов, но уже через два года уровень интеграции превысил сто элементов на чипе, а к середине 60-х годов стали доминировать большие интегральные схемы (БИС), содержащие тысячи элементов, затем — сверхбольшие (СБИС) и т. д.

Микросхема обладает тем большей информационной мощностью, чем большее количество транзисторов она содержит, т. е. чем выше *плотность интеграции* (плотность упаковки активных элементов в кристалле). А она определяется минимальными размерами активного элемента и площадью кристалла, которые способна воспроизводить технология.

Изложенные в данном учебном пособии основы *цифровой схемотехники* формируют схемотехнические навыки построения цифровых устройств на базе интегральных микросхем. Изучается принцип работы простейших логических элементов и методы проектирования на их основе преобразователей кодов, сумматоров, цифровых коммутаторов, триггеров, регистров, счетчиков, микросхем памяти. Проверить работу многих устройств можно путем компьютерного моделирования с помощью пакета Electronics Workbench.

Рекомендуемый список литературы включает прежде всего справочники по цифровым интегральным микросхемам. Из других источников, используемых в данном учебном пособии, хочется отметить работы доцентов ТУСУРа Потехина В.А. [12] и Шибеева А.А. [6], которым автор выражает искреннюю благодарность.

2 ОСНОВНЫЕ ПОНЯТИЯ МИКРОЭЛЕКТРОНИКИ

2.1 Виды сигналов

Назначение радиоэлектронных устройств, как известно, — получение, преобразование, передача и хранение информации, представленной в форме электрических сигналов. Сигналы, действующие в электронных устройствах, и соответственно сами устройства делят на две большие группы: аналоговые и цифровые.

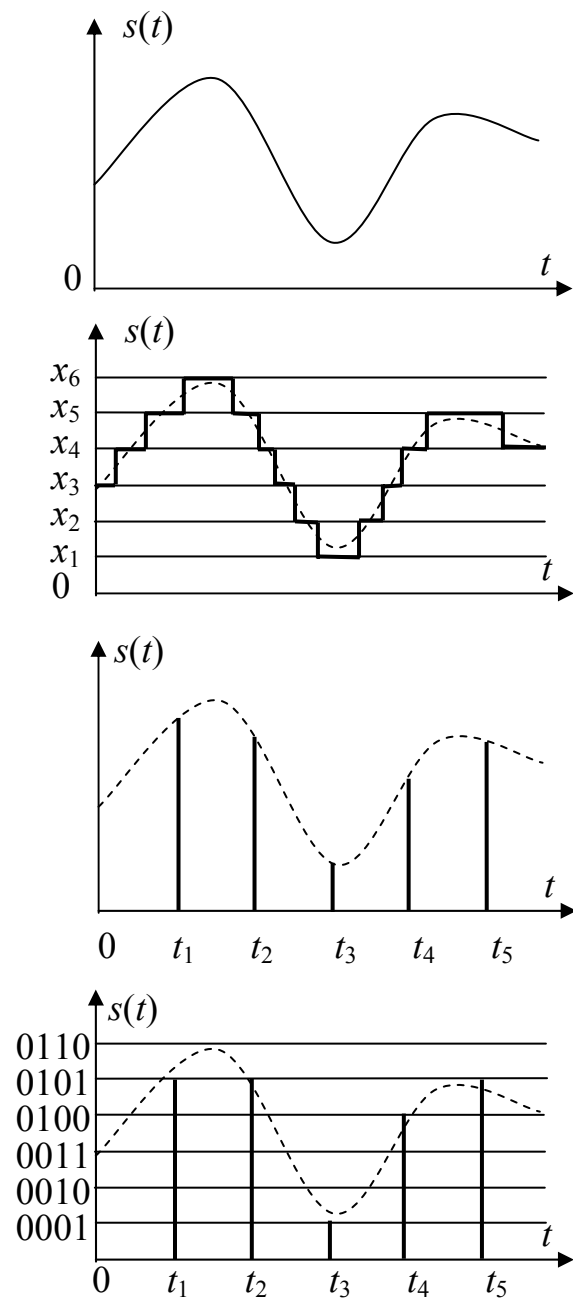


Рис. 2.1 — Виды сигналов

Аналоговый сигнал — сигнал, непрерывный по уровню и во времени, т. е. такой сигнал существует в любой момент времени и может принимать любой уровень из заданного диапазона.

Квантованный сигнал — сигнал, который может принимать только определенные квантованные значения, соответствующие уровням квантования. Расстояние между двумя соседними уровнями — шаг квантования.

Дискретизированный сигнал — сигнал, значения которого заданы только в моменты времени, называемые моментами дискретизации. Расстояние между соседними моментами дискретизации — шаг дискретизации T_d . При постоянном T_d применима теорема Котельникова: $\frac{1}{T_d} = f_d \geq 2f_{\hat{a}}$, где $f_{\hat{a}}$ — верхняя граничная частота спектра сигнала.

Цифровой сигнал — сигнал, квантованный по уровню и дискретизированный во времени. Квантованные значения цифрового сигнала обычно кодируются некоторым кодом, при этом каждый выделенный в процессе дискретизации отсчет заменяется соответствующим кодовым словом, символы которого имеют два значения — 0 и 1 (рис. 2.1).

Типичными представителями устройств аналоговой электроники являются устройства связи, радиовещания, телевидения. Общие требования, предъявляемые к аналоговым устройствам, — минимальные искажения. Стремление выполнить эти требования приводит к усложнению электрических схем и конструкции устройств. Другая проблема аналоговой электроники — достижение необходимой помехоустойчивости, ибо в аналоговом канале связи шумы принципиально неустраняемы.

Цифровые сигналы формируются электронными схемами, транзисторы в которых либо закрыты (ток близок к нулю), либо полностью открыты (напряжение близко к нулю), поэтому на них рассеивается незначительная мощность и надежность цифровых устройств получается более высокой, чем аналоговых.

Цифровые устройства более помехоустойчивы, чем аналоговые, так как небольшие посторонние возмущения не вызывают ошибочного срабатывания устройств. Ошибки появляются только при таких возмущениях, при которых низкий уровень сигнала воспринимается как высокий, или наоборот. В цифровых устройствах можно также применить специальные коды, позволяющие исправить ошибки. В аналоговых устройствах такой возможности нет.

Цифровые устройства нечувствительны к разбросу (в допустимых пределах) параметров и характеристик транзисторов и других элементов схем. Безошибочно изготовленные цифровые устройства не нужно настраивать, а их характеристики полностью повторяемы. Все это очень важно при массовом изготовлении устройств по интегральной технологии. Экономичность производства и эксплуатации цифровых интегральных микросхем привела к тому, что в современных радиоэлектронных устройствах цифровой обработке подвергаются не только цифровые, но и аналоговые сигналы. Распространены цифровые фильтры, регуляторы, перемножители и др. Перед цифровой обработкой аналоговые сигналы преобразуются в цифровые с помощью аналого-

цифровых преобразователей (АЦП). Обратное преобразование — восстановление аналоговых сигналов по цифровым — выполняется с помощью цифроаналоговых преобразователей (ЦАП).

При всем многообразии задач, решаемых устройствами цифровой электроники, их функционирование происходит в системах счисления, оперирующих всего двумя цифрами: нуль (0) и единица (1).

Работа цифровых устройств обычно *тактируется* достаточно высокочастотным генератором тактовых импульсов. В течение одного такта реализуется простейшая микрооперация — чтение, сдвиг, логическая команда и т. п. Информация представляется в виде цифрового слова. Для передачи слов используются два способа — параллельный и последовательный. Последовательное кодирование применяется при обмене информацией между цифровыми устройствами (например, в компьютерных сетях, модемной связи). Обработка информации в цифровых устройствах реализуется при использовании параллельного кодирования информации, обеспечивающего максимальное быстродействие.

Элементную базу для построения цифровых устройств составляют интегральные микросхемы (ИМС), каждая из которых реализуется с использованием определенного числа логических элементов — простейших цифровых устройств, выполняющих элементарные логические операции.

2.2 Классификация микросхем и их условные обозначения

Промышленностью выпускается широкая номенклатура интегральных микросхем различной степени интеграции. Кроме деления ИМС в зависимости от технологии изготовления (пленочные, гибридные, монокристалльные), ИМС делят на цифровые и аналоговые. Цифровые ИМС оперируют с напряжениями, принимающими только два возможных значения — логического нуля и логической единицы. Аналоговые ИМС могут работать с напряжениями, непрерывными по времени и значению. В зависимости от степени интеграции цифровые ИМС либо выполняют отдельные логические операции (например, И-НЕ или ИЛИ-НЕ), либо образуют целые узлы цифровых устройств (счетчики, регистры,

микросхемы памяти, процессоры и т. д.). Аналоговые ИМС (операционные усилители, компараторы напряжений, таймеры, стабилизаторы постоянного напряжения) выполняют разнообразные функции: усиление сигналов, генерирование колебаний различной формы, модуляцию и демодуляцию сигналов и много других преобразований. Микросхемы, предназначенные для цифроаналогового (ЦАП) и аналого-цифрового преобразования сигналов (АЦП), относят к числу аналоговых.

На функциональной схеме цифрового электронного термометра (диапазон температур от 0 до 400 °С) к аналоговой части устройства относятся усилитель постоянного тока (УПТ) и 12-разрядный АЦП, к цифровой — преобразователь двоичного кода в двоично-десятичный (X/Y) и дешифратор DC, преобразующий этот код в код управления четырьмя цифровыми семисегментными индикаторами (рис. 2.2).

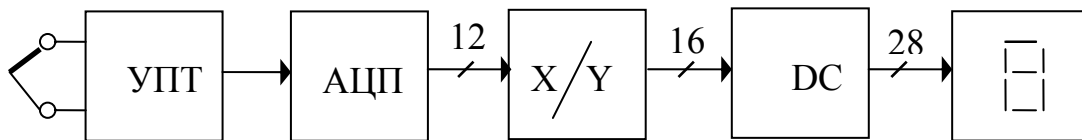


Рис. 2.2 — Функциональная схема электронного термометра

Стандартами установлена система условных обозначений микросхем. Большинство ИМС объединено в серии, которые включают ряд различных ИМС, согласованных по напряжению источников питания, уровням входных и выходных сигналов, входным и выходным сопротивлениям и конструктивно-технологическим особенностям. Серию стремятся разрабатывать так, чтобы из микросхем, входящих в нее, можно было создать законченные электронные устройства, хотя допускается использование в одном устройстве ИМС различных серий.

В принятой системе обозначений выпускаемые отечественной промышленностью ИМС делятся по конструктивно-технологическому исполнению на три группы:

- а) 1, 5, 6, 7 — полупроводниковые (монокристаллические);
- б) 2, 4, 8 — гибридные;
- в) 3 — прочие (пленочные, керамические и др.).

Условное обозначение серии ИМС состоит из двух элементов: первый — цифра, обозначающая конструктивно-технологическую группу; второй — двух- или трехзначное число, указывающее порядковый номер серии. Например, серия, обозначенная числом 1533, принадлежит к полупроводниковым ИМС с порядковым номером серии 533.

По характеру выполняемых функций ИМС подразделяют на подгруппы: генераторы, усилители, триггеры, модуляторы и т. д. В свою очередь подгруппы делятся на виды. Например, подгруппа «Схемы цифровых устройств» включает в себя следующие виды ИМС: регистры, сумматоры, счетчики импульсов, дешифраторы и др. Обозначения подгрупп и видов стандартизованы. Например, буквы ИР в условном обозначении ИМС будут обозначать, что эта ИМС из подгруппы «Схемы цифровых устройств» относится к виду «регистры». В табл. 2.1 приведена неполная классификация видов ИМС.

Таблица 2.1 — Условные обозначения микросхем

Подгруппа и вид ИМС по функциональному назначению	Обозначение	Подгруппа и вид ИМС по функциональному назначению	Обозначение
Формирователи: импульсов прямоугольной формы прочие	АГ АП	Логические элементы: И–НЕ И–НЕ/ИЛИ–НЕ расширители ИЛИ–НЕ И	ЛА ЛБ ЛД ЛЕ ЛИ
Схемы вычислительных средств: контроллеры микропроцессоры специализированные	ВВ ВМ ВЖ	Модуляторы: амплитудные прочие	МА МП
Генераторы: прямоугольных сигналов гармонических сигналов	ГГ ГС	Преобразователи: цифроаналоговые аналого-цифровые код-код	ПА ПВ ПР
Детекторы: амплитудные фазовые прочие	ДА ДФ ДП	Схемы запоминающих устройств: ПЗУ (масочные) ОЗУ ПЗУ с УФ-стиранием	РЕ РУ РФ
Схемы источников вторичного электропитания:			

Окончание табл. 2.1

Подгруппа и вид ИМС по функциональному назначению	Обозначение	Подгруппа и вид ИМС по функциональному назначению	Обозначение
выпрямители	ЕВ	Схемы сравнения:	СА
стабилизаторы напряжения		по напряжению	
импульсные	ЕК	Триггеры	ТВ
стабилизаторы напряжения		типа JK (универсальные)	
непрерывные	ЕН	типа D (с задержкой)	ТМ
Схемы цифровых устройств:		типа RS	ТР
АЛУ	ИА	типа T (счетные)	ТТ
шифраторы	ИБ	Усилители:	
дешифраторы	ИД	операционные	УД
счетчики	ИЕ	импульсных сигналов	УИ
комбинированные	ИК	низкой частоты	УН
полусумматоры	ИЛ	высокой частоты	УВ
сумматоры	ИМ	Многофункциональные	
прочие	ИП	схемы:	
регистры	ИР	аналоговые	ХА
Коммутаторы и ключи:		цифровые	ХЛ
напряжения	КН	комбинированные	ХК
прочие	КП	прочие	ХП

Условное обозначение микросхемы состоит из трех- или четырехзначного обозначения серии микросхем, двух букв, означающих подгруппу и вид микросхемы, и порядкового номера разработки микросхемы.

Буквы (необязательные) К, КМ, КН, КР, и КА, стоящие в начале условного обозначения микросхемы, характеризуют условия ее приемки на заводе-изготовителе, причем буква К означает микросхемы широкого применения.

Для характеристики материала и типа корпуса перед цифровым обозначением серии могут быть добавлены следующие буквы:

Р — пластмассовый корпус типа ДИП (корпус с прямоугольными выводами, перпендикулярными плоскости основания корпуса и выходящими за пределы проекции тела корпуса на плоскость основания);

А — пластмассовый планарный корпус (прямоугольный корпус с выводами, расположенными параллельно плоскости ос-

нования и выходящими за пределы проекции его тела на плоскость основания);

М — металлокерамический корпус типа ДИП;

Е — металлополимерный корпус типа ДИП;

С — стеклокерамический корпус типа ДИП;

И — стеклокерамический планарный корпус;

Н — керамический «безвыводной» корпус.

В условных обозначениях микросхем, выпускаемых в бескорпусном варианте, перед номером серии добавляют букву Б. Таким образом, бескорпусные аналоги обычной серии 155 обозначаются Б155.

Пример расшифровки обозначения микросхемы КР1533ТМ2 показан на рис. 2.3.

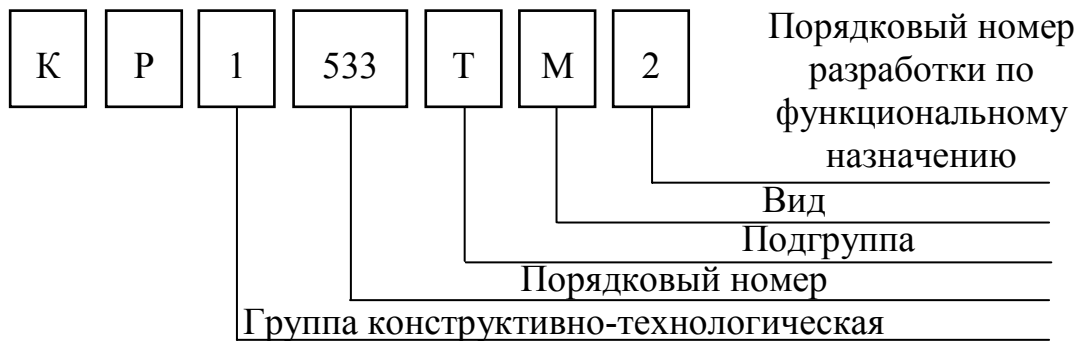


Рис. 2.3 — Пример обозначения микросхемы

Если принципиальные схемы электронных устройств, использующих ИМС, выполнять, полностью отображая их внутреннюю структуру с помощью условных графических обозначений (УГО) составляющих компонентов, то схема получится очень громоздкой и не наглядной. Отображение на принципиальной схеме внутренней структуры ИМС становится своего рода избыточной информацией, затрудняющей составление и чтение схем. Разработчику электронной аппаратуры важно знать, из каких функциональных узлов можно создать то или иное устройство, а внутренняя структура узла зачастую его просто не интересует. Этим объясняется тот факт, что при составлении принципиальных схем цифровых и аналоговых устройств пользуются только обобщенными символами функциональных узлов.

УГО элементов (узлов) аналоговой и цифровой техники строят на основе прямоугольника. В самом общем виде УГО может содержать основное поле и два дополнительных, расположенных по обе стороны от основного (рис. 2.4). Размер прямоугольника по ширине зависит от наличия дополнительных полей и числа помещенных в них знаков, по высоте — от числа выводов, интервалов между ними и числа строк информации в основном и дополнительных полях. В основном поле указывают функциональное назначение элемента, а в дополнительных — метки, обозначающие функции или назначение выводов. В местах присоединения линий-выводов изображают специальные знаки (указатели), характеризующие их особые свойства (инверсные, динамические и т. д.). Группы выводов могут быть разделены увеличенным интервалом или помещены в обособленную зону. Согласно стандарту, ширина основного поля должна быть не менее 10 мм, дополнительных — не менее 5 мм, расстояние между выводами — 5 мм.

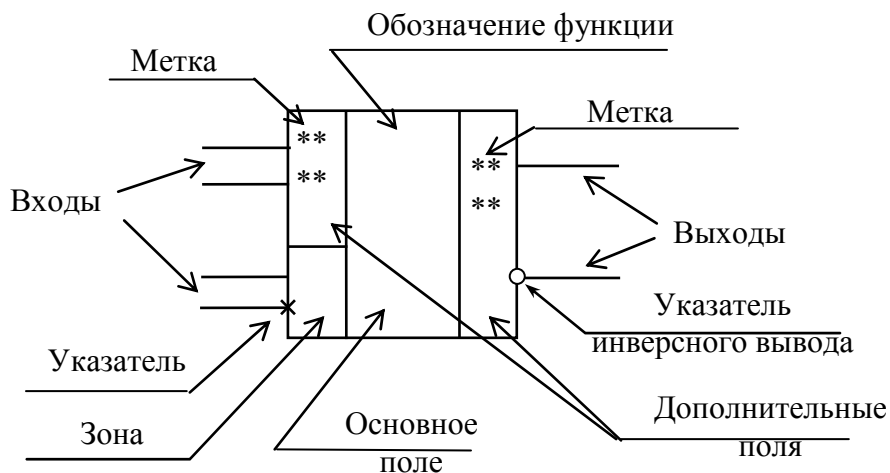


Рис. 2.4 — УГО элементов аналоговой и цифровой техники

Выводы элементов схемы делятся на входы, выходы, двунаправленные выходы (служат как для ввода, так и для вывода информации) и выходы, не несущие информации (например, для подключения питания, внешних *RC*-цепей и т. п.). Входы изображают слева, выходы — справа, остальные выходы — с любой стороны УГО. При необходимости разрешается поворачивать обозна-

чение на угол 90° по часовой стрелке, т. е. располагать входы сверху, а выходы снизу.

Функциональное назначение элемента указывают в верхней части основного поля УГО. Его составляют из прописных букв латинского алфавита, арабских цифр и специальных знаков, записываемых без пробелов. Примеры обозначений основных функций приведены в табл. 2.2. Сложные функции образуют из простых, располагая их в последовательности обработки сигнала.

Таблица 2.2 — Примеры функциональных обозначений ИС

Функция	Обозначение
Память	M
Оперативное запоминающее устройство (ОЗУ)	RAM
Постоянное запоминающее устройство (ПЗУ)	ROM
Логическое И	&
Регистр: общее обозначение	RG
со сдвигом слева направо	RG →
с реверсивным сдвигом	RG ↔
Счетчик двоичный	CT2
Счетчик десятичный	CT10
Триггер: общее обозначение	T
двухступенчатый	TT
Набор резисторов	*R
Генератор	G
Компаратор (сравнение)	= =
Усилитель	▷
Преобразователь цифро-аналоговый	# / ^
Преобразователь аналого-цифровой	^ / #

Назначение выводов указывают метками, помещаемыми напротив них в дополнительных полях. Как и обозначения функций элементов, они могут состоять из букв латинского алфавита, арабских цифр и специальных знаков. Например, вывод установки

ИМС в состояние «1» обозначается как S (Set), а сброс схемы в нулевое состояние — как R (Reset).

Выводы ИМС могут быть помечены указателями, определяющими их статические и динамические свойства. Указатели представляют на линии контура УГО или на линии связи около линии контура УГО со стороны линии вывода. Прямые статические выводы изображают линиями, присоединенными к основному или дополнительным полям УГО без каких-либо знаков, инверсные — в виде кружка на конце. Отличительный признак динамического вывода — указатель в виде косой черточки, стрелки или треугольника. Выводы, не несущие логической информации, выделяют крестиком, который наносят либо в месте присоединения к УГО (рис. 2.4), либо в непосредственной близости от него.

По функциональному назначению в цифровых ИМС выделяют следующие устройства.

Логические элементы — это ИМС, реализующие базовые логические функции НЕ, И, ИЛИ и их комбинации И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Часть ЛЭ, помимо логических операций, выполняет функции усилителей мощности.

Драйверы. Драйверами принято считать ИМС с повышенной нагрузочной способностью, основным назначением которых является организация связи с периферийными устройствами.

Шифраторы. Назначение шифратора — преобразование входного унитарного кода в натуральный двоичный.

Дешифраторы выполняют функции, обратные шифраторам, т. е. преобразуют двоичный код в унитарный. К специальным дешифраторам относятся преобразователи двоичного кода в коды управления знакосинтезирующими индикаторами.

Мультиплексоры направляют один из m входных сигналов на один выход.

Демультиплексоры решают обратную задачу — направляют один входной сигнал в один из m выходных каналов.

Арифметическими устройствами являются сумматоры двоичных чисел, умножители двоичных чисел, АЛУ — арифметическо-логические устройства, схемы контроля четности, преобразователи двоичных кодов, цифровые компараторы (устройства сравнения двоичных чисел).

Триггеры — устройства, служащие для *запоминания* логических состояний.

Регистры. Регистром называется триггерная линейка, служащая для записи, хранения, сдвига и вывода информации.

Счетчики числа импульсов — суммирующие, вычитающие, реверсивные. Счетчики могут выполнять роль программируемых делителей частоты.

Релаксационные устройства — типа мультивибраторов и одновибраторов.

Запоминающие устройства предназначены для записи, хранения и выдачи информации.

Степень интеграции (показатель сложности) ИС оценивается числом элементов, размещенных на одном кристалле или подложке:

<i>малая интегральная схема</i> (МИС)	до 100;
<i>средняя интегральная схема</i> (СИС).....	101–1000;
<i>большая интегральная схема</i> (БИС).....	1001–10000;
<i>сверхбольшая интегральная схема</i> (СБИС).....	свыше 100000.

Все цифровые устройства можно отнести к комбинационным (без памяти), либо к последовательностным (с памятью). **Комбинационными** называют устройства, состояние выходов которых в любой момент времени однозначно определяется значениями входных переменных в тот же момент времени. Это логические элементы, преобразователи кодов (в том числе шифраторы и дешифраторы), распределители кодов (мультиплексоры и демультимплексоры), компараторы кодов, арифметико-логические устройства (сумматоры, вычитатели, умножители, собственно АЛУ), постоянные запоминающие устройства (ПЗУ), программируемые логические матрицы (ПЛМ).

Выходное состояние *последовательностного* цифрового устройства (конечного автомата) в данный момент времени определяется не только логическими переменными на его входах, но еще зависит и от порядка (последовательности) их поступления в предыдущие моменты времени. Иными словами, конечные автоматы должны обязательно содержать элементы памяти, отражающие всю предысторию поступления логических сигналов, и выполняются на триггерах, в то время как комбинационные циф-

ровые устройства могут быть целиком построены только на логических элементах. К числу цифровых устройств последовательностного типа относят триггеры, регистры, счетчики, оперативные запоминающие устройства (ОЗУ), микропроцессорные устройства (микропроцессоры и микроконтроллеры).

Пример 2.1. В приведенном списке ИМС указать:

- а) цифровые интегральные микросхемы комбинационного типа;
- б) микросхемы, выполненные по гибридной технологии;
- в) цифровые интегральные микросхемы последовательностного типа.

K1533ИЕ6	K155КП7
K555ИР1	K556РТ5
K140УД6	K561ТМ2
K252ПА1	K564ИМ3
301НР1А	K537РУ8
K142ЕН5	K133ЛА3

Решение. К числу комбинационных ИМС в приведенном списке относятся логический элемент K133ЛА3, мультиплексор K155КП7, сумматор K564ИМ3, постоянное запоминающее устройство K556РТ5. По гибридной технологии выполнена микросхема цифроаналогового преобразователя K252ПА1, номер серии которой начинается с цифры 2. К числу последовательностных ИМС относятся триггер K561ТМ2, регистр K555ИР1, счетчик K1533ИЕ6, оперативное запоминающее устройство K537РУ8. Кроме перечисленных микросхем в данном списке приведены операционный усилитель K140УД6, стабилизатор напряжения K142ЕН5, набор резисторов 301НР1А, которые относятся к аналоговым ИМС, причем последняя микросхема выполнена по пленочной технологии (номер серии начинается с цифры 3).

3 МАТЕМАТИЧЕСКИЕ ОСНОВЫ ЦИФРОВОЙ ЭЛЕКТРОНИКИ

3.1 Позиционные системы счисления

Системой счисления называют способ изображения произвольного числа ограниченным набором символов, называемых цифрами. Номер позиции, определяющий вес, с которым данная цифра складывается в числе, называют *разрядом*, а системы счисления, обладающие отмеченным свойством, — *позиционными*.

В общем случае n -разрядное положительное число N в произвольной системе счисления с основанием p представляется суммой вида

$$N = \sum_{k=0}^{n-1} a_k p^k, \quad (3.1)$$

где a_k — отдельные цифры в записи числа, значения которых равны членам натурального ряда в диапазоне от 0 до $(p - 1)$.

При выполнении вычислений цифровыми электронными устройствами используются элементы с двумя устойчивыми состояниями. По этой причине в цифровой технике широкое распространение получила позиционная *двоичная* система счисления (с основанием 2). В каждом двоичном разряде, получившем название *бит*, может стоять 1 или 0. Сама же запись числа (двоичный код) представляет собой последовательность из единиц и нулей. Чтобы отличить двоичное число от десятичного, будем дополнять его справа суффиксом B (*Binary*), как это принято в специальных машинно-ориентированных языках программирования, называемых ассемблерами.

Веса соседних разрядов двоичного кода числа отличаются в два раза, а самый правый разряд (младший) имеет вес 1. Поэтому, например

$$101101B = 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 45.$$

Четыре соседних бита называют *тетрадой*, группу из 8 бит называют *байтом*, а из 16 бит — *машинным словом*. Совокупность из 1024 (2^{10}) байтов называют килобайтом, из 1024 килобайтов — мегабайтом, из 1024 мегабайтов — гигабайтом.

$$1 \text{ Гб} = 2^{10} \text{ Мб} = 2^{20} \text{ Кб} = 2^{30} \text{ байт.}$$

Современные персональные ЭВМ могут хранить в своей памяти на жестких магнитных дисках цифровую информацию объемом в десятки гигабайтов.

Арифметические операции в двоичной системе счисления исключительно просты и легко реализуются аппаратно. Однако при вводе и выводе информации в цифровое устройство она должна быть представлена в более привычной для человека десятичной системе счисления. Стремление упростить процедуру пересчета двоичных чисел к десятичному эквиваленту привело к использованию *двоично-десятичной системы счисления* (BD — Binary Decimals). Она используется в ЭВМ не только в качестве вспомогательной системы счисления при вводе и выводе данных, но и в качестве основной при решении задач, когда в ЭВМ вводится и выводится большое количество чисел, а вычислений над ними производится мало. Десятичные числа в двоично-десятичной системе счисления кодируются в прямом нормально-взвешенном коде 8-4-2-1, т. е. каждую цифру десятичного числа необходимо заменить соответствующей тетрадой двоичных чисел. Например, десятичное число 9531 в двоично-десятичном коде представляется машинным словом из четырех тетрад

$$9531 = 1001 \ 0101 \ 0011 \ 0001.$$

Записывать двоичные числа большой разрядности утомительно. Поэтому, как правило, они представляются более компактными записями с использованием *шестнадцатеричной системы счисления*. В этой системе используют первые десять членов натурального ряда от 0 до 9, а в качестве остальных цифр — первые шесть латинских букв $A = 10$, $B = 11$, $C = 12$, $D = 13$, $E = 14$, $F = 15$. Справа шестнадцатеричное число будем дополнять суффиксом H (*Hexadecimal*).

Перевод двоичного числа в число системы с основанием 16 и наоборот не вызывает затруднений. Для этого исходное двоичное число справа налево разбивается на тетрады, а затем содержимое каждой из них рассматривается как двоичный код соответствующей цифры шестнадцатеричной системы. Для обратного перехода каждую цифру шестнадцатеричного числа заменяют тетрадой двоичного кода, например:

$$N = 8B5FH = 1000 \ 1011 \ 0101 \ 1111 \ H.$$

Таблица 3.1 — Соответствие чисел различных систем счисления

Десятичное число (D)	Шестнадцатеричное число (H)	Двоичное число (B)
0	0	0000
1	1	0001
2	2	0010
3	3	0011
4	4	0100
5	5	0101
6	6	0110
7	7	0111
8	8	1000
9	9	1001
10	A	1010
11	B	1011
12	C	1100
13	D	1101
14	E	1110
15	F	1111

Для перевода целого числа N_p , представленного в системе счисления с основанием p , в систему счисления с основанием q необходимо данное число делить на основание q (по правилам системы с основанием p) до получения целого остатка, меньшего q . Полученное частное снова необходимо разделить на основание q и т. д., пока последнее частное не станет меньше q . Число N_q в новой системе счисления представится в виде упорядоченной последовательности остатков в порядке, обратном их получению. При этом цифру старшего разряда дает последнее частное.

Пример 3.1. Перевести десятичное число 157_{10} в двоичный код, результат проверить.

число	делитель	остаток	
157	2	1	(младший разряд)
78	2	0	
39	2	1	
19	2	1	
9	2	1	
4	2	0	
2	2	0	
1	2	1	
0	2	1	(старший разряд)

$157_{10} = 10011101_2$

Проверка:

$$10011101_2 = 1 \cdot 2^7 + 0 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = \\ = 128 + 16 + 8 + 4 + 1 = 157_{10}.$$

Для облегчения работы с двоичными кодами желательно знать наизусть десятичные значения чисел 2^n от $n = 0$ до $n = 14$ (табл. 3.2).

Таблица 3.2

n	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14
2^n	1	2	4	8	16	32	64	128	256	512	1024	2048	4096	8192	16384

Пример 3.2. Перевести десятичное число 157_{10} в восьмеричный код, результат проверить.

число	делитель	остаток
157	8	5 (младший разряд)
19	8	3
2	8	2 (старший разряд)
0		

$157_{10} = 235_8$

Проверка: $235_8 = 2 \cdot 8^2 + 3 \cdot 8^1 + 5 \cdot 8^0 = 128 + 24 + 5 = 157_{10}$.

Пример 3.3. Перевести десятичное число 157_{10} в шестнадцатеричный код, результат проверить.

число	делитель	остаток
157	16	13 (младший разряд)
9	16	9 (старший разряд)
0		

$157_{10} = 9D_{16}$

Проверка: $9D_{16} = 9 \cdot 16^1 + 13 \cdot 16^0 = 144 + 13 = 157_{10}$.

С помощью байта данных можно представить различную информацию:

- целое число без знака (от 0 до 255);
- число от 0 до 99 в двоично-десятичном коде;
- машинный код команд микропроцессора;

- состояние восьми датчиков;
- двоичное число со знаком в прямом, обратном или *дополнительном* коде $\pm X$, где X — модуль числа (от 0 до 127), для отображения которого используется семь младших разрядов. Старший разряд — знаковый (0 — для положительных чисел, 1 — для отрицательных).

Пример:	+16		-16
прямой код	0, X 00010000		1, \overline{X} 10010000
обратный код	0, X 00010000		1, $\overline{\overline{X}}$ 11101111
дополнительный код	0, X 00010000		1, $\overline{X}+1$ 11110000

Прямой, обратный и дополнительный коды положительных чисел совпадают. Для получения дополнительного кода отрицательного числа можно проинвертировать код положительного числа и прибавить единицу. Дополнительный код однобайтового числа минус X равен дополнению до 256, т. е. двоичному коду числа $256 - X$. Преобразование дополнительного кода числа в прямой осуществляется по тому же правилу, что прямого в дополнительный.

Пример 3.4. Записать дополнительный код однобайтового числа минус 100. Для отображения знака используется старший разряд числа.

Решение. Запишем двоичный код числа плюс 100: 01100100

Проинвертируем его: 10011011

Прибавим единицу: 10011100

Проверка: $10011100 = 128 + 16 + 8 + 4 = 156 = 256 - 100$.

Ответ: дополнительный код числа минус 100 равен 10011100В.

3.2 Таблица истинности

На рис. 3.1, а приведено функциональное обозначение цифрового устройства с тремя входами и одним выходом. Каждый из входных сигналов A , B и C может принимать лишь два значения: 1 и 0. Выходной сигнал F , который можно рассматривать как

логическую функцию входных переменных A , B , C , на каждом их наборе может быть равен 1 или 0.

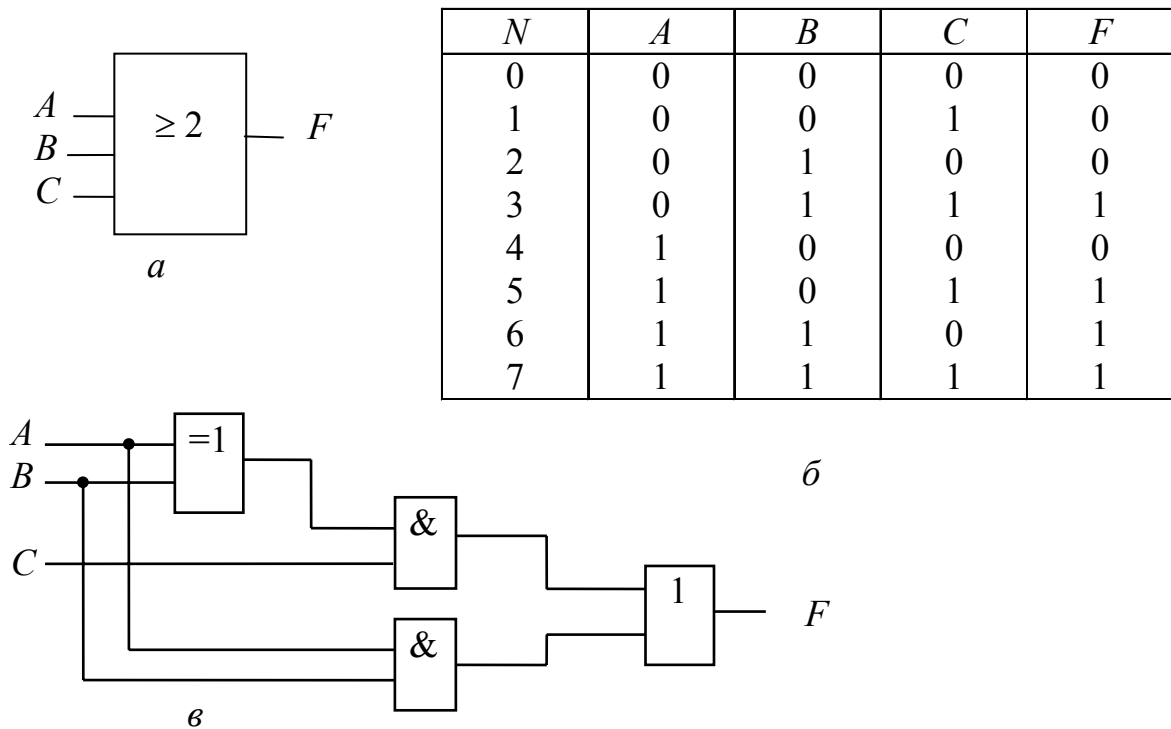


Рис. 3.1 — Функциональное обозначение, таблица истинности и пример построения цифрового устройства

В простейшем случае функция $F(A, B, C)$ может быть задана словесным описанием. Например, функция F равна 1, если все три ее переменные или любая пара из них равны 1, в противном случае $F = 0$.

Любая логическая функция может быть задана в виде таблицы истинности. На рис. 3.1, б представлена таблица истинности для функции трех переменных, описанной выше словесно. Она определена на восьми наборах, которые располагаются в порядке нарастания десятичного эквивалента N их двоичного кода. В правом столбце указаны значения логической функции F на каждом наборе. Задание логической функции таблицей истинности не всегда удобно, так как при большом числе переменных она становится слишком громоздкой. В этом смысле наиболее привлекателен аналитический способ задания функций в виде так называемых структурных формул, показывающих, какие логиче-

ские операции необходимо выполнить над входящими в них переменными, чтобы получить значения данной функции.

3.3 Совершенная дизъюнктивная нормальная форма

По таблице истинности можно составить выражение для логической функции в **СДНФ** (совершенной дизъюнктивной нормальной форме), т. е. в виде суммы логических произведений, соответствующих единичным наборам функции:

$$F = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC. \quad (3.2)$$

Выражение (3.2) записано с использованием операций логического сложения (дизъюнкции), логического умножения (конъюнкции) и логического отрицания (инверсии), которые выполняют простейшие логические элементы ИЛИ, И и НЕ соответственно. Для каждого единичного набора составляется логическое произведение входных переменных, в которое переменная входит с инверсией при нулевом ее значении на данном наборе. Эти логические произведения объединяются затем знаком логического сложения (+ или \vee).

На рис. 3.2 представлены таблицы истинности и условные графические обозначения двухвходовых логических элементов. Кроме указанных выше, на практике широко используются элементы И-НЕ, ИЛИ-НЕ, Исключающее ИЛИ. Логическая функция последнего (функция «неравнозначность» или сумма по модулю два) в СДНФ записывается в виде $A \oplus B = \overline{A}B + A\overline{B}$.

Логические функции, представляющие собой *дизъюнкции* отдельных членов, каждый из которых есть некоторая функция, содержащая только конъюнкции, называют логическими функциями *дизъюнктивной нормальной формы* (ДНФ), например: $F = XY + \overline{X}Z$. Если же каждый член дизъюнкции нормальной формы от n аргументов содержит все эти аргументы, часть которых входит в него с инверсией, а часть — без нее, то такая форма представления функции называется *совершенной дизъюнктивной нормальной формой* (СДНФ), например:

$$F = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC.$$

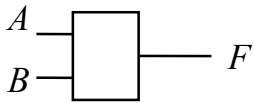





Номер набора	A	B	AB	\overline{AB}	$A+B$	$\overline{A+B}$	$A \oplus B$
0	0	0	0	1	0	1	0
1	0	1	0	1	1	0	1
2	1	0	0	1	1	0	1
3	1	1	1	0	1	0	0
Элемент			И	И-НЕ	ИЛИ	ИЛИ-НЕ	Исключающее ИЛИ
			 ЛИ	 ЛА	 ЛЛ	 ЛЕ	 ЛП

Рис. 3.2 — Таблицы истинности и условные графические обозначения двухвходовых логических элементов

Каждая конъюнкция этой дизъюнкции включает каждую переменную только один раз в прямом или инверсном виде, обращаясь в единицу при определенном наборе значений переменных, и носит название *минтерм*.

Правило перехода от табличного задания логической функции к ее записи в СДНФ (правило записи логической функции по единицам) заключается в следующем:

1. Составить минтермы для строк таблицы истинности, на которых функция F равна 1. Если значение переменной в этой строке равно 0, то в минтерме записывается отрицание этой переменной.
2. Записать дизъюнкцию составленных минтермов, которая будет представлять переключательную функцию в СДНФ.

3.4 Основные законы булевой алгебры

Математический аппарат, описывающий действия цифровых устройств, базируется на алгебре логики, автором которой считается английский математик Дж. Буль (1815–1864 гг.). В практических целях первым применил его американский ученый К. Шеннон в 1938 г. при исследовании электрических цепей с контактными выключателями.

В алгебре логики имеется четыре основных закона:

1. **Переместительный**, или закон *коммутативности* для операций сложения и умножения соответственно:

$$A+B = B+A;$$

$$AB = BA.$$

2. **Сочетательный**, или закон *ассоциативности* для сложения и умножения соответственно:

$$(A + B)+C = A+ (B + C);$$

$$(AB)C = A(BC).$$

3. **Распределительный**, или закон *дистрибутивности* для сложения и умножения соответственно:

$$(A+B)C = AC + BC;$$

$$(AB)+C = (A + C) (B + C).$$

4. Закон *двойственности* или *инверсии* (*правило де Моргана*) сложения и умножения соответственно:

$$\overline{\overline{A} + \overline{A}} = \overline{\overline{A} \cdot \overline{A}}; \quad \overline{\overline{A} \overline{A}} = \overline{\overline{A} + \overline{A}}.$$

Справедливость этих законов можно доказать с помощью таблиц истинности сложных логических связей, описываемых законом, или с помощью логических преобразований.

Для преобразований логических выражений пользуются легко доказываемыми тождествами, вытекающими из принципа работы простейших логических элементов (аксиомы алгебры Буля):

$$X+1=1; \quad X \cdot 1=X; \quad X \oplus 1 = \overline{X};$$

$$X+0=X; \quad X \cdot 0=0; \quad X \oplus 0 = X;$$

$$X+X=X; \quad X \cdot X=X; \quad X \oplus X=0;$$

$$X + \overline{X} = 1; \quad X \cdot \overline{X} = 0; \quad X \oplus \overline{X} = 1.$$

С помощью законов алгебры логики и тождеств могут быть доказаны соотношения, получившие названия правил:

поглощения

$$A + AB = A,$$

$$A \cdot (A + B) = A$$

и склеивания

$$A \cdot B + A \cdot \bar{B} = A,$$

$$(A + B)(A + \bar{B}) = A.$$

Эти правила широко используют для преобразования переключательных функций с целью их упрощения.

Из правила де Моргана вытекают следствия:

$$A + B = \overline{\bar{A} \cdot \bar{B}},$$

$$A \cdot B = \overline{\bar{A} + \bar{B}},$$

с помощью которых появляется возможность выражать дизъюнкцию через конъюнкцию и отрицание, а конъюнкцию — через дизъюнкцию и отрицание. Законы двойственности справедливы для любого числа переменных.

В булевой алгебре при отсутствии в выражении скобок вводится следующий порядок действий: первыми выполняются операции отрицания, далее — конъюнкции, затем — дизъюнкции. Наличие в выражении скобок изменяет обычный порядок действий: в первую очередь должны выполняться операции внутри скобок.

Записанная ранее в СДНФ логическая функция трех переменных (3.2) может быть представлена в виде (ей соответствует схема устройства на рис. 3.1, в):

$$F = C(\bar{A}B + A\bar{B}) + AB(\bar{C} + C) = C(A \oplus B) + AB.$$

Набор логических элементов И, ИЛИ, НЕ называют **основным базисом** или основной функционально полной системой элементов. Последнее означает, что с помощью этих элементов можно реализовать устройство, осуществляющее сколь угодно сложную логическую операцию. Каждый из элементов И-НЕ и ИЛИ-НЕ также обладает функциональной полнотой.

Базисы И-НЕ и ИЛИ-НЕ называют *универсальными*. Эти базисы приобрели важное значение в связи с широким использованием интегральных логических элементов при построении логических устройств.

Структуры логических элементов НЕ, И, ИЛИ, построенных из элементов И-НЕ, приведены на рис. 3.3.

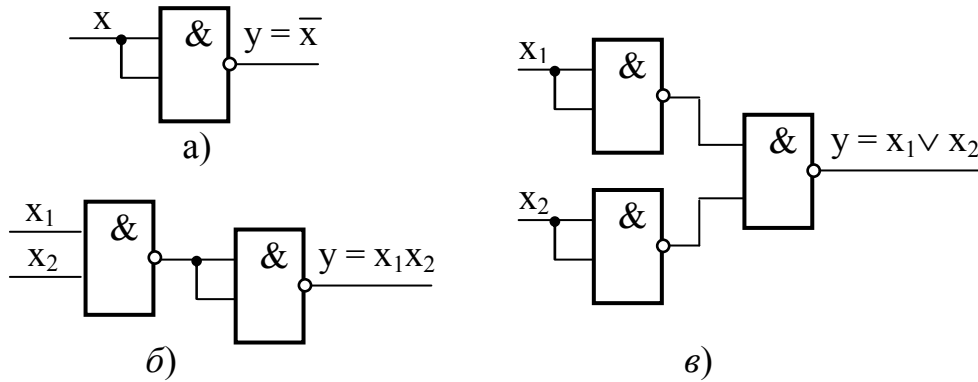


Рис. 3.3 — Реализация схем: НЕ (а); И (б); ИЛИ (в)

Схема *отрицания* НЕ реализована на использовании следующего соотношения:

$$y = \overline{x \cdot x} = \bar{x}.$$

Схема *логического умножения* использует принцип двойной инверсии:

$$y = \overline{\overline{x_1 x_2}} = x_1 \cdot x_2.$$

Схема *логического сложения* двух сигналов базируется на использовании закона отрицания:

$$y = \overline{\overline{x_1} \overline{x_2}} = x_1 \vee x_2.$$

Связующим звеном между реальным элементом и его переключательной функцией служит полярность логики. Различают положительную и отрицательную логику. При положительной логике в качестве логической единицы принят высокий уровень сигнала, при отрицательной логике — низкий уровень сигнала. Из принципа дуальности следует, что одно и то же логическое выражение может быть представлено *двояко*, например,

$$y = x_1 x_2 \quad \text{и} \quad \bar{y} = \bar{x}_1 \vee \bar{x}_2.$$

Это значит, что один и тот же элемент будет реализовывать с точки зрения положительной логики функцию конъюнкции, а с точки зрения отрицательной логики — дизъюнкции.

В дальнейшем в качестве единицы будет принят высокий уровень напряжения (положительная логика).

Минимизация — процесс приведения булевых функций к такому виду, который допускает наиболее простую, с наименьшим числом элементов, физическую реализацию функции. Частная задача минимизации булевой функции сводится к такому

представлению заданной функции, которое содержит наименьшее возможное число букв и наименьшее возможное число операций над ними, так как каждой элементарной логической функции соответствует определенный физический элемент.

Оценить различные представления одной и той же булевой функции, например ДНФ, можно по количеству входов логических элементов, реализующих заданную функцию. Для минимизации переключательных функций применяют различные методы: последовательного исключения переменных с помощью законов алгебры логики, с использованием диаграмм Венна, карт Карно (Вейча) и др.

3.5 Диаграммы Венна

Логические функции можно отобразить на диаграммах Венна. Пусть левый круг (рис. 3.5) соответствует области прямых

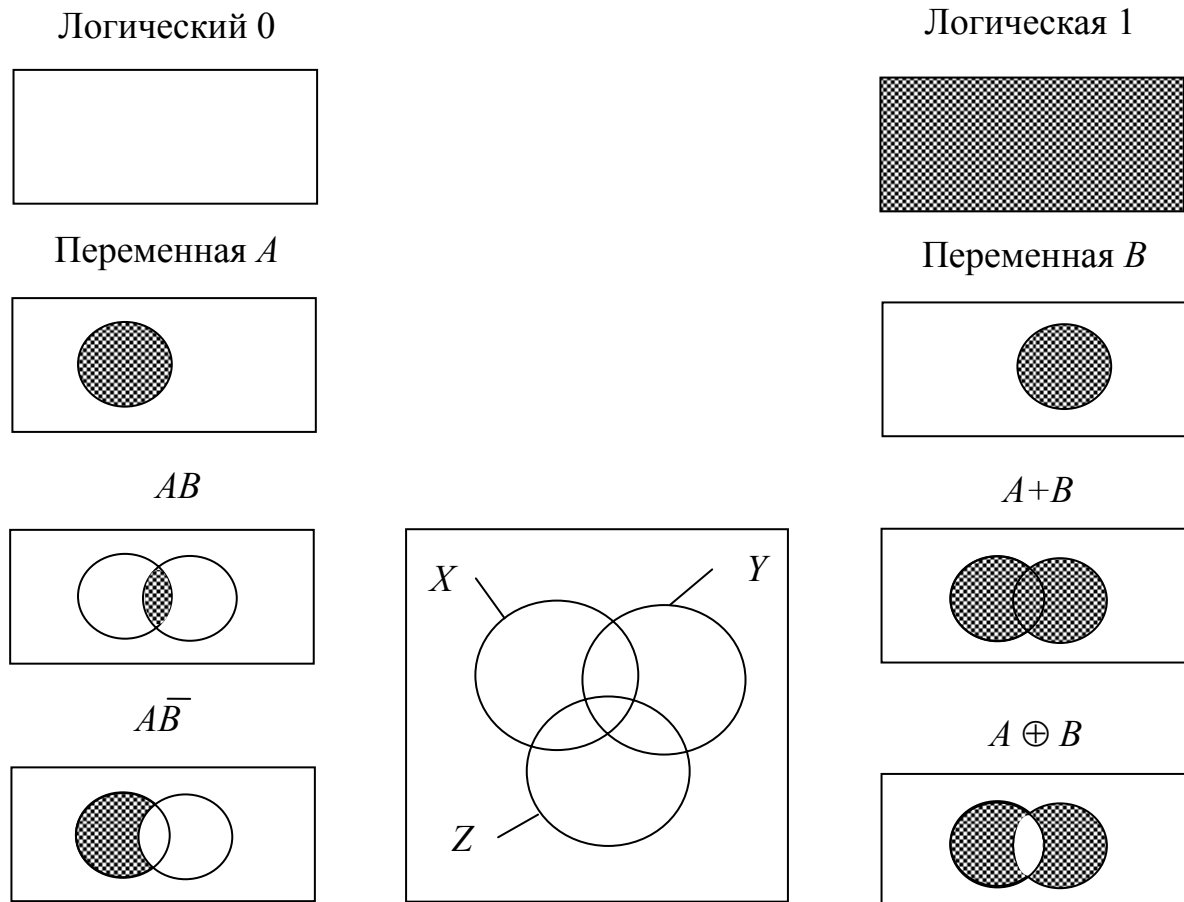


Рис. 3.5 — Диаграммы Венна

значений переменной A , правый — области прямых значений переменной B . Тогда область, образуемая при пересечении кругов, соответствует логическому произведению AB . Область, образуемая при наложении кругов, соответствует логической сумме $A + B$. Часть круга A , куда не входит B , соответствует логическому произведению $A\bar{B}$. Операции неравнозначности соответствует область, занимаемая двумя сегментами: $A\bar{B}$ и $\bar{A}B$.

С помощью диаграмм Венна легко доказывается справедливость логических тождеств. Для этого надо убедиться, что левой и правой частям записанных логических выражений соответствует одинаковое отображение на диаграмме Венна. Так, при наложении круга A и сегмента AB мы сохраняем отображение круга A , т. е. $A + AB = A$. При наложении отображения $A \oplus B$ и сегмента AB получаем отображение логической суммы $A + B$, т. е. $A \oplus B + AB = A + B$. Если в области $A + B$ исключить сегмент AB , то получим отображение операции «Исключающее ИЛИ», т. е. $\overline{AB}(A + B) = A \oplus B$.

Для доказательства тождества $X\bar{Y} + \bar{X}Z = \overline{X\bar{Y}}(X + Z)$ удобно воспользоваться диаграммой Венна для логической функции трех переменных. Если в области $X + Z$ исключить сегмент $X\bar{Y}$, получим отображение правой части выражения. Оно совпадает с отображением левой части, получаемым путем наложения сегментов $X\bar{Y} + \bar{X}Z$.

3.6 Карты Карно

Для упрощения логических функций трех и четырех переменных удобно использовать карты Карно (рис. 3.6, а и 3.6, в). Карта Карно представляет собой прямоугольную таблицу, каждая клетка которой соответствует определенному набору таблицы истинности (рис. 3.6, б и 3.6, г). На карте фиксируют область прямых значений переменных и значение логической функции для каждого набора (0,1 или X, если функция на данном наборе не определена).

Карта Карно на рис. 3.6, в соответствует логической функции F , заданной выше словесно и с помощью таблицы истинно-

сти. Булева функция четырех переменных Y (рис. 3.6, a) на четырех наборах принимает значение 1, на восьми наборах — 0, на четырех наборах — не определена (такие наборы иногда называют факультативными, они обозначены как X).

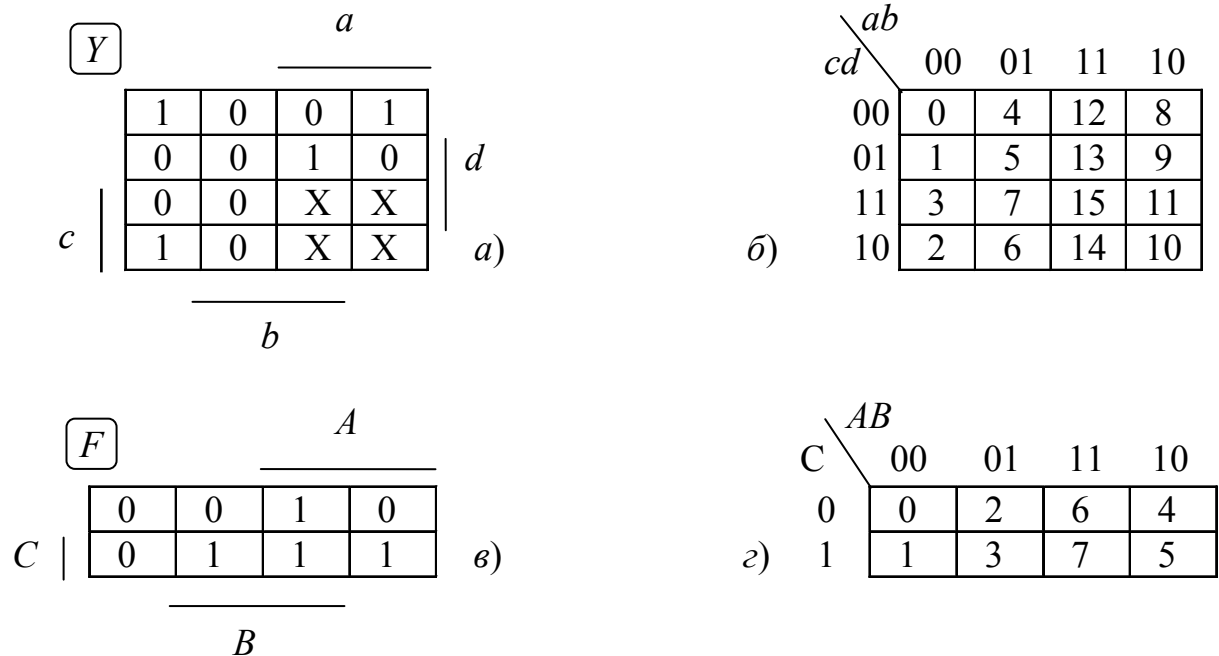


Рис. 3.6 — Карты Карно для логических функций трех (F) и четырех переменных (Y)

Карта Карно определяет значение функции на всех возможных наборах аргументов и, следовательно, является копией таблицы истинности. Карты Карно компактны и удобны для поиска склеиваемых членов переключательной функции СДНФ. Объясняется это тем, что два любых минтерма, находящихся в клетках, расположенных рядом друг с другом, являются соседними. Они могут быть заменены одной конъюнкцией, содержащей на одну переменную меньше. Группа из четырех минтермов, расположенных в соседних клетках, может быть заменена конъюнкцией, содержащей на две переменные меньше. В общем случае группа из 2^k соседних клеток будет заменена одной конъюнкцией с $n - k$ аргументами при общем числе переменных, равном n .

Правила записи минимизированного выражения для логической функции по карте Карно:

1) выделяются блоки (замкнутые прямоугольные области, содержащие 1, 2, 4, 8 клеток), заполненные единицами;

2) блоки должны быть возможно большими, а их количество наименьшим;

3) левая и правая, а также верхняя и нижняя строки карты считаются соседними;

4) блоки могут пересекаться, т. е. одна и та же клетка может входить в несколько блоков;

5) на факультативных наборах функция может доопределяться произвольно (на тех наборах, где стоят X), чтобы получить наиболее крупные блоки;

6) функция записывается в виде логических произведений (ЛП), описывающих выделенные блоки;

7) переменная не включается в ЛП, если блок областью ее прямых значений делится пополам;

8) переменная включается в ЛП с инверсией, если рассматриваемый блок лежит в области ее инверсных значений;

9) при группировке в блоки клеток, заполненных нулями, по тем же правилам получаем инверсное значение логической функции.

Логическая функция F (см. рис. 3.6) описывается совокупностью трех блоков (каждый блок включает группу из двух минтермов):

$$F = AB + BC + AC. \quad (3.3)$$

С использованием формулы двойственности ее можно преобразовать в вид, удобный для реализации в базисе И-НЕ (рис. 3.7, а):

$$F = \overline{\overline{AB} \cdot \overline{BC} \cdot \overline{AC}}. \quad (3.4)$$

Логическая функция четырех переменных Y описывается совокупностью двух блоков (четыре угловые клетки считаются соседними):

$$Y = abd + \bar{b} \cdot \bar{d}.$$

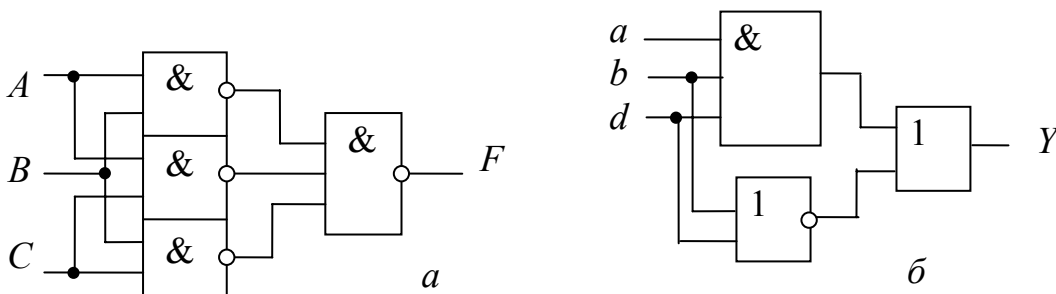


Рис. 3.7 — Реализация логических функций F и Y

На рис. 3.7, б приведен пример ее реализации, учитывающий преобразование к виду

$$Y = abd + \overline{b + d}.$$

3.7 Этапы синтеза цифрового устройства

При синтезе комбинационного цифрового устройства на логических элементах можно рекомендовать следующий порядок:

1) формируется словесное условие задачи (определяется, что именно должно делать разрабатываемое устройство, уточняется алгоритм его работы);

2) составляется таблица истинности для логической функции, реализуемой устройством, и записывается функция в СДНФ;

3) проводится минимизация логической функции с помощью карты Карно, диаграммы Венна или законов булевой алгебры;

4) функция преобразуется в вид, удобный для реализации на заданной элементной базе;

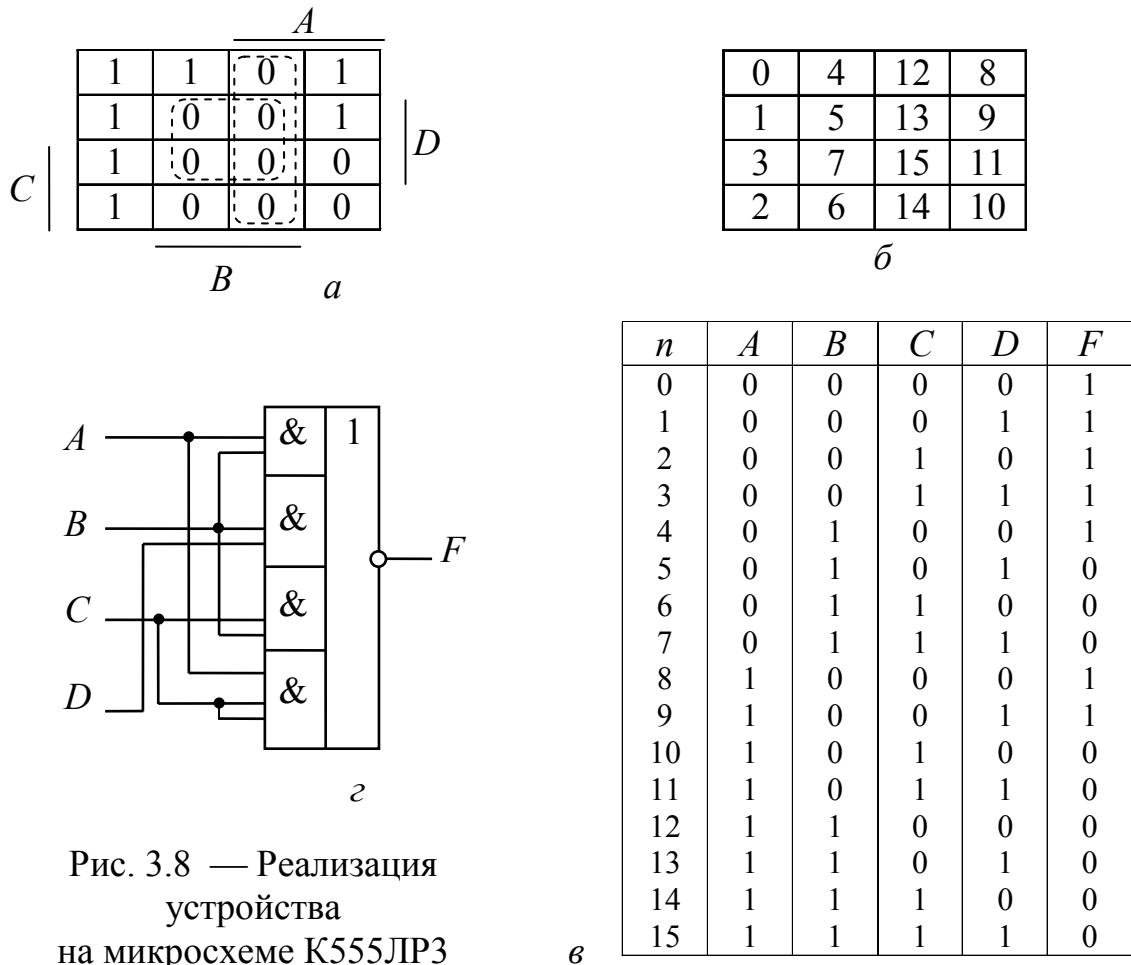
5) разрабатывается принципиальная схема цифрового устройства на логических элементах выбранной серии интегральных микросхем. Микросхемы логических элементов будут рассмотрены в следующей главе.

Результат синтеза не является однозначным, поэтому вариантов построения цифрового устройства может быть несколько. Следует стремиться к более простому решению поставленной задачи.

В следующем параграфе рассмотрены примеры синтеза комбинационных цифровых устройств на логических элементах ТТЛ (серия К155) и ТТЛШ (серия К555). При проектировании таких устройств надо четко представлять, каким образом формируются входные сигналы и как используются выходные сигналы.

3.8 Примеры синтеза цифровых устройств

Пример 3.5. Реализовать устройство с четырьмя входами, логическая функция которого задана таблицей истинности (рис. 3.8, в).



Решение. Представим логическую функцию, реализуемую устройством, в виде соответствующей ей карты Карно (рис. 3.8, а). На рис. 3.8, б представлена таблица соответствия ее клеток наборам таблицы истинности.

Организовав блоки по нулям (блоки AB и BD выделены на карте Карно пунктирной линией), запишем минимизированное выражение для логической функции по карте Карно:

$$\bar{F} = AB + BC + AC + BD,$$

которое легко реализовать на микросхеме К555ЛР3 (рис. 3.8, в).

Если блоки организовать по единицам, то их число уменьшается до трех, но требуются дополнительные инверторы:

$$F = \bar{A} \cdot \bar{B} + \bar{B} \cdot \bar{C} + \bar{A} \cdot \bar{C} \cdot \bar{D}.$$

Пример 3.6. На микросхемах серии К155 спроектировать утроитель частоты напряжения трехфазной сети. Напряжение каждой фазы с помощью нуль-компараторов приведено к уровню

ТТЛ (входной сигнал равен логической 1, когда синусоидальное напряжение фазы положительно).

Решение. Алгоритм работы устройства отображают временные диаграммы входных (A, B, C) и выходного (F) сигналов для одного периода T сетевого напряжения (рис. 3.9, а). Заполним карту Карно для единичных и нулевых тактов сигнала F (рис. 3.9, б). На двух наборах функция не определена (в трехфазной сети напряжения трех фаз не могут быть одновременно положительными или отрицательными). Организуя блоки по нулям, получаем

$$\overline{F} = AB + BC + AC \text{ или } F = \overline{AB + BC + AC}.$$

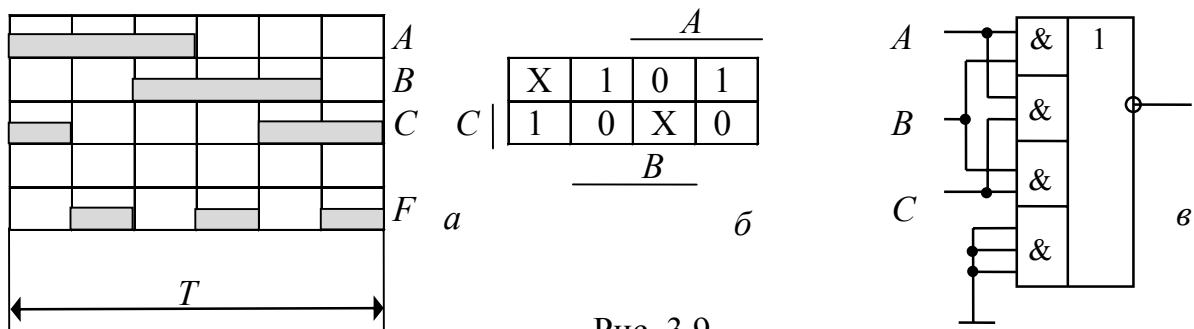


Рис. 3.9

Наиболее просто эта функция реализуется на микросхеме К155ЛР3 (рис. 3.9, в). Хотя бы на один из входов неиспользуемого элемента И надо подать логический 0, так как неподключенный вход ТТЛ ведет себя как вход с уровнем логической 1.

Пример 3.7. В трехэтажном доме лестничная клетка освещается одной общей лампочкой. На каждом этаже есть выключатели: S_1, S_2, S_3 . Спроектировать устройство включения и выключения освещения любым из выключателей, независимо от положения остальных.

Решение. Пусть A, B и C — сигналы на входе логической части устройства (замкнутому контакту выключателя соответствует уровень логического 0, а разомкнутому — уровень логической 1), F — сигнал на выходе логической части устройства ($F = 0$, когда лампа горит). Заполним таблицу истинности, связывающую эти переменные (рис. 3.10, а). Запишем выходную функцию в СДНФ и попытаемся ее минимизировать, проводя простейшие преобразования полученной функции:

$$F = \overline{A}BC + A\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} = \overline{A}(BC + B\overline{C}) + A(\overline{B}C + \overline{B}\overline{C})$$

или $F = \overline{A}(B \oplus C) + A(\overline{B \oplus C}) = A \oplus B \oplus C.$

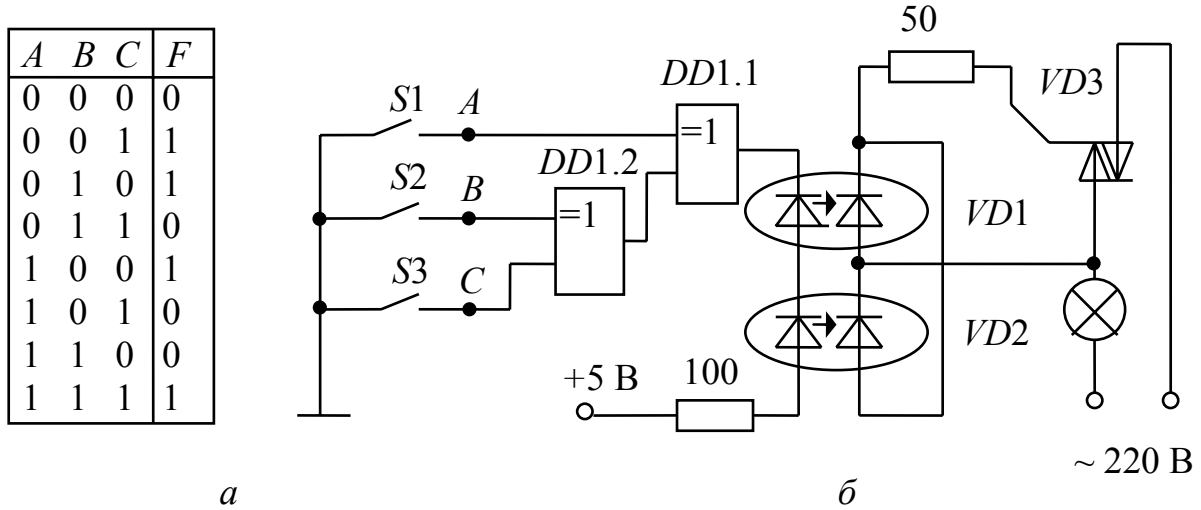
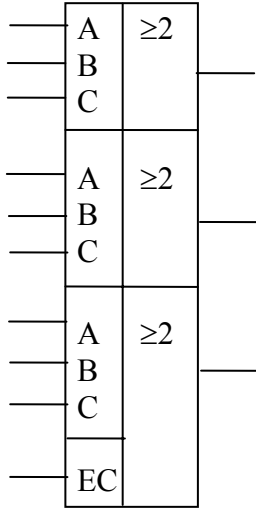


Рис. 3.10

Логическая часть устройства (рис. 3.10, б) реализована на микросхеме *DD1* (К155ЛП5). В корпусе этой микросхемы размещено четыре элемента «Исключающее ИЛИ». Последовательно с осветительной лампой включен симистор *VD3* (ТС 122-25-4 или КУ208Г), который управляется оптронными парами *VD1*, *VD2* (АОУ103А1). Ток через светодиоды пар выбран равным 10 мА (максимально допустимый ток в выходной цепи логического элемента в состоянии логического нуля — 16 мА).

3.9 Мажоритарный логический элемент

Идея мажоритарного резервирования — построение устройства, от которого требуется высокая надежность, в виде трех идентичных устройств, выходные сигналы которых объединяются с помощью мажоритарных элементов. В этом случае выход из строя одного из устройств не приведет к появлению неправильных сигналов на выходе мажоритарного элемента, так как они будут определяться сигналами двух исправных устройств. Если каждое из устройств разбить на несколько блоков, между которыми встроить мажоритарные элементы, можно еще более повысить надежность устройства в целом. Для систем мажоритарного



резервирования специально разработана микросхема КР1533ЛПЗ (рис. 3.11), которая содержит три мажоритарных элемента, имеющих дополнительный вход управления EC . При $EC = 0$ выходной сигнал каждого элемента равен 1, в случае если не менее чем на двух из трех входов A , B , C действует единичный сигнал. При $EC = 1$ на выход проходит сигнал со входа C независимо от сигналов на других входах.

Рис. 3.11 — Микросхема КР1533ЛПЗ

4 БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

4.1 Классификация логических элементов

Для современной схемотехники характерно широкое использование базисов И-НЕ и ИЛИ-НЕ. Для их реализации логические элементы строят, как правило, из двух частей: части схемы, выполняющей операции И или ИЛИ (так называемой входной логики), и инвертора, выполняющего операцию НЕ. Входная логика может быть выполнена на различных полупроводниковых элементах: диодах, биполярных и полевых транзисторах. В зависимости от вида полупроводниковых элементов, применяемых для изготовления входной логики и инверторов, различают:

- ДТЛ — диодно-транзисторную логику;
- ТТЛ — транзисторно-транзисторную логику;
- ТТЛШ — ТТЛ с диодами Шоттки;
- ЭСЛ — эмиттерно-связанную логику;
- И²Л — интегральную инжекционную логику;
- КМОП — логику на комплементарных парах полевых транзисторов;
- ИСЛ (GaAs) — истоково-связанная логика с управляющим затвором Шоттки.

В следующих параграфах будет рассмотрено устройство и работа базовых элементов ТТЛ, ТТЛШ, ЭСЛ и КМОП, как имеющих в настоящее время наиболее широкое применение.

4.2 Базовый элемент ТТЛ

Транзисторно-транзисторная логика (ТТЛ) малой степени интеграции появилась на первом этапе развития интегральной схемотехники (1969–1985 гг.). Эти схемы характеризуются хорошими электрическими параметрами, удобны в применении, обладают большим функциональным разнообразием. Отечественная промышленность выпускала микромощную серию 134 и стандартные серии 133, 155 (аналоги зарубежных SN54, SN74).

Простейший логический элемент ТТЛ строится на базе многоэмиттерного транзистора $V T_m$, выполняющего функцию И для

сигналов, подаваемых на его эмиттеры, и транзисторного ключа $VT1$, выполняющего функцию НЕ (рис. 4.1, а). Если на всех входах высокие уровни напряжения ($A=1$ и $B=1$), закрыты эмиттерные переходы VT_m , открывается переход база-коллектор этого транзистора и ток I открывает и насыщает ключевой транзистор $VT1$, формируя на выходе низкий уровень напряжения ($F=0$). При низком уровне сигнала на любом из входов ток I переключается в выходную цепь источника сигнала, закрывая $VT1$. При этом $F=1$. Таким образом, схема реализует таблицу истинности элемента 2И-НЕ.

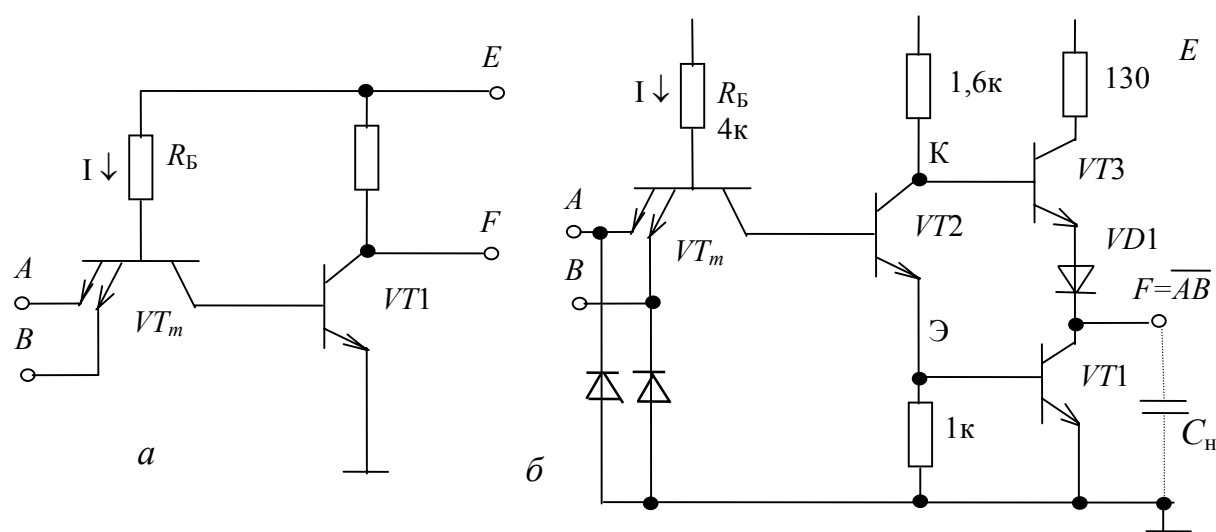


Рис. 4.1 — Базовая схема элемента ТТЛ

Для повышения экономичности и быстродействия выходной ключ выполняют по схеме сложного инвертора (рис. 4.1, б). При $A=B=1$ открыты транзисторы $VT2$, $VT1$ (транзистор $VT3$ закрыт), и емкость нагрузки C_H быстро разряжается через сопротивление открытого ключа $VT1$. Для любой другой комбинации входных сигналов емкость нагрузки имеет возможность быстро зарядиться до высокого уровня напряжения через низкое выходное сопротивление эмиттерного повторителя $VT3$ ($VT2$ и $VT1$ закрыты).

Собственное потребление тока в выходной цепи отсутствует как при логическом нуле на выходе (закрыт $VT3$), так и при логической 1 на выходе (закрыт $VT1$). В этом отношении сложный инвертор на биполярных транзисторах подобен инвертору на КМОП-транзисторах.

Для повышения помехоустойчивости эмиттеры VT_m часто соединяют с корпусом через диоды, запертые для входных сигналов положительной полярности. Они открываются только при отрицательной полярности импульсов, которые могут возникать при переходных процессах в схеме.

Описанный элемент имеет так называемый стандартный выход с нагрузочной способностью $n=10$. Функциональные возможности элемента могут быть расширены за счет подключения логического расширителя, а также за счет придания выходу таких особенностей, как выход с открытым коллектором, выход с открытым эмиттером, выход с Z -состоянием.

4.3 Логический расширитель

В схеме *логического расширителя* (рис. 4.2, а) задействованы лишь элементы R_B , VT_m и VT_2 базовой схемы. Логические расширители (например, К155ЛД1) используются совместно с другими логическими элементами (например, К155ЛР3 или К155ЛР1), имеющими соответствующие входы К и Э (см. точки К и Э базовой схемы ТТЛ). При подключении логического расширителя к базовой схеме логического элемента И-НЕ (рис. 4.2, б) формируется элемент двухступенчатой логики И-ИЛИ-НЕ.

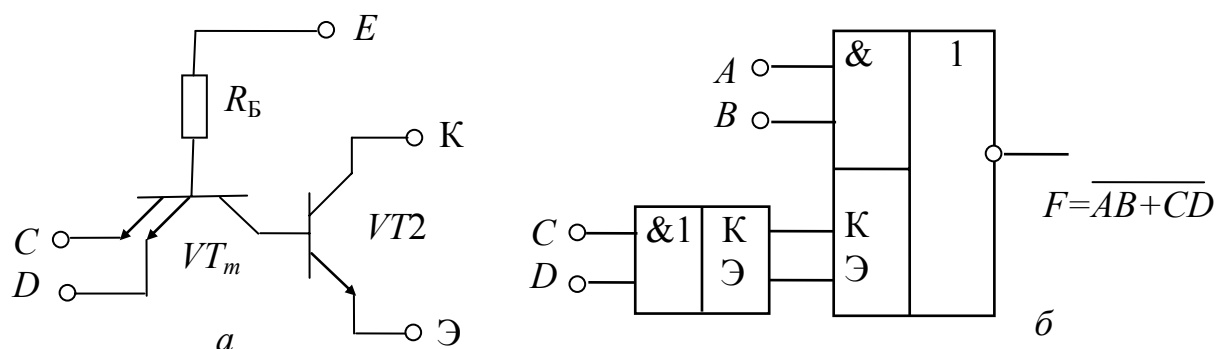


Рис. 4.2 — Логический расширитель и его подключение к базовой схеме логического элемента ТТЛ

4.4 Элемент с открытым коллектором

В элементе с *открытым коллекторным выходом* (рис. 4.3, а) VT_3 и VD_1 отсутствуют. Вместо них подключают элементы автоматики (обмотки реле) или индикации (например,

светодиод). Такие элементы допускают гальваническое объединение выходов. Пример применения логического элемента с открытым коллекторным выходом (микросхема К155ЛА8) показан на рис. 4.3, б. Логические элементы с открытым коллектором позволяют осуществлять непосредственное соединение (пайку) между собой выводов нескольких микросхем. При этом обеспечивается реализация дополнительной логической функции. На выходе F реализуется логическая функция $F = Y1 \cdot Y2 = \overline{AB} \cdot \overline{CD}$ — монтажное И, т. е. логическая единица на выходе F появится только тогда, когда заперты все выходные транзисторы элементов, коллекторы которых подключены к резистору R .

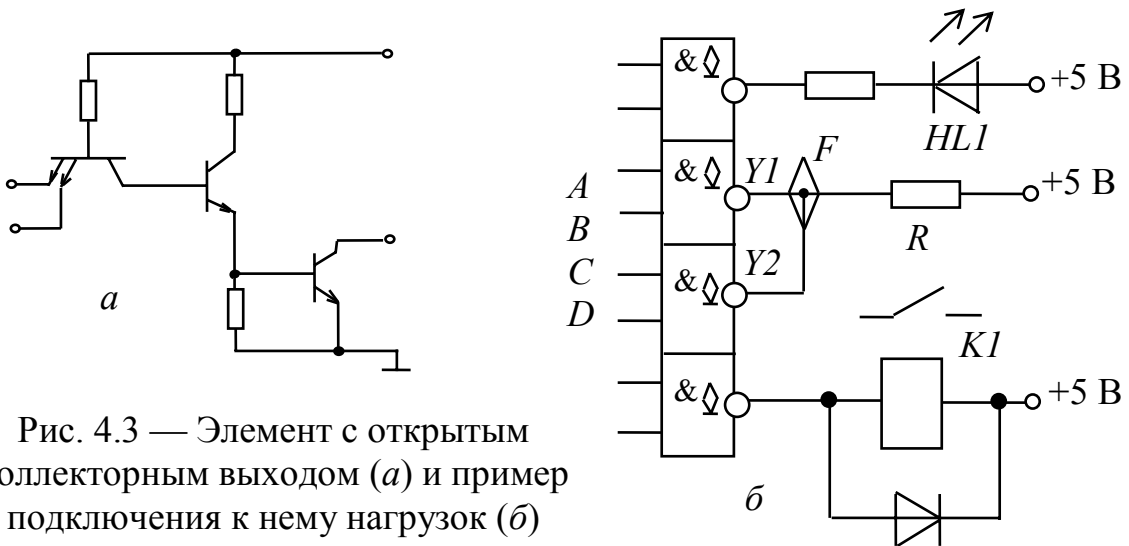


Рис. 4.3 — Элемент с открытым коллекторным выходом (а) и пример подключения к нему нагрузки (б)

4.5 Элемент с Z-состоянием на выходе

Схема с открытым коллектором имеет существенный недостаток — переход в высокоомное (единичное) состояние происходит из-за влияния паразитных емкостей всегда медленнее, чем переход в низкоомное (нулевое). Вместо элементов с открытым коллектором лучше использовать *элементы с тремя состояниями на выходе* (рис. 4.4). При высоком уровне на входе EZ выход переходит в третье (высокоимпедансное) состояние. При $EZ=0$ схема работает как обычный элемент И-НЕ. В Z-состоянии закрыты все три транзистора базовой схемы.

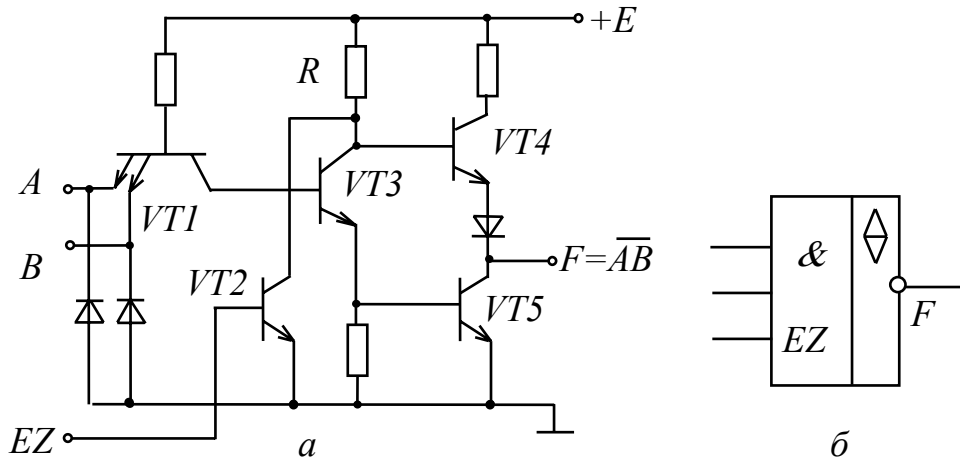


Рис. 4.4 — Элемент ТТЛ с Z-состоянием (а) и его УГО (б)

4.6 Рекомендации по применению элементов ТТЛ

Широко распространенные серии ИМС, как правило, содержат в одном корпусе несколько логических элементов: четыре ЛЭ типа 2И или 2И-НЕ, три ЛЭ типа 3И или 3И-НЕ, два — 4И или 4И-НЕ и один восьмивходовой ЛЭ И-НЕ. При практической реализации принципиальной схемы возникают ситуации, когда не все входы оказываются задействованы, и встает вопрос о том, как правильно распорядиться ими. Неиспользованные ЛЭ рекомендуется включать так, чтобы их выходы имели высокий потенциал, для чего на входы элементов И-НЕ, ИЛИ-НЕ подают уровень логического 0 (заземляют). При этом уменьшается рассеиваемая мощность, а сами выходы можно использовать в качестве логической 1 для входов других ЛЭ.

Незадействованные входы одного логического элемента используют следующим образом:

- объединяют с другими входами ЛЭ, учитывая, что при этом возрастает нагрузка на источник сигнала и увеличивается входная емкость;
- если на неиспользованном входе должен быть уровень логического 0, то данный вход можно просто заземлить.

Если на неиспользованном входе должен быть уровень логической 1, то этот вход можно подключить к выходу другого

ЛЭ, на котором постоянно установлен высокий уровень 2,4–3,6 В, либо через резистор 1–2 кОм можно подключить к источнику питания до 20 неиспользуемых входов. Формально такой вход можно оставить свободным, однако при этом снижается помехоустойчивость ЛЭ, поскольку на него наводятся сигналы помех. Особое внимание следует уделить фильтрации питания по низкой и высокой частоте. Рекомендуется у каждой ИМС ставить высокочастотный керамический конденсатор 0,01–0,1 мкФ, а на шину питания, электролитический конденсатор емкостью в нескольких десятках микрофард.

Замечания к обозначениям логических элементов, выполняемых в соответствии с требованиями ГОСТ 2. 743-82.

1. Все входы и выходы, имеющие определенное функциональное назначение, должны обозначаться латинскими буквами, взятыми из английских слов, отражающих данное функциональное назначение.

2. Буквенные обозначения, указанные на левом и правом дополнительных полях, должны быть без инверсий. Инверсные входные и выходные сигналы обозначаются указателем инверсии (кружок), который указывает, кроме того, активный уровень входных и выходных сигналов, имеющих строго определенное функциональное назначение.

4.7 Базовый элемент ТТЛШ

Базовый элемент ТТЛШ выполняется подобно элементу ТТЛ, но коллекторные переходы транзисторов зашунтированы диодами Шоттки. Диоды Шоттки исключают насыщение транзисторов, поэтому схемы ТТЛШ свободны от недостатков, связанных с рассасыванием избыточных зарядов, и позволяют существенно повысить быстродействие по сравнению с ТТЛ-логикой.

В маломощных микросхемах ТТЛШ высокое быстродействие сочетается с умеренным потреблением мощности. Вместо многоэмиттерного транзистора в таких ИМС, как в ДТЛ, используются диоды Шоттки (рис. 4.5).

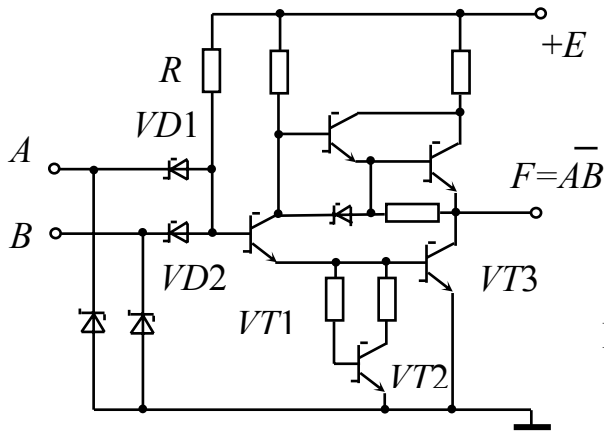


Рис. 4.5 — Базовый элемент ТТЛШ

4.8 Базовая схема ЭСЛ

Эмиттерно-связанная логика. Элементы ЭСЛ являются основной базой для микросхем сверхвысокого быстродействия. Для уменьшения задержек переключения транзисторы в элементах ЭСЛ не насыщаются. Уменьшению задержек способствует также уменьшение логического перепада и использование эмиттерных повторителей для ввода и вывода сигналов (рис. 4.6).

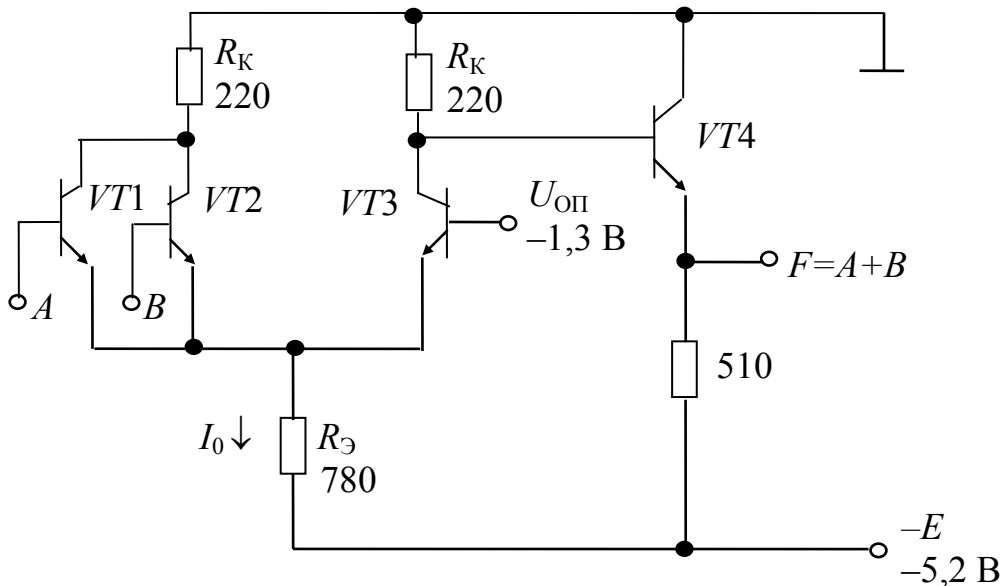


Рис. 4.6 — Базовая схема ЭСЛ

Элемент ЭСЛ реализует переключение тока I_0 . При закрытых $VT1$ и $VT2$ ($A = B = 0$) ток I_0 течет через транзистор $VT3$. Для этого на базу $VT3$ подается постоянное опорное напряжение $U_{оп}$. На коллекторе транзистора $VT3$ за счет падения напряжения на

резисторе R_k формируется низкий потенциал, который повторяется на выходе (уровень логического нуля).

При подаче высокого уровня (логической 1) на базу хотя бы одного из транзисторов $VT1$ или $VT2$, ток I_0 течет через них, а транзистор $VT3$ закрыт и его высокий потенциал формирует на выходе логическую 1. Следовательно, элемент ЭСЛ на выходе реализует функцию ИЛИ. На выходе эмиттерного повторителя, подключенного к коллектору транзисторов $VT1$ и $VT2$, можно реализовать логическую функцию ИЛИ-НЕ.

Напряжение питания ЭСЛ обычно выбирается равным $-5,2$ В, уровню логической 1 соответствует напряжение $-0,8$ В, а уровню логического нуля $-1,7$ В.

Несмотря на малые значения времени переключения импульсные помехи в цепях питания незначительны, так как потребление тока в этой схеме не изменяется при ее переключении.

4.9 Базовые элементы КМОП

Логические элементы КМОП (например, серии КР1564) строятся на комплементарных парах полевых транзисторов с изолированным затвором с индуцированными n - и p -каналами (рис. 4.7).

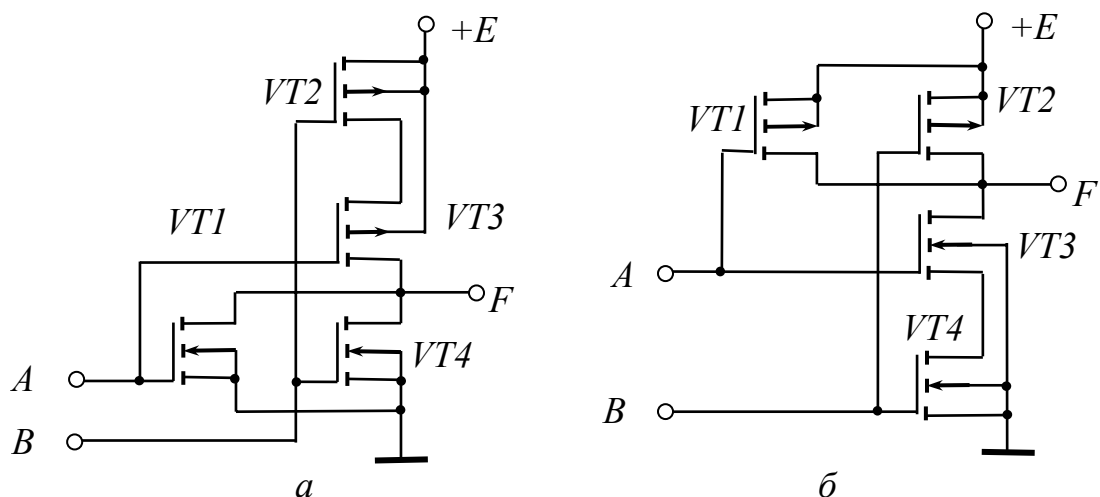


Рис. 4.7 — Базовые элементы КМОП-логики:
 а — 2ИЛИ-НЕ; б — 2И-НЕ

Общая закономерность построения таких структур состоит в том, что параллельное соединение одного типа транзисторов со-

проводяется последовательным соединением транзисторов противоположного типа. Транзисторы с проводимостью n -типа открываются при единичном сигнале на затворе, с проводимостью p -типа — при логическом нуле на затворе. Так как любой из входных сигналов (A или B) подается на пару транзисторов разного типа, ток в цепи источника питания E отсутствует. Элемент КМОП характеризуется очень низкой статической мощностью потребления.

На комплементарной паре транзисторов строятся также дву-

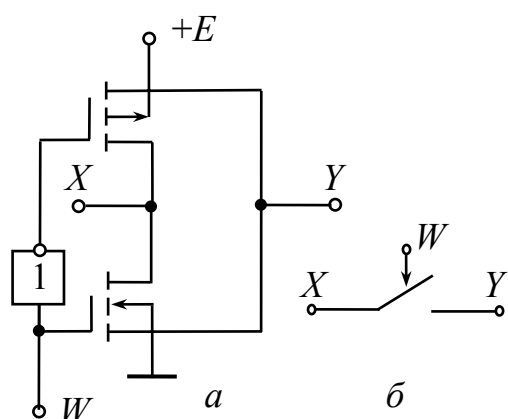


Рис. 4.8 — Ключ КМОП:
а — схема; б — электрический эквивалент ключа

направленные ключи (рис. 4.8). При $W = 1$ ключ замкнут (между точками X и Y сопротивление примерно 100 Ом), при $W = 0$ — разомкнут. Такие ключи используются для коммутации не только цифровых, но и аналоговых сигналов. Их добавление к выходам обычного логического элемента обеспечивает ему третье состояние (состояние разомкнутого выхода), в которое он переходит при $W = 0$.

4.10 Основные характеристики логических элементов

Интегральные микросхемы малой и средней степени интеграции изготавливают на основе всех рассмотренных технологий. Основными техническими параметрами логических элементов являются быстродействие, потребляемая мощность, помехоустойчивость, нагрузочная способность, уровни напряжения, соответствующие логическому 0 или логической 1.

Познакомимся с ними, анализируя характеристики инвертора (элемента НЕ, рис. 4.9, а).

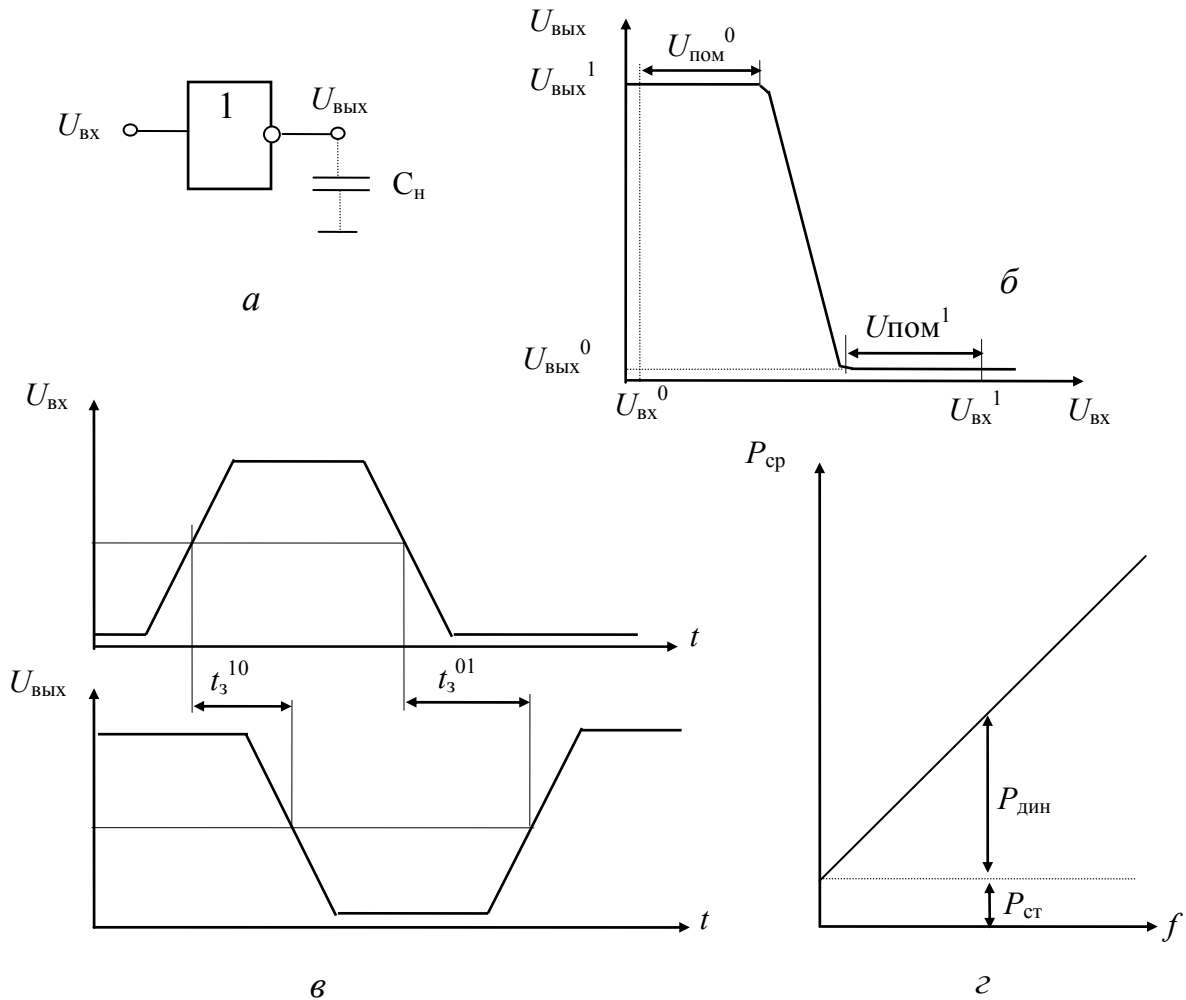


Рис. 4.9 — Основные характеристики логического элемента

В справочниках приводится диапазон напряжений, соответствующих уровню логического нуля ($U_{\text{ВХ}}^0$, $U_{\text{ВЫХ}}^0$) и единицы ($U_{\text{ВХ}}^1$, $U_{\text{ВЫХ}}^1$). На рис. 4.8, б показана передаточная характеристика инвертора. При определенном входном напряжении происходит переключение ЛЭ. Обозначены отрезки, характеризующие допустимую величину помехи на входе при низком ($U_{\text{ПОМ}}^0$) и высоком ($U_{\text{ПОМ}}^1$) уровне $U_{\text{ВХ}}$. Наименьшая из них приводится в справочниках, характеризуя статическую помехоустойчивость ЛЭ.

При подаче на вход инвертора импульса $U_{\text{ВХ}}$ выходной сигнал оказывается задержанным на время задержки $t_{\text{з}} = \frac{t_{\text{з}}^{10} + t_{\text{з}}^{01}}{2}$ (рис. 4.9, в). Задержка обусловлена инерционными свойствами транзисторов и перезарядом паразитных емкостей (в основном емкостью нагрузки $C_{\text{Н}}$).

Потребляемая мощность P_{cp} определяется как среднее арифметическое значение мощностей, потребляемых ЛЭ в состояниях логического 0 и логической 1 на выходе. Она существенно зависит от частоты входного сигнала. Зависимость $P_{\text{cp}} = F(f)$ можно снять, подавая с генератора на вход инвертора прямоугольные импульсы со скважностью, равной двум (рис. 4.9, з). P_{cp} определяется как сумма статической ($P_{\text{ст}}$) и динамической ($P_{\text{дин}}$) составляющих. $P_{\text{дин}} = CU^2f$ возрастает пропорционально частоте, где U — величина логического перепада ($U = U_{\text{вых}}^1 - U_{\text{вых}}^0$).

Нагрузочная способность n характеризует число входов аналогичных ЛЭ, которое можно подключить к выходу данного без нарушения его нормального функционирования.

Проводя сравнительный анализ различных типов ИМС, можно отметить, что элементы ТТЛ характеризуются средним быстродействием. Им на смену пришли элементы ТТЛШ повышенного быстродействия и более экономичные. Самыми экономичными являются элементы КМОП. Самыми быстродействующими являются элементы ЭСЛ, но они потребляют большую мощность от источника питания и работают от источника с отрицательной полярностью напряжения питания, хотя и в формате положительной логики.

Основные параметры микросхем серий К155 (ТТЛ), К555 (маломощная ТТЛШ), КР1533 (усовершенствованная маломощная ТТЛШ), КР531 (быстродействующая ТТЛШ) приведены в табл. 4.1.

Таблица 4.1 — Основные параметры серий ТТЛ и ТТЛШ

Параметр	К155	К555	КР1533	КР531
P_{cp} , мВт	10	2	1.2	19
t_3 , нс	20	18	14	5
n	10	20	40	10

Основные характеристики микросхем КМОП (серии 564, К1564):
 Напряжение питания E , В.....3–15
 Мощность, потребляемая в статическом режиме, мВт / корпус0,1
 при $F = 1$ МГц, $E = 10$ В, $C_{\text{нагр}} = 50$ пФ.....20
 Помехоустойчивость по входам, В не менее 0,3 E
 Средняя задержка распространения сигнала на один
 логический элемент при $C_{\text{нагр}} = 15$ пФ, $E = 5$ В, нс.....60

4.11 Примеры микросхем логических элементов

На рис. 4.10 приведены УГО некоторых логических элементов. Корпус микросхем логических элементов имеет, как правило, 14 выводов. Два вывода служат для подключения к источнику питания, а 12 — являются входами и выходами ЛЭ. Нумерация выводов — против часовой стрелки, начиная с метки (ключа) в виде углубления на корпусе.

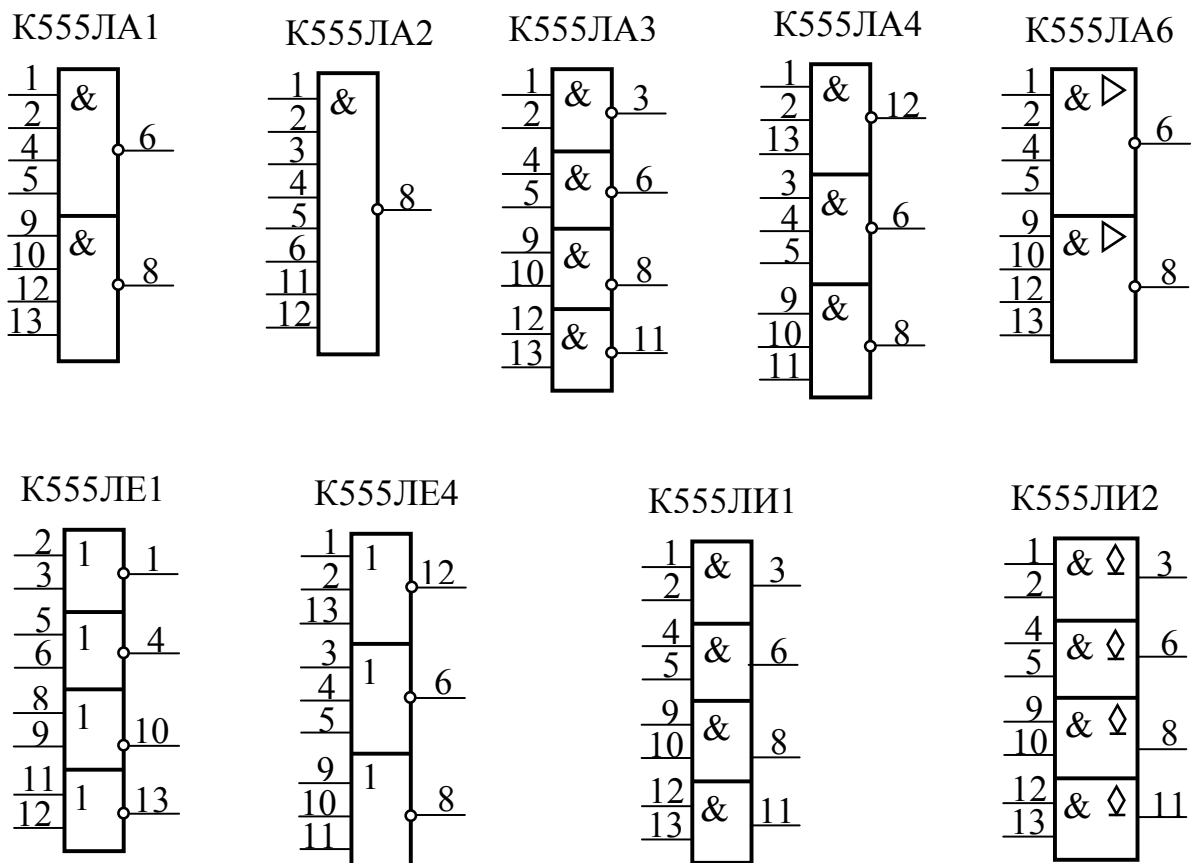


Рис. 4.10 — Примеры микросхем логических элементов

Многие серии цифровых интегральных микросхем включают шинные формирователи. Так иначе называют буферные элементы с тремя состояниями на выходе (рис. 4.11). Основное назначение таких микросхем — поочередная подача на одну магистраль сигналов от различных источников. Причем благодаря большой нагрузочной способности микросхем магистраль может иметь большую емкость и большое число подключенных к ней нагрузок и источников сигналов.

На рис. 4.11, *а* показано УГО ИМС восьмиразрядного двунаправленного приемопередатчика К555АП6. Вход управления *BS* (Bus State — состояние шины) служит для изменения направления передачи данных, вход управления *OE* служит для перевода шин A_N и B_N в третье состояние. При $BS = \overline{\overline{I}} \overline{\overline{A}} = 0$ передача данных идет справа налево, т. е. B_N являются входами, A_N — выходами. При $BS = 1, \overline{\overline{I}} \overline{\overline{A}} = 0$ данные A_N являются входными, B_N — выходными. При $\overline{\overline{I}} \overline{\overline{A}} = 1$, независимо от состояния входа управления *BS*, обе шины находятся в состоянии *Z*.

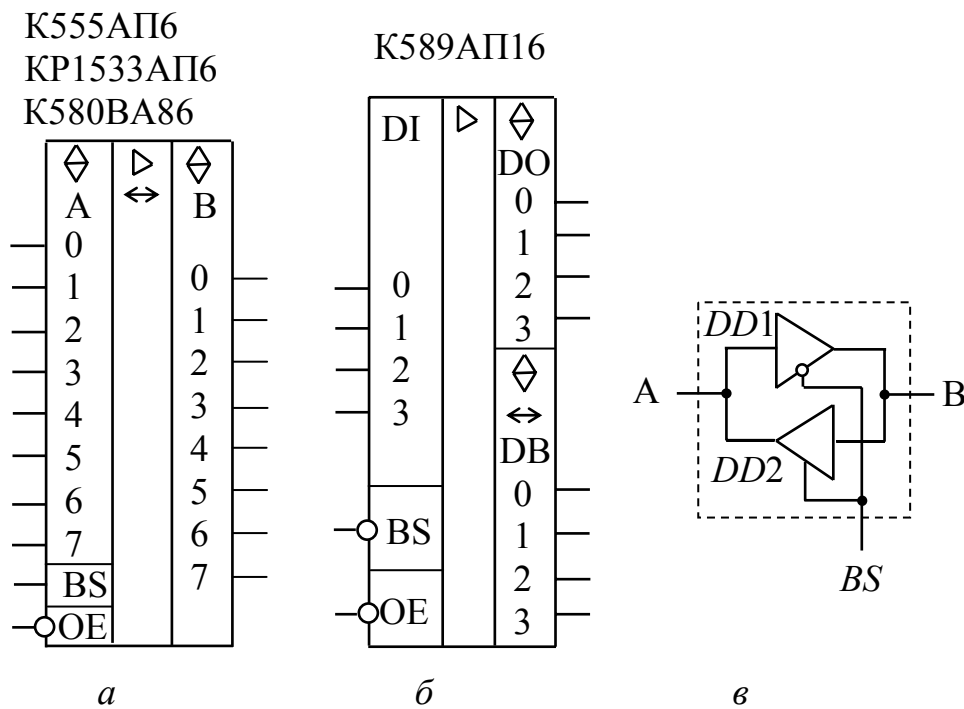


Рис. 4.11 — Логические ИМС — шинные формирователи:
а — восьмиразрядный двунаправленный приемопередатчик;
б — четырехразрядный приемопередатчик с двумя
однонаправленными и с одной двунаправленной шинами;
в — функциональная схема одного двунаправленного канала

Рис. 4.11, *б* показывает УГО ИМС четырехразрядного приемопередатчика с двумя однонаправленными (*DI* — *DB*, *DB* — *DO*) и одной двунаправленной (*DB*) шинами. Вход управления *BS* определяет направление обмена данными, вход управления *OE* служит для перевода шин *DO* (Data Output — выходные данные) и *DB* (Data Bus Bidirectional — двунаправленная шина) в третье

состояние. При $BS=0$ выход буфера $DD2$ разомкнут и передача данных происходит от А к В через буфер $DD1$. При $BS=1$ данные передаются от В к А через буфер $DD2$. В микросхеме К589АП26 передача сигнала в обоих направлениях сопровождается его инвертированием.

4.12 Микросхемы на основе арсенида галлия

Микросхемы К6500 представляют собой цифровые схемы сверхвысокого быстродействия, выполненные на основе арсенид-галлиевых полевых транзисторов с затвором Шоттки.

Микросхемы К6500 по сравнению с ИС ЭСЛ К500, К1500 имеют в 4–6 раз меньшую мощность потребления на один ЛЭ и в 3–8 раз большую частоту переключения и меньшую задержку на ЛЭ.

В серии имеют место следующие основные параметры логических сигналов: длительность фронта (среза) выходного сигнала 0,16...0,3 нс, выходное напряжение при $R_n = 50$ Ом низкого уровня — 0,2...0,1 В, высокого уровня — 0,9...1,5 В, входной ток низкого уровня не более 0,5 мА, высокого уровня — не более 1 мА, помехозащищенность низкого и высокого уровня — не менее 0,1 В, максимальная частота функционирования не менее 1000 МГц.

Цифровые микросхемы К6500 предназначены для обработки цифровых сигналов с тактовой частотой более 1000 МГц в контрольно-измерительных приборах, аппаратуре связи и ЭВМ.

При эксплуатации ИС К6500 имеют место предельно допустимые режимы, приведенные ниже.

Напряжение питания:	
положительное	3,8...4,2 В
отрицательное	-2,28...2,52 В
Входное напряжение	-0,2...1,5 В
Выходной ток	не менее 30 мА
Несогласованная емкость нагрузки C_n	не более 2 пФ
Температура корпуса	-10...+70 °С
Сопротивление нагрузки	45...55 Ом
Стойкость к статическому электричеству	30–100 В

Микросхемы выполнены в плоских планарных металлокерамических корпусах с числом выводов 16, 24, 42. При обозначении ИС К6500 микросхемы эксплуатируются в диапазоне температур $-10 +70$ °С, а при обозначении 6500 — в диапазоне температур $-60 +125$ °С.

Микросхемы К6500 построены на основе базовых ЛЭ истоково-связанной логики (ИСЛ) на полевых транзисторах с управляющим затвором Шоттки.

В структурной схеме ЛЭ имеются входные и выходной формирователи сигналов и собственно базовый ЛЭ. Один из основных вариантов реализации собственно базового ЛЭ на полевых транзисторах Шоттки приведен на рис. 4.12.

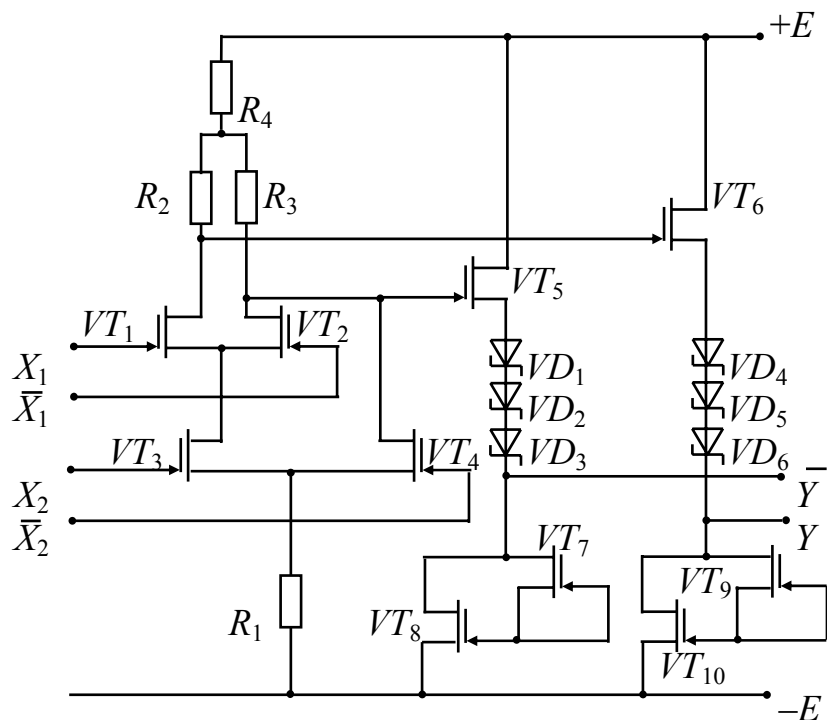


Рис. 4.12 — Типовой базовый ЛЭ с истоково-связанной логикой (ИСЛ) на основе арсенидогаллиевых полевых транзисторов с барьером Шоттки

Базовый элемент построен по схеме переключателя тока на основе дифференциальных пар транзисторов VT_1, VT_2 и VT_3, VT_4 ; резистора R_1 , определяющего ток истока; нагрузочных резисторов R_2, R_3 и резистора смещения R_4 для согласования по уровням напряжения выходов истокового переключателя тока и выходных истоковых повторителей на транзисторах VT_5, VT_6 . Диоды Шотт-

ки $VD_1–VD_6$ и транзисторы $VT_7–VT_{10}$ в цепях истоков выходных транзисторов необходимы для согласования с выходным формирователем и стабилизации выходного напряжения. Питание ЛЭ и формирователей осуществляется от двух источников напряжения: 4 В и $-2,45$ В.

5 ЦИФРОВЫЕ УСТРОЙСТВА КОМБИНАЦИОННОГО ТИПА

5.1 Шифратор

Шифратор (CD — CoDer — кодер) — это устройство, осуществляющее преобразование десятичных чисел (позиционный или унитарный код) в двоичный код. Шифратор имеет m входов, пронумерованных десятичными числами (0, 1, 2... $m - 1$) и n выходов, причем $2^n \geq m$. Подача управляющего сигнала на один из входов приводит к появлению на выходе n -разрядного двоичного числа, соответствующего номеру возбужденного входа.

Шифраторы широко применяются в устройствах автоматики, особенно в устройствах ввода/вывода информации. На клавиатуре ввода имеются клавиши с десятичными цифрами, буквенный алфавит, а при нажатии клавиши позиционный код должен преобразоваться в двоичный.

Рассмотрим вариант построения шифратора для случая, когда при нажатии кнопки вырабатывается сигнал с активным уровнем, соответствующим логической 1. Имеем десятичный позиционный код x_0, x_1, \dots, x_9 , образуемый набором из 10 клавиш, пронумерованных 0–9. Необходимо получить нормально взвешенный код 8-4-2-1 — y_8, y_4, y_2, y_1 , соответствующий номеру нажатой кнопки. Чтобы получить логические выражения для выходных сигналов, воспользуемся таблицей истинности (табл. 5.1).

Таблица 5.1

N	Входные сигналы										Выходной код			
	x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	x_8	x_9	y_8	y_4	y_2	y_1
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	1
2	0	0	1	0	0	0	0	0	0	0	0	0	1	0
3	0	0	0	1	0	0	0	0	0	0	0	0	1	1
4	0	0	0	0	1	0	0	0	0	0	0	1	0	0
5	0	0	0	0	0	1	0	0	0	0	0	1	0	1
6	0	0	0	0	0	0	1	0	0	0	0	1	1	0
7	0	0	0	0	0	0	0	1	0	0	0	1	1	1
8	0	0	0	0	0	0	0	0	1	0	1	0	0	0
9	0	0	0	0	0	0	0	0	0	1	1	0	0	1

Решение задачи в общем виде в случае десяти переменных представляется весьма трудным. Однако решение задачи упрощается, так как исходная функция принимает единичное значение в каждой строке всего лишь один раз. Нетрудно заметить, что выходные сигналы можно получить дизъюнкцией входных переменных:

$$\begin{aligned} y_8 &= x_8 + x_9; \\ y_4 &= x_4 + x_5 + x_6 + x_7; \\ y_2 &= x_2 + x_3 + x_6 + x_7; \\ y_1 &= x_1 + x_3 + x_5 + x_7 + x_9. \end{aligned}$$

Судя по полученным выражениям, входной сигнал x_0 не участвует в формировании выходного кода. Отсутствие сигнала на любом из остальных входов $x_1 - x_9$ указывает на то, что установлен нулевой набор.

При реализации шифратора на элементах ИЛИ-НЕ, выходные сигналы окажутся инвертированными (рис. 5.1, *а*). На рис. 5.1, *б* представлено условное графическое обозначение данного шифратора, здесь символ CD образован из букв, входящих в английское слово CODER. Входной сигнал x_0 на условном изображении шифратора отсутствует, поскольку не участвует в формировании сигналов выхода.

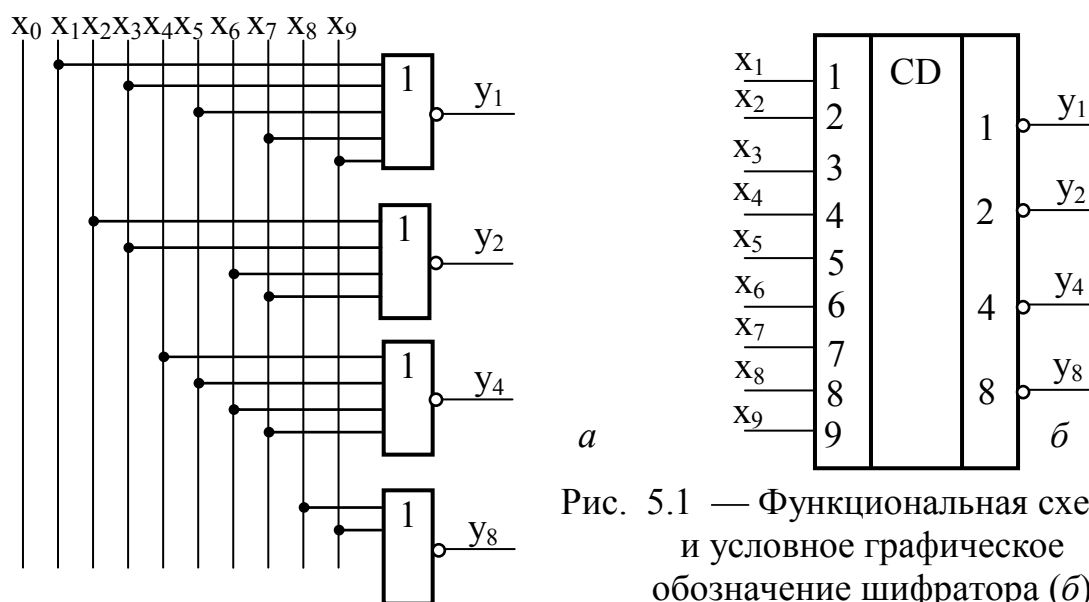


Рис. 5.1 — Функциональная схема (*а*) и условное графическое обозначение шифратора (*б*)

Пример интегральной микросхемы приоритетного шифратора приведен на рис. 5.2. Микросхема К555ИВ3 имеет 9 инверсных входов для подачи кодируемого сигнала и 4 инверсных выхода кода 8-4-2-1. В исходном состоянии на всех входах и выходах логическая 1.

При подаче на любой из входов логического 0 на выходе формируется инверсный код номера этого входа. Если логический 0 подан сразу на несколько входов, код на выходе соответствует наибольшему номеру входа, на который подан логический 0.

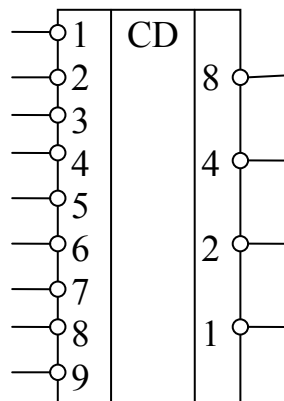


Рис. 5.2 — Приоритетный шифратор К555ИВ3

5.2 Дешифратор

Дешифратор (DC — DeCoder — декодер) — преобразователь n -разрядного двоичного кода в унитарный код «1 из m ». Каждой кодовой комбинации на входах дешифратора соответствует активный уровень только на одном из выходов. Условное графическое обозначение и таблица истинности полного дешифратора на два входа ($n = 2$) представлены на рис. 5.3. Логическая 1 (при активном высоком уровне на выходе) формируется на том выходе дешифратора, адрес которого соответствует набору двоичных сигналов на входах A и B . Выходной код носит название «один из четырех». По таблице истинности легко записать в СДНФ логические функции, связывающие сигналы на каждом выходе дешифратора с его входными сигналами (они показаны на рисунке). Для реализации дешифратора требуются логические элементы И и НЕ.

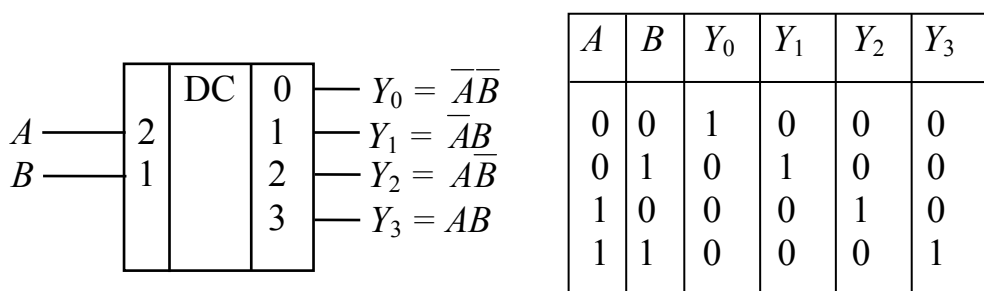


Рис. 5.3 — Полный дешифратор на два входа

При наличии разрешающего входа E (рис. 5.4, а) дешифратор можно использовать как **демультиплексор** — коммутатор сигнала с одного входа на несколько выходов. Сигнал, подаваемый на вход E , повторяется на том выходе Y_i , адрес которого подан на входы A и B . При $E = 0$ работа дешифратора запрещена (на всех выходах устройства логический 0). Реализация демультиплексора на логических элементах показана на рис. 5.4, б.

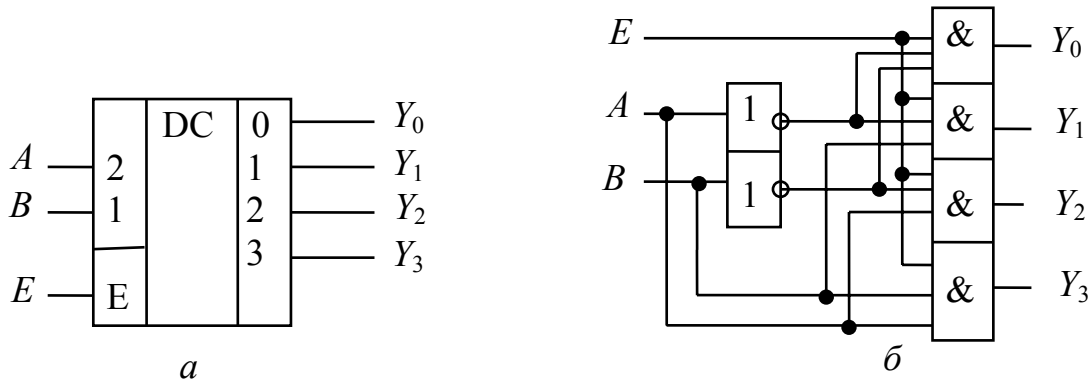


Рис. 5.4 — Демультиплексор

Интегральные микросхемы дешифраторов/демультиплексоров часто имеют инверсные выходы, а также группу разрешающих входов (прямых и инверсных), объединенных логикой И (рис. 5.5).

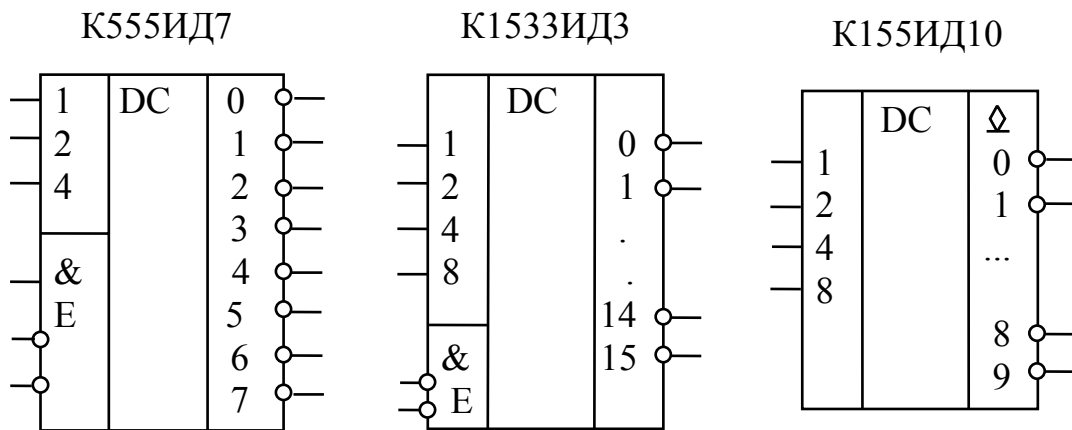


Рис. 5.5 — Примеры микросхем дешифраторов/демультиплексоров

При $E = E_1 \cdot \overline{E_2} \cdot \overline{E_3} = 1$ на входах управления микросхемы K555ИД7 логический 0 (активный уровень — низкий) формируется на том выходе, код которого подан на информационные входы дешифратора.

Сигнал, подаваемый на один из входов E демультимплексора К1533ИДЗ при заземлении второго входа повторится на том выходе микросхемы, код которого подан на адресные входы.

Дешифратор К155ИД10 имеет прямой четырехразрядный двоичный вход и десять инверсных выходов. К открытым коллекторным выходам микросхемы можно подключать любые нагрузки, включая обмотку реле (15 В, 80 мА). Такую же функциональную схему имеет микросхема К155ИД1, предназначенная для управления цифровым газоразрядным индикатором (70 В, 7 мА).

5.3 Преобразователи двоичного кода в двоично-десятичный, и наоборот

Микросхемы К155ПР6 и К155ПР7 служат для преобразования двоично-десятичного кода в двоичный и наоборот. Микросхемы являются постоянными запоминающими устройствами, программирование которых произведено на заводе-изготовителе. Одна микросхема К155ПР6 позволяет выполнить преобразование чисел 0–39 из двоично-десятичного кода в двоичный код. Разряд единиц не подвергается преобразованию, так как он совпадает в двоично-десятичном и двоичном кодах. Аналогично, одну микросхему К155ПР7 можно использовать для преобразования двоичного кода чисел 0–63 в двоично-десятичный. Как правило, разрядности одиночных микросхем недостаточно для решения задач преобразования многоразрядных кодов, в этих случаях применяют каскадное соединение микросхем (рис. 5.6, рис. 5.7).

Для преобразования двоично-десятичных кодов чисел 0–999 в двоичный требуется шесть, а чисел 0–9999 — девятнадцать микросхем К155ПР6, для преобразования двоичных кодов чисел 0–4095 и 0–65535 в двоично-десятичный — соответственно 8 и 16 микросхем К155ПР7.

Микросхемы К155ПР6 и К155ПР7 выполнены с открытым коллекторным выходом, поэтому для обеспечения помехоустойчивой работы микросхем между их выходами и плюсом питания следует устанавливать нагрузочные резисторы $1 \div 5,1$ кОм. Эти резисторы на приведенных схемах не показаны. Вход разрешения работы микросхем E (CS) должен быть подключен к общему проводу, при подаче на него логической 1 все выходные транзисторы переходят в выключенное состояние.

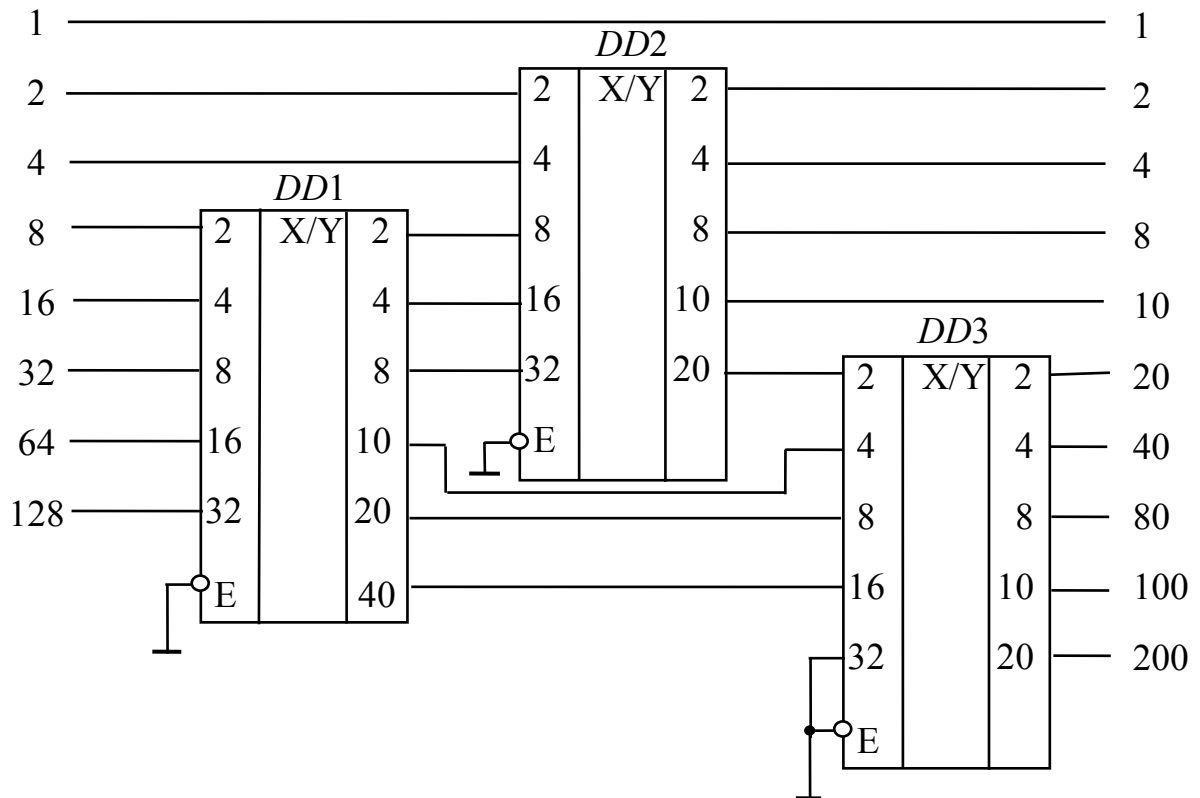


Рис. 5.6 — Преобразователь двоичного кода чисел от 0 до 255 в двоично-десятичный на микросхемах К155ПР7

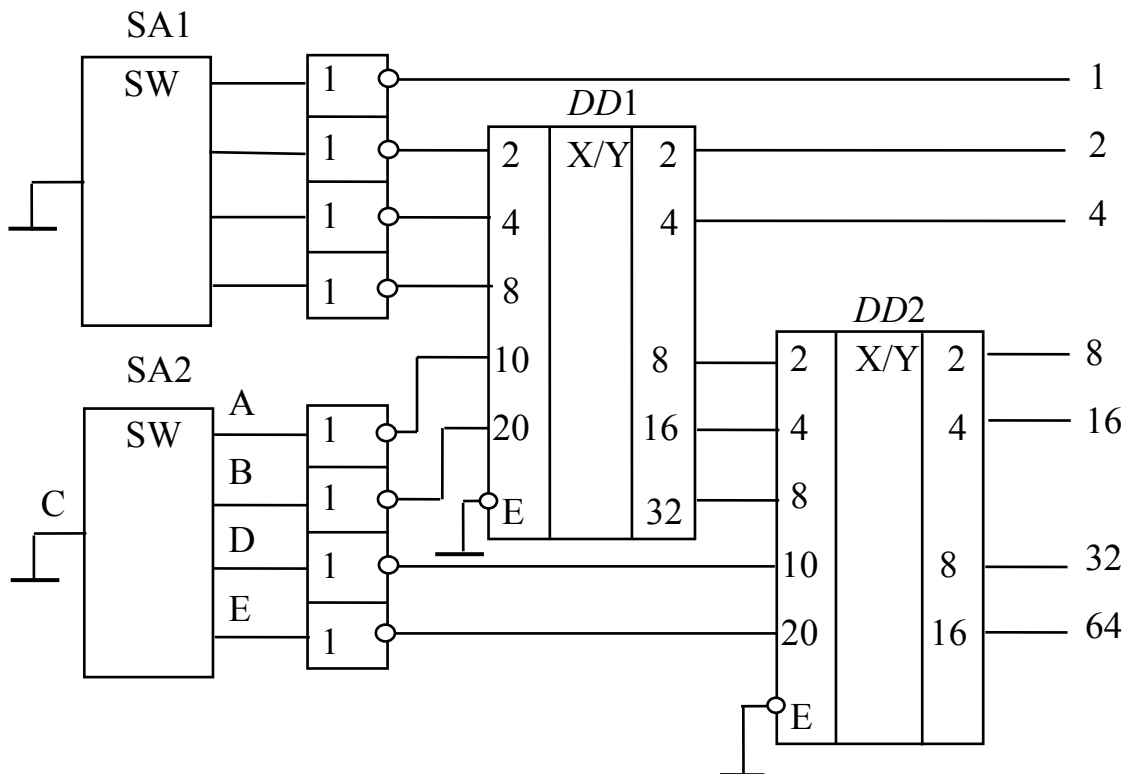


Рис. 5.7 — Преобразователь двоично-десятичного кода чисел от 0 до 99 в двоичный на микросхемах К155ПР6

На рис. 5.7 показано устройство, формирующее на выходе двоичный код десятичного числа (от 00 до 99), набираемого на лимбах программного переключателя. Программный переключатель *SW* (ПП10-ХВ) представляет собой механическую систему, содержащую вращающийся диск с нанесенными на него металлизированными сегментами и скользящими по ним контактами. При заземленных контактах (вывод *C*) на выводах *A*, *B*, *D*, *E* формируется инверсный двоично-десятичный код числа, набираемого на лимбе вращаемого диска. На лимбе переключателя *SA2* набираются десятки, переключателя *SA1* — единицы.

5.4 Дешифратор для управления семисегментным индикатором

На рис. 5.8, *a* представлена схема подключения дешифратора *K514ИД1* для управления семисегментным цифровым индикатором *АЛС324А* на светодиодах с объединенными катодными выводами (они соединены с общим выводом). При высоком потенциале на входе *E* (активные выходные уровни дешифратора — высокие) ток порядка 5 мА протекает через светодиоды тех сегментов, которые формируют изображение цифры от 0 до 9, двоично-десятичный код которой подан на входы микросхемы *K514ИД1*. На рис. 5.8, *б* приведено стандартное обозначение сегментов семисегментных преобразователей. Сегменты обозначаются латинскими буквами *a*, *b*, *c*, *d*, *e*, *f*, *g*, а точка — буквой *h*.

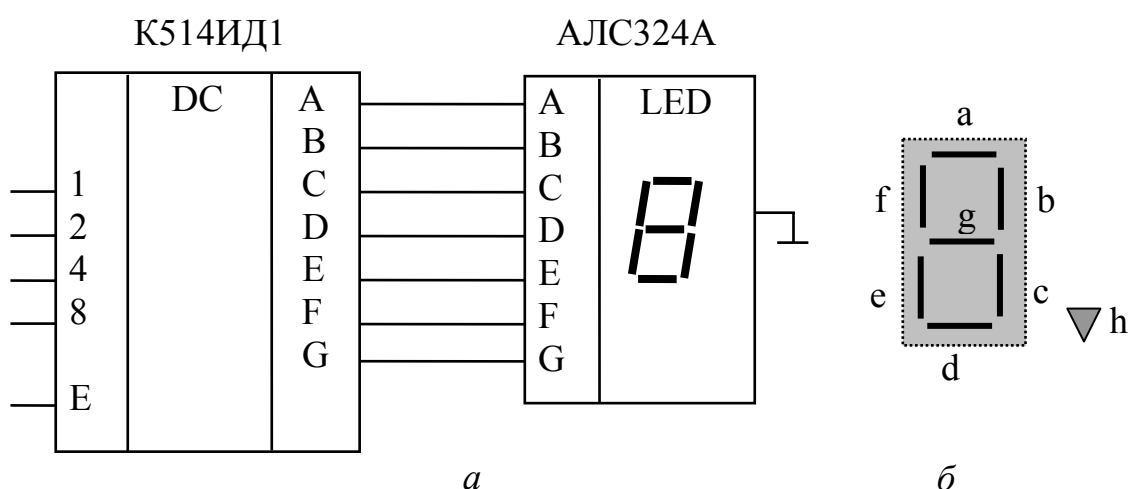


Рис. 5.8 — Соединение дешифратора с 7-сегментным индикатором

При $E = 0$ на выходах дешифратора устанавливаются низкие уровни, и все светодиоды гаснут.

При применении семисегментного цифрового индикатора на светодиодах с объединенными анодными выводами (например, АЛС324Б) на них подается внешний потенциал от источника питания +5 В, а выводы А, В, С, D, Е, F, G соединяются с соответствующими выводами дешифратора К514ИД2 (активные выходные уровни дешифратора — низкие) через резисторы номиналом 330–510 Ом, с помощью которых можно управлять яркостью свечения цифрового индикатора.

5.5 Преобразователи кода Грея

В преобразователях аналоговых физических величин (например, угла поворота вала) в цифровые сигналы с погрешностью, не превышающей значения младшего разряда, используется код Грея (он соответствует непозиционной системе счисления). Код Грея строится таким образом, что при переходе от одного числа к следующему изменяется всегда только один двоичный разряд. Таблица преобразования четырехразрядных двоичных чисел $X (x_4, x_3, x_2, x_1)$ в код Грея $G (g_4, g_3, g_2, g_1)$ приведена ниже. Прямые и обратные преобразователи кода Грея в двоичный код реализуются с помощью логических элементов «Исключающее ИЛИ» (рис. 5.9). Код Грея не позволяет осуществлять арифметические операции. Поэтому его применяют только в тех случаях, когда это дает существенные преимущества, а затем переходят к двоичному коду.

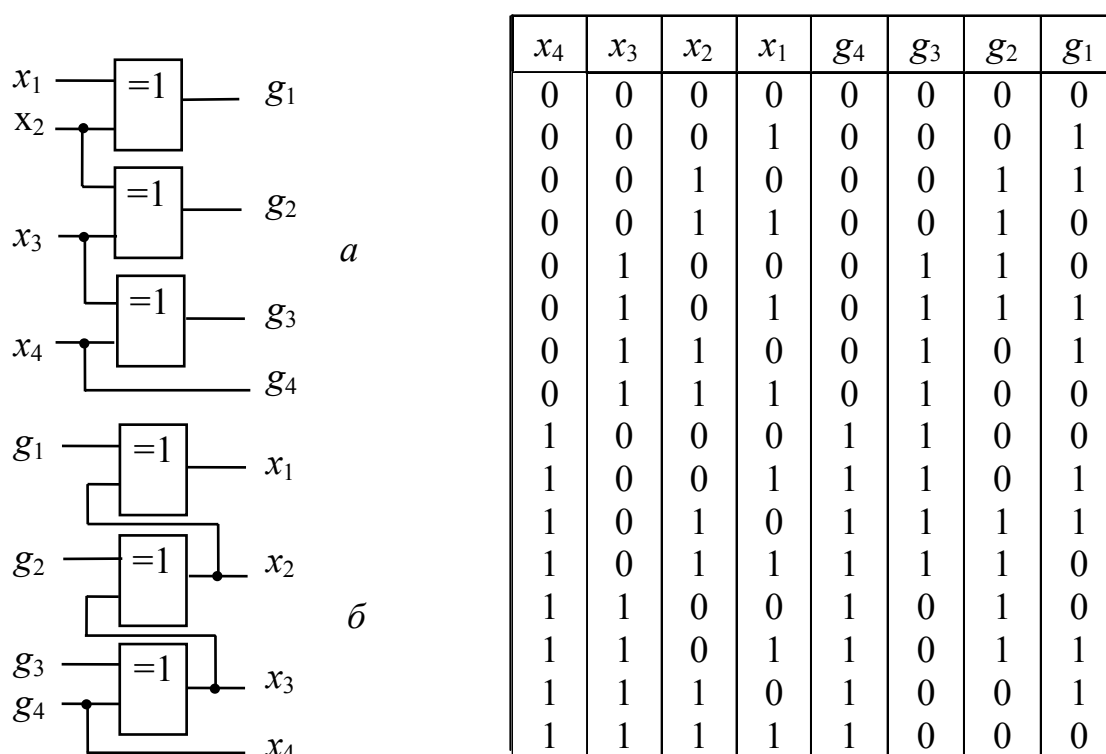


Рис. 5.9 — Схемы преобразования четырехразрядных кодов:
a — двоичного в код Грея; *б* — кода Грея в двоичный код

5.6 Мультиплексор

Мультиплексором (от англ. multiplexer — многократный) называют коммутатор сигналов с нескольких входов на один выход. Для коммутатора с четырех входов X_i на один выход Y (рис. 5.10, *a*) выходной сигнал связан с входными соотношением

$$Y = E(X_0 \overline{AB} + X_1 \overline{A}B + X_2 A\overline{B} + X_3 AB). \quad (5.1)$$

Это выражение показывает путь реализации мультиплексора на логических элементах (рис. 5.10, *б*).

При наличии разрешения на входе E ($E = 1$) выход повторяет информацию того входа, код которого подан на адресные входы A и B . При $E = 0$ коммутатор закрыт ($Y = 0$ независимо от сигналов на входах X_i).

Если цифровой код на адресных входах мультиплексора поочередно перебирает все комбинации двоичных переменных на адресных входах, состояние на выходе последовательно повторя-

ет состояние всех его информационных входов (режим мультиплексирования данных). В этом режиме мультиплексор выполняет преобразование параллельного двоичного кода на информационных входах в последовательный код на его выходе.

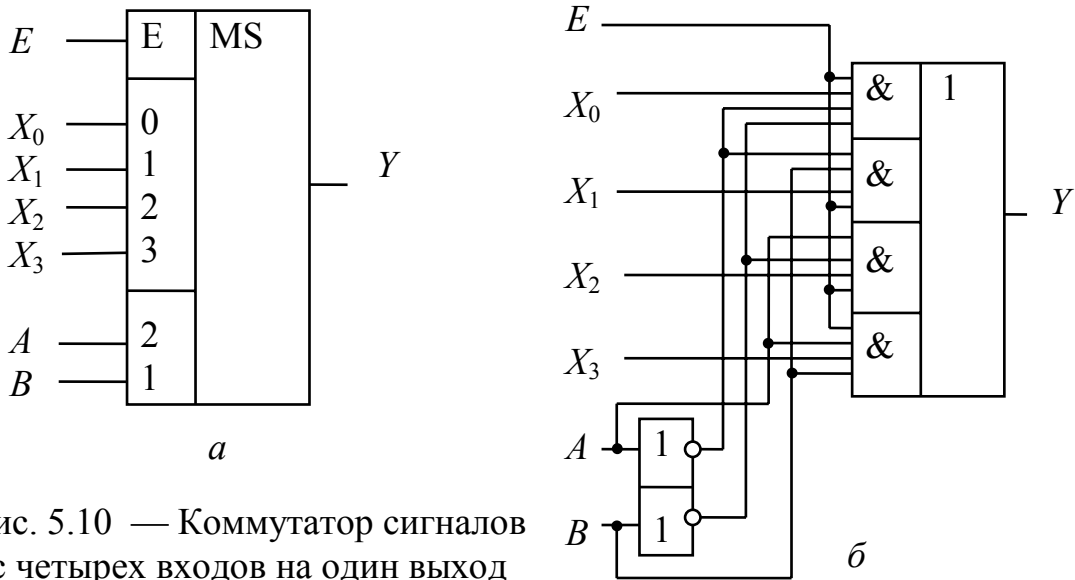


Рис. 5.10 — Коммутатор сигналов с четырех входов на один выход

Микросхемы мультиплексоров отличаются по числу информационных и адресных входов, наличием или отсутствием входа разрешения, характером выходных сигналов (прямые, инверсные или парные). Примеры микросхем мультиплексоров серии К555 приведены на рис. 5.11.

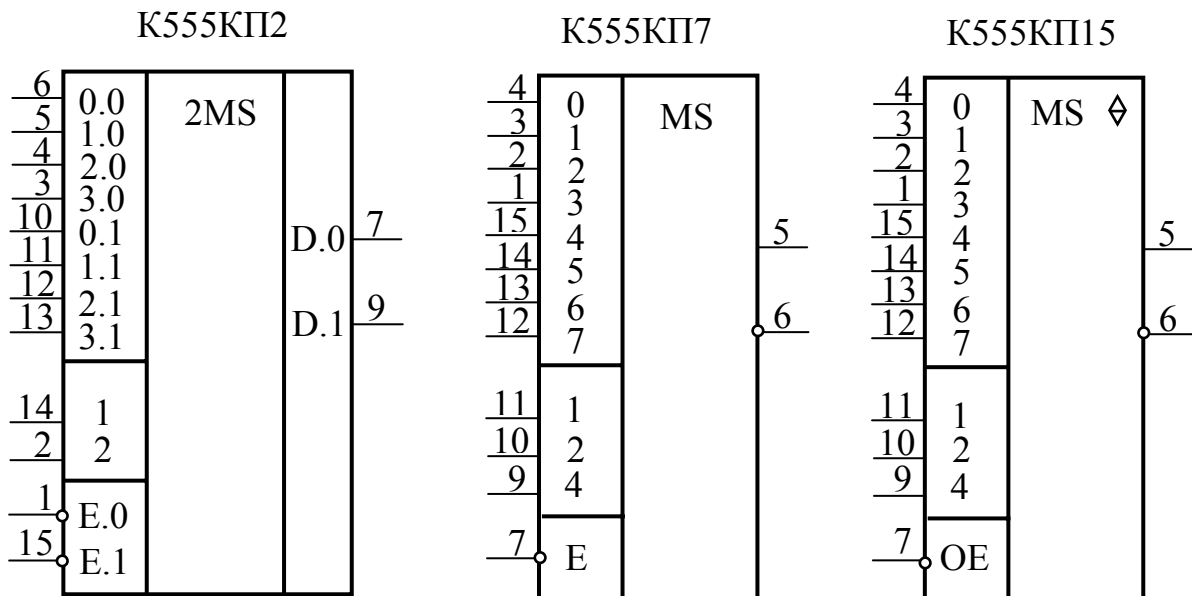


Рис. 5.11 — Примеры микросхем мультиплексоров

Сдвоенный мультиплексор К555КП2 представляет собой два четырехканальных коммутатора с общим адресным дешифратором. При логическом 0, поданном на вход Е.0, на выход D.0 проходит сигнал с одного из входов 0.0–3.0, адрес которого зафиксирован на 2-й и 14-й ножках микросхемы. При логическом 0, поданном на вход Е.1, на выход D.1 проходит сигнал с одного из входов 0.1–3.1.

Мультиплексор К555КП7 имеет восемь информационных входов, три адресных, инверсный вход разрешения. У микросхемы два выхода — прямой и инверсный. При логическом 0 на входе Е сигнал на прямом выходе повторяет сигнал на том информационном входе, номер которого совпадает с десятичным эквивалентом кода на входах 4, 2, 1 мультиплексора. Аналогично работает и микросхема К555КП15, но подача логической 1 на вход ОЕ переводит и прямой, и инверсный выходы в высокоимпедансное состояние.

Среди схем коммутации необходимо особо выделить устройства, которые способны пропускать сигналы в обоих направлениях. К таким элементам относятся коммутационные схемы, выполненные по технологии КМОП с использованием двунаправленных ключей. Коммутаторы КМОП способны пропускать как аналоговые, так и цифровые сигналы, в них можно менять местами вход и выход. Такие микросхемы выполняют функции мультиплексора-демультиплексора.

5.7 Реализация функций с помощью мультиплексора

Мультиплексоры удобно использовать для реализации логических функций, записанных непосредственно в СДНФ. Любую булеву функцию четырех переменных можно реализовать с помощью восьмиканального мультиплексора. Так, для реализации, например, логической функции

$$F = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot \bar{D} + A \cdot \bar{B} \cdot C \cdot D + A \cdot B \cdot C \cdot D,$$

где D — переменная младшего разряда, на адресные входы мультиплексора К555КП7 поданы входные сигналы A, B, C , а входы X_0 – X_7 используются как настроечные (рис. 5.12, а). Сравнивая выражение для функции F с логическим уравнением мультиплексора

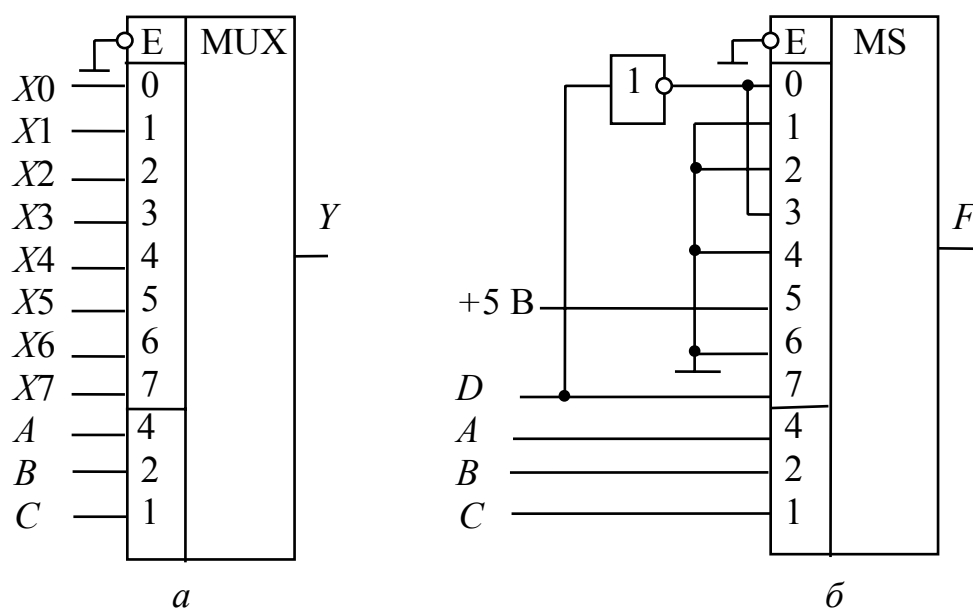


Рис. 5.12 — Реализация заданной булевой функции с помощью мультиплексора

$$Y = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot X_0 + \bar{A} \cdot \bar{B} \cdot C \cdot X_1 + \bar{A} \cdot B \cdot \bar{C} \cdot X_2 + \bar{A} \cdot B \cdot C \cdot X_3 + A \cdot \bar{B} \cdot \bar{C} \cdot X_4 + \\ + A \cdot \bar{B} \cdot C \cdot X_5 + A \cdot B \cdot \bar{C} \cdot X_6 + A \cdot B \cdot C \cdot X_7,$$

получаем условия эквивалентности:

$$X_0 = X_3 = \bar{D}, \quad X_7 = D, \quad X_5 = \bar{D} + D = 1, \quad X_1 = X_2 = X_4 = X_6 = 0.$$

Эти соотношения позволяют зашифровать входы мультиплексора на выполнение заданного логического уравнения.

В соответствии с этими условиями построена схема устройства (рис. 5.12, б). Для подачи логической 1 входы микросхем ТТЛШ серий К555 и КР1533 можно подключать к источнику питания +5 В непосредственно. Для получения сигнала \bar{D} использован инвертор.

5.8 Двоичный сумматор

Двоичный сумматор (SM) (рис. 5.13, а) служит для формирования арифметической суммы n -разрядных двоичных чисел A и B (рис. 5.12, б). Результатом сложения (при $n = 4$) является четырехразрядная сумма S и выход переноса P , который можно рассматривать как пятый разряд суммы.

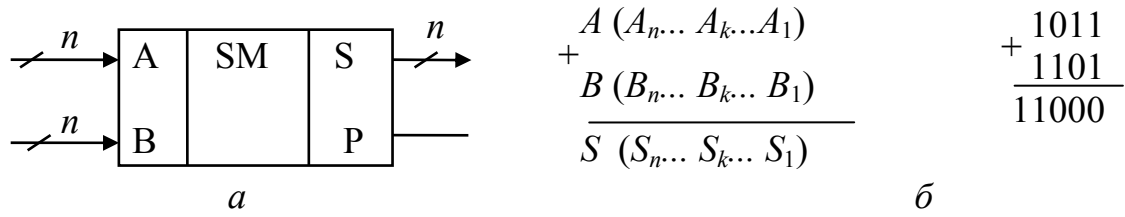


Рис. 5.13 — Двоичный сумматор

Полусумматор (HS) служит для сложения битов младших разрядов двух двоичных чисел (его можно реализовать на ЛЭ по таблице истинности, представленной на рис. 5.14).

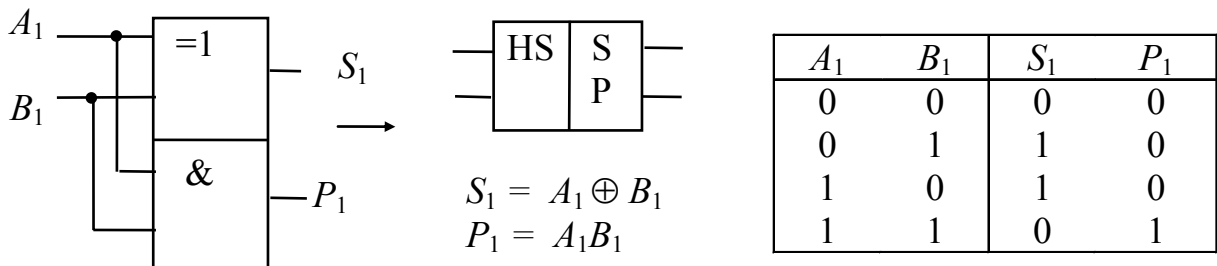


Рис. 5.14 — Синтез полусумматора на логических элементах

Полный одноразрядный сумматор суммирует биты соответствующих разрядов двух двоичных чисел и вырабатывает перенос в следующий разряд.

Полный одноразрядный сумматор можно построить из двух полусумматоров *HS* и логического элемента ИЛИ (рис. 5.15).

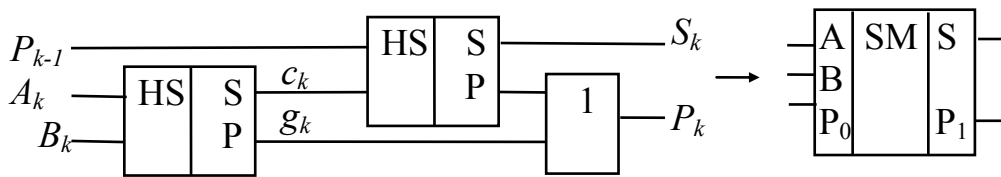


Рис. 5.15 — Полный одноразрядный сумматор

В корпусе микросхемы К555ИМ6 четыре полных одноразрядных сумматора объединены в схему четырехразрядного сумматора (рис. 5.16). Сигнал переноса последовательно передается с выхода предыдущего разряда сумматора на вход переноса следующего разряда. В дальнейшем будем исполь-

звать более простое и наглядное условное графическое обозначение сумматора, приведенное справа. В дополнительных полях микросхемы показаны весовые коэффициенты разрядов входа и выхода сумматора.

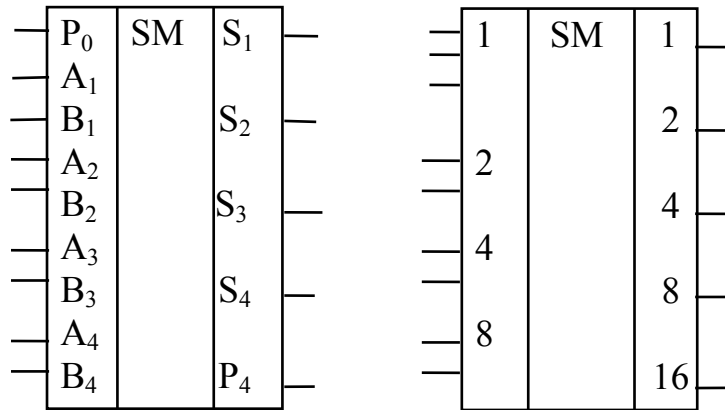


Рис. 5.16 — Четырехразрядный последовательный сумматор К555ИМ6

Время выполнения операции в сумматоре на рис. 5.16 намного больше времени сложения в одноразрядном сумматоре, так как в каждый следующий разряд единица переноса попадает, проходя все более длинную цепочку логических элементов. Чтобы уменьшить время выполнения операции сложения многоразрядных чисел, используют схемы параллельного переноса. При этом сигналы переноса во всех разрядах одновременно вычисляются по значениям входных переменных в данном разряде.

Для сигнала переноса из любого k -го разряда справедливо соотношение (см. обозначения на рис. 5.15)

$$p_k = a_k b_k + (a_k \oplus b_k) p_{k-1}, \quad (5.2)$$

$$\begin{array}{ccc} \Downarrow & & \Downarrow \\ g_k & & c_k \end{array}$$

где g_k — функция генерации переноса, c_k — функция распространения переноса.

Пользуясь рекуррентным выражением (5.2), можно вывести следующие формулы для вычисления сигналов переноса в четырехразрядном сумматоре:

$$\begin{aligned}
 p_1 &= g_1 + p_0 c_1, \\
 p_2 &= g_2 + p_1 c_2 = g_2 + c_2 g_1 + p_0 c_1 c_2, \\
 p_3 &= g_3 + p_2 c_3 = g_3 + c_3 g_2 + c_2 c_3 g_1 + p_0 c_1 c_2 c_3, \\
 p_4 &= g_4 + p_3 c_4 = (g_4 + c_4 g_3 + c_3 c_4 g_2 + c_2 c_3 c_4 g_1) + p_0 (c_1 c_2 c_3 c_4).
 \end{aligned}$$

$\Downarrow \qquad \qquad \qquad \Downarrow$
 $G \qquad \qquad \qquad C$

Реализацию этих функций выполняет схема ускоренного переноса (см. блок-схему параллельного сумматора на рис. 5.17). Хотя полученные логические выражения достаточно сложны, время формирования сигнала переноса в любой разряд с помощью вспомогательных функций определяется временем задержки распространения сигнала в двух элементах.

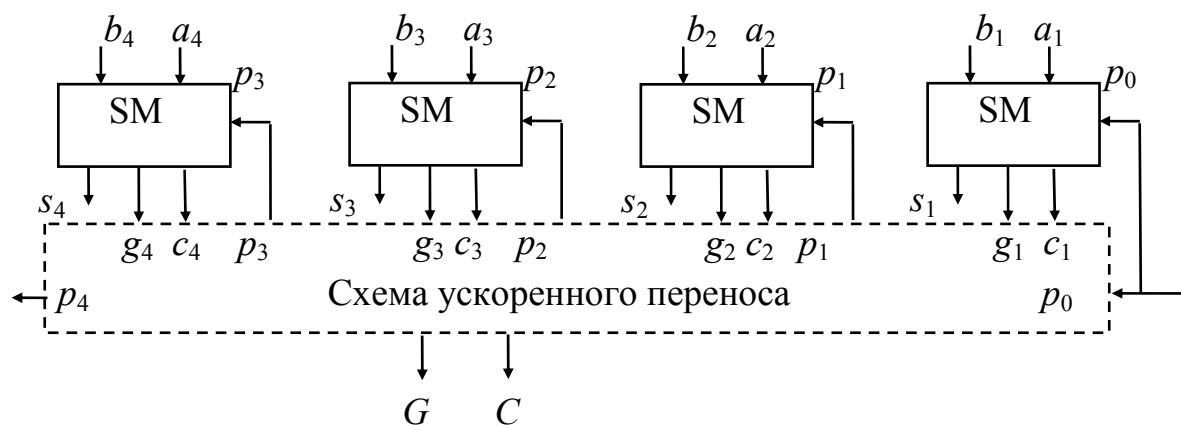


Рис. 5.17 — Четырехразрядный сумматор с параллельным переносом

Для построения 16-разрядного сумматора используется эта же схема ускоренного переноса, на которую подаются сигналы G и C от каждого четырехразрядного сумматора.

5.9 Двоично-десятичный сумматор

Для сложения двух двоично-десятичных чисел можно использовать по одному четырехразрядному сумматору на каждую декаду. Однако после суммирования следует производить коррекцию. Если в какой-либо декаде происходит перенос или получается двоичное число, большее 9, необходимо добавлять к ней 6, чтобы компенсировать разницу в весах разрядов. Возникающая при этом единица переноса передается в следующую по старшинству декаду (рис. 5.18).

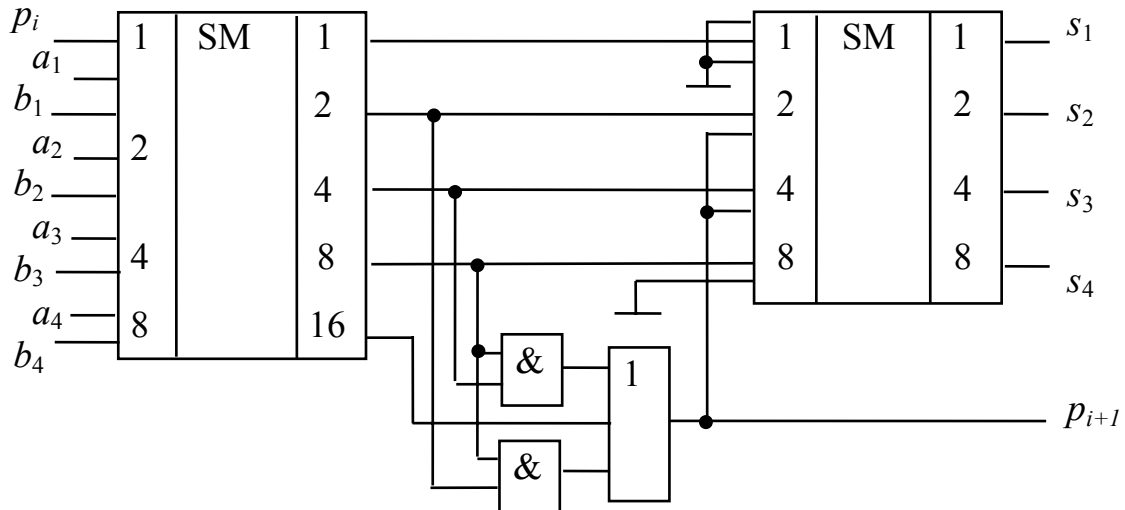


Рис. 5.18 — Двоично-десятичный сумматор на двоичных сумматорах

5.10 Схемы вычитания

Вычитание двух чисел обычно сводится к операции сложения:

$$D = A - B = A + (2^n - B) - 2^n, \quad (5.3)$$

где $2^n - B = \bar{A} + 1$ — дополнение B до числа 2^n , которое легко получить без помощи специальных схем, использующих вычитание.

Таким образом, вычитание можно осуществить, инвертируя число B , суммируя полученный результат с A и еще с одной 1 и вычитая 2^n . Вычитание 2^n достигается весьма просто — путем инверсии сигнала переноса. Схема вычитания четырехразрядных чисел показана на рис. 5.19.

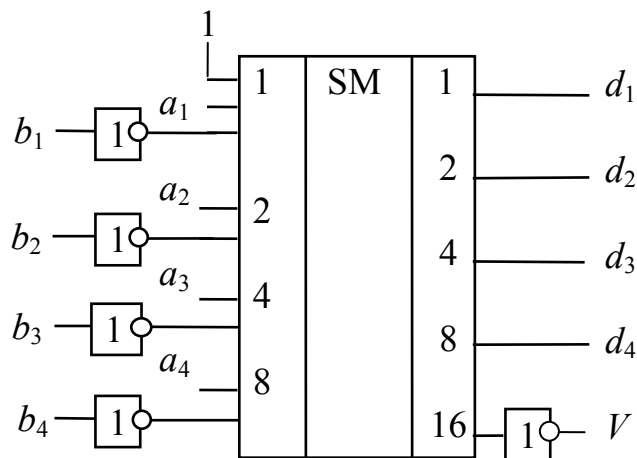


Рис. 5.19 — Схема вычитания четырехразрядных чисел

При $A \geq B$ получаем $V = 0$ (в чем легко убедиться на конкретных численных примерах). При $A < B$ получаем $V = 1$ и число D является дополнением $A - B$ до $2^4 = 16$. Выходной сигнал можно рассматривать как пятиразрядное число со знаком V в дополнительном коде.

На рис. 5.20 показано устройство, которое используется в цифровых следящих системах для выделения сигнала рассогласования между кодом задатчика A и кодом сигнала обратной связи B . Знак $\text{sign}(A - B)$ определяет направление компенсирующего воздействия на регулирующий орган, а модуль разности $(A - B) R (r_0 - r_7)$ — скорость этого воздействия. Наличие нулей во всех разрядах A соответствует одному крайнему значению регулируемой величины, а единиц — другому.

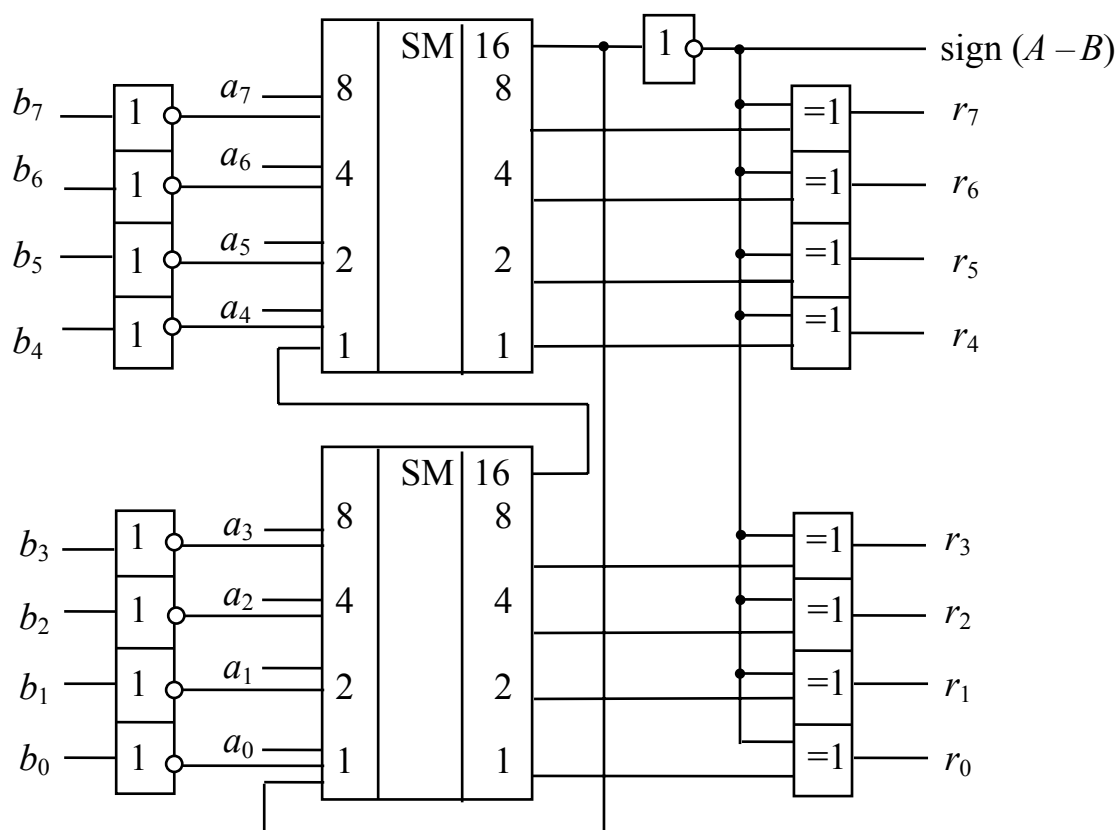


Рис. 5.20 — Формирователь модуля и знака разности положительных двоичных чисел

При $A > B$ появляется единица на выходе переноса сумматора, в знаковом разряде 0, а $R = A + \overline{B} + 1$ (здесь плюс — знак арифметического сложения). Элементы «Исключающее ИЛИ» работают как повторители выходных сигналов сумматора.

При $A \leq B$ в старшем разряде сумматора 0 (читателю предлагается проверить это на конкретном численном примере). Знак равен 1, а $R = \overline{A + B}$. Элементы «Исключающее ИЛИ» работают как инверторы выходных сигналов сумматора.

Выходной сигнал устройства можно рассматривать как девятиразрядное двоичное число со знаком в прямом коде.

Обычный сумматор может использоваться для сложения чисел со знаком, представленных в дополнительном коде. На его выходе формируется дополнительный код суммы. При сложении, например, 8-разрядных двоичных чисел со знаком с помощью 8-разрядного сумматора (его можно построить на двух микросхемах К555ИМ6) получаем на выходе 8-разрядную сумму в дополнительном коде (перенос в 9-й разряд игнорируется). При этом разрядная сетка не должна переполняться, т. е. сумма модулей для чисел одинакового знака не должна превышать 127. Старший разряд восьмиразрядных слагаемых отображает знак числа (0 — для положительного, 1 — для отрицательного). Семь младших разрядов отображают модуль числа. Дополнительный код положительного числа соответствует его обычному представлению в двоичном коде. Для получения дополнительного кода отрицательного числа нужно проинвертировать код положительного числа и прибавить единицу в младший разряд. Приведенный ниже пример показывает, что при подаче на входы сумматора дополнительных кодов чисел +100 и -16, на выходе получим код числа +84.

$$\begin{array}{r}
 \\
 + \\
 \hline
 \\
 \\
 \\
 \\
 \\
 \\
 \\
 \hline
 101010100 = +84
 \end{array}$$

↓
↘
↘

девятый разряд игнорируется
результат положительный

5.11 Преобразователь прямого кода в дополнительный

Для преобразования в дополнительный код 8-разрядных чисел со знаком, представленных в прямом коде, используется изображенное на рис. 5.21 устройство. Для положительных чисел зна-

ковый разряд $x_7 = 0$, элементы «Исключающее ИЛИ» и сумматор работают как повторитель числа X . Для отрицательных чисел $x_7 = 1$, семиразрядный модуль числа X инвертируется, и к нему с помощью сумматора прибавляется 1. Такое же устройство используется и как преобразователь дополнительного кода числа в прямой.

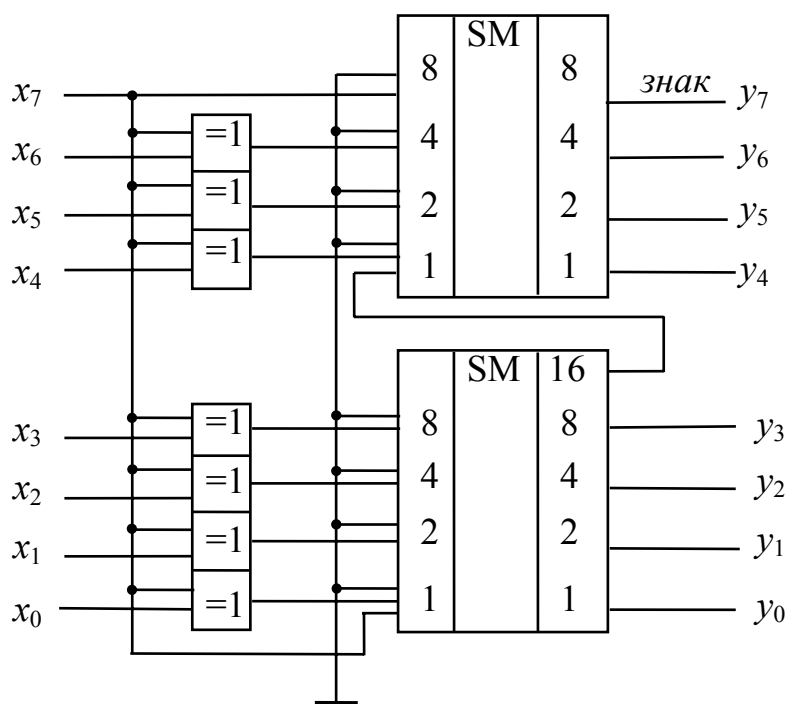


Рис. 5.21 — Преобразователь прямого кода 8-разрядного двоичного числа со знаком в дополнительный или дополнительный код — в прямой

5.12 Цифровой компаратор

Цифровым компаратором называют устройство, фиксирующее результат сравнения n -разрядных двоичных или двоично-десятичных кодов чисел (рис. 5.22, *а*). Цифровой компаратор можно построить на сумматоре, подавая на один суммирующий вход прямой код числа A , на другой — инверсный код числа B (рис. 5.22, *б*). На численном примере легко убедиться, что при $A = B$ в четырех младших разрядах суммы формируются логические единицы, а при $A > B$ единица формируется на выходе переноса.

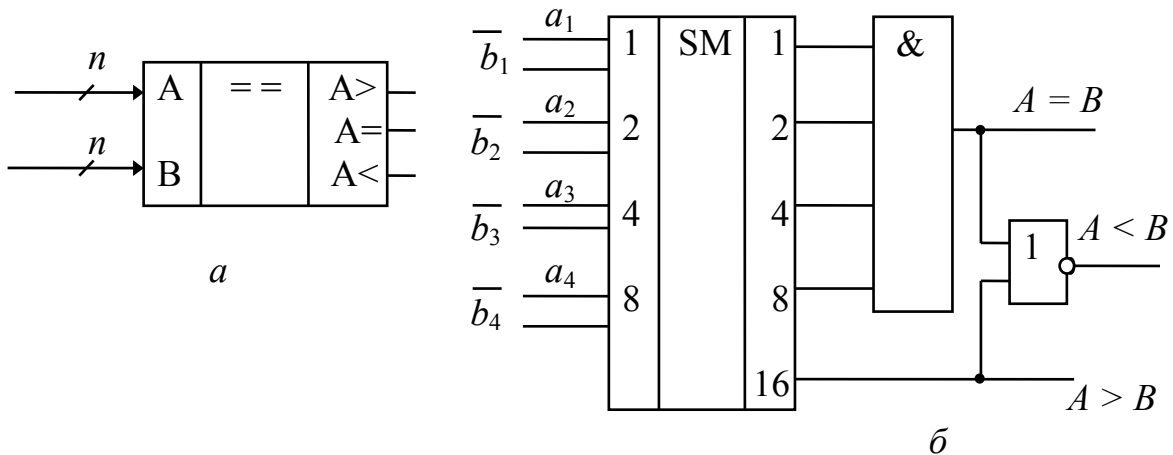


Рис. 5.22 — Цифровой компаратор и его реализация на сумматоре

Компаратор, фиксирующий равнозначность кодов A и B , можно выполнить на ЛЭ по схеме, показанной на рис. 5.23, a . При совпадении кодов во всех разрядах формируются логические нули на выходах элементов «Исключающее ИЛИ» и логический элемент ИЛИ-НЕ формирует на выходе 1. Другой вариант построения схемы равнозначности кодов приведен на рис. 5.23, b .

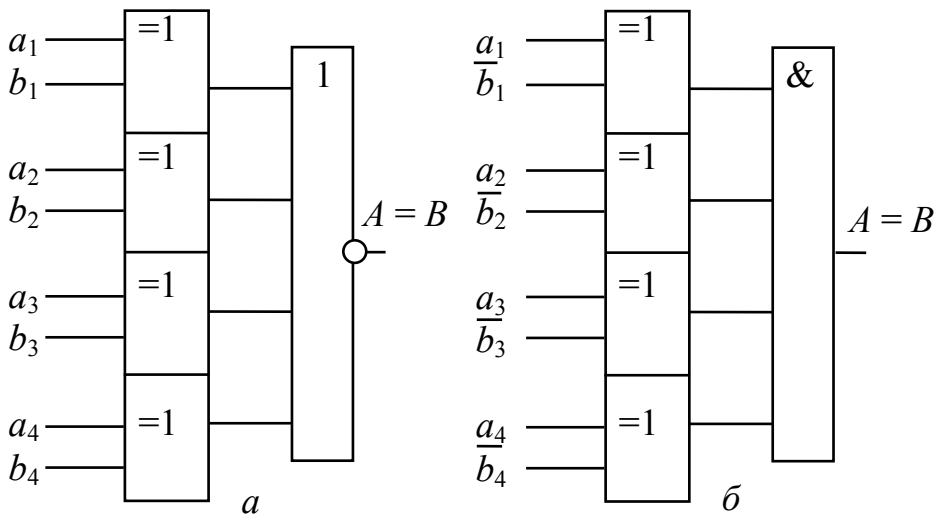
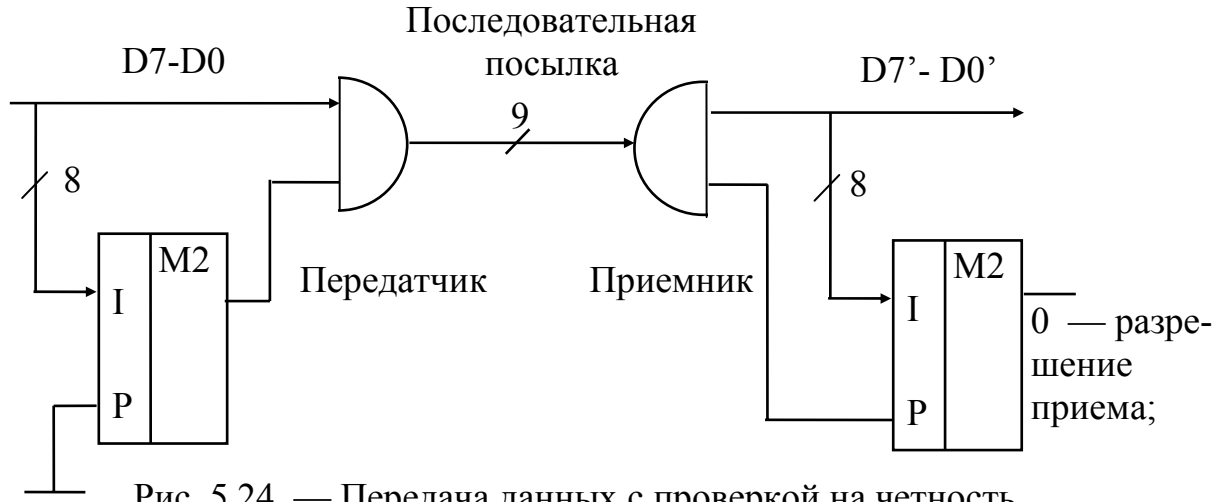


Рис. 5.23 — Схемы равнозначности кодов

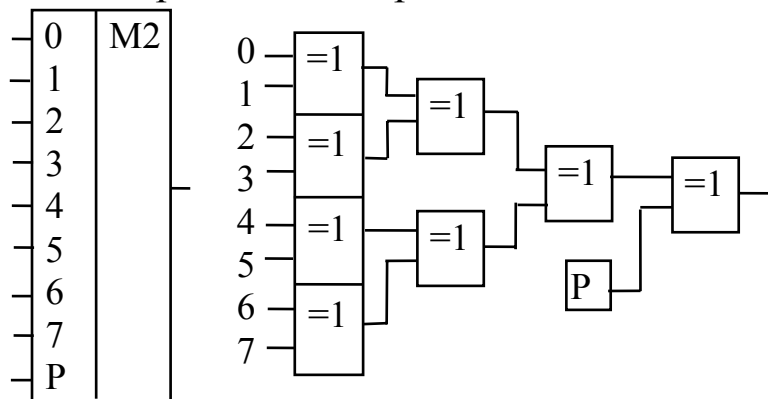
5.13 Контроль четности

Контроль четности (нечетности) используется для обнаружения однократных ошибок при передаче данных по линиям связи (рис. 5.24). В передатчике к n -разрядному слову добавляется контрольный разряд (бит паритета) с таким значением (0 или 1),

чтобы сумма единиц в $(n + 1)$ -разрядном сообщении была бы четной. В приемнике производится контроль на четность. Если число единиц в принятом слове нечетно, фиксируется ошибка при передаче данных.



Для контроля восьмиразрядного сообщения можно использовать микросхему К555ИП5 — сумматор по модулю два. Он содержит внутри восемь логических элементов «Исключающее ИЛИ». В передатчике 9-разрядное сообщение преобразуется в последовательный код (это преобразование можно выполнить с помощью регистра сдвига), передается по одному каналу связи, а затем на стороне приемника подвергается обратному преобразованию в параллельный код. Если число единиц в принятом сообщении четно, логический 0 на выходе К555ИП5 разрешает прием сообщения $D7'-D0'$. В противном случае на выходе сумматора по модулю два формируется логическая 1 и прием сообщения запрещается. Функциональная схема и логическая структура микросхемы К555ИП5 приведены на рис. 5.25.



5.14 Примеры построения комбинационных цифровых устройств

Пример 5.1. Построить коммутатор цифровых сигналов с 256 входных каналов на один выходной.

Решение. Схема коммутатора приведена на рис. 5.26.

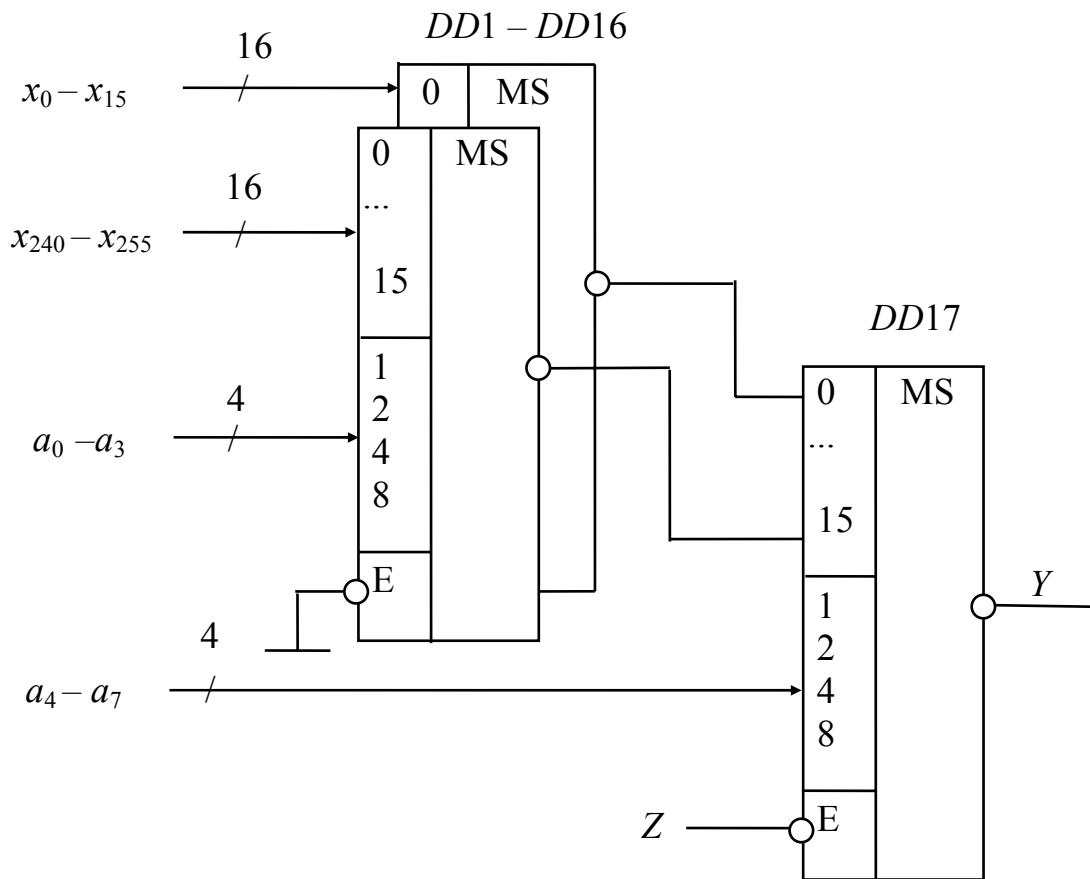


Рис. 5.26 — Коммутатор цифровых сигналов

Для коммутации 256 информационных сигналов $x_0 - x_{255}$ требуется восьмиразрядная шина адреса $a_0 - a_7$. Устройство представляет собой многоканальный мультиплексор. Выходной сигнал Y повторяет информацию того входа x_i , адрес которого подан на входы $a_0 - a_7$.

Максимальное число каналов, коммутируемое одной микросхемой (например, К155КП1 или К555КП1), равно 16. Для построения устройства требуется 17 корпусов таких микросхем. Младший полубайт адреса канала подается на объединенные адресные входы микросхем DD1-DD16. На управляющий вход E

этих микросхем подан разрешающий уровень логического нуля. Вторую ступень коммутатора образует мультиплексор $DD17$, на адресные входы которого подается старший полубайт адреса коммутируемого канала. При $Z = 1$ все каналы закрыты. При $Z = 0$, дважды инвертируясь, на выход проходит сигнал того канала, адрес которого зафиксирован на адресных входах $a_0 - a_7$.

Пример 5.2. Спроектировать сигнальное устройство, зажигающее светодиод, если сработали любые 7 из 9 датчиков. При срабатывании датчик формирует на выходе логическую 1, иначе на выходе датчика логический 0.

Решение. Просуммируем число сработавших датчиков с помощью сумматоров (рис. 5.27, подключив датчики 1–9 к их входам с весом 1).

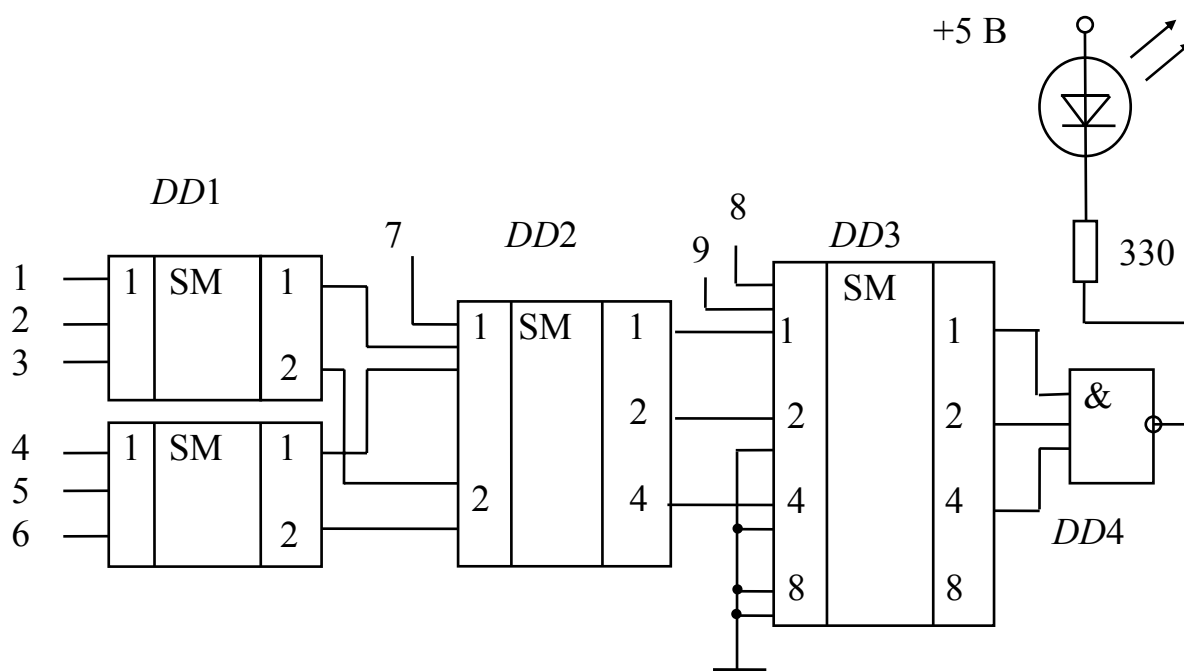


Рис. 5.27 — Сигнальное устройство

Логический элемент И-НЕ на выходе устройства формирует логический нуль, необходимый для того, чтобы светодиод загорелся, только при суммарном количестве сработавших датчиков, равном семи. В устройстве можно задействовать микросхемы К555ИМ5 ($DD1$), К555ИМ2 ($DD2$), К555ИМ6 ($DD3$), К555ЛА4 ($DD4$). Резистор задает рабочий ток светодиода порядка 10 мА.

Пример 5.3. На микросхемах средней степени интеграции создать устройство, обеспечивающее передачу цифровых сообщений от 32 абонентов на передающей стороне такому же числу абонентов на приемной стороне.

Установим на передающей стороне четыре мультиплексора $8 \rightarrow 1$, выходы которых объединим с помощью четырехходового мультиплексора (рис. 5.28). Выбор источника информации на восьмивходовых мультиплексорах будем вести с помощью трех младших бит адресов $A_2-A_1-A_0$. Выбор группы источников (выбор мультиплексора) будем производить с помощью двух старших бит адресов A_4, A_3 , подаваемых на выходной мультиплексор.

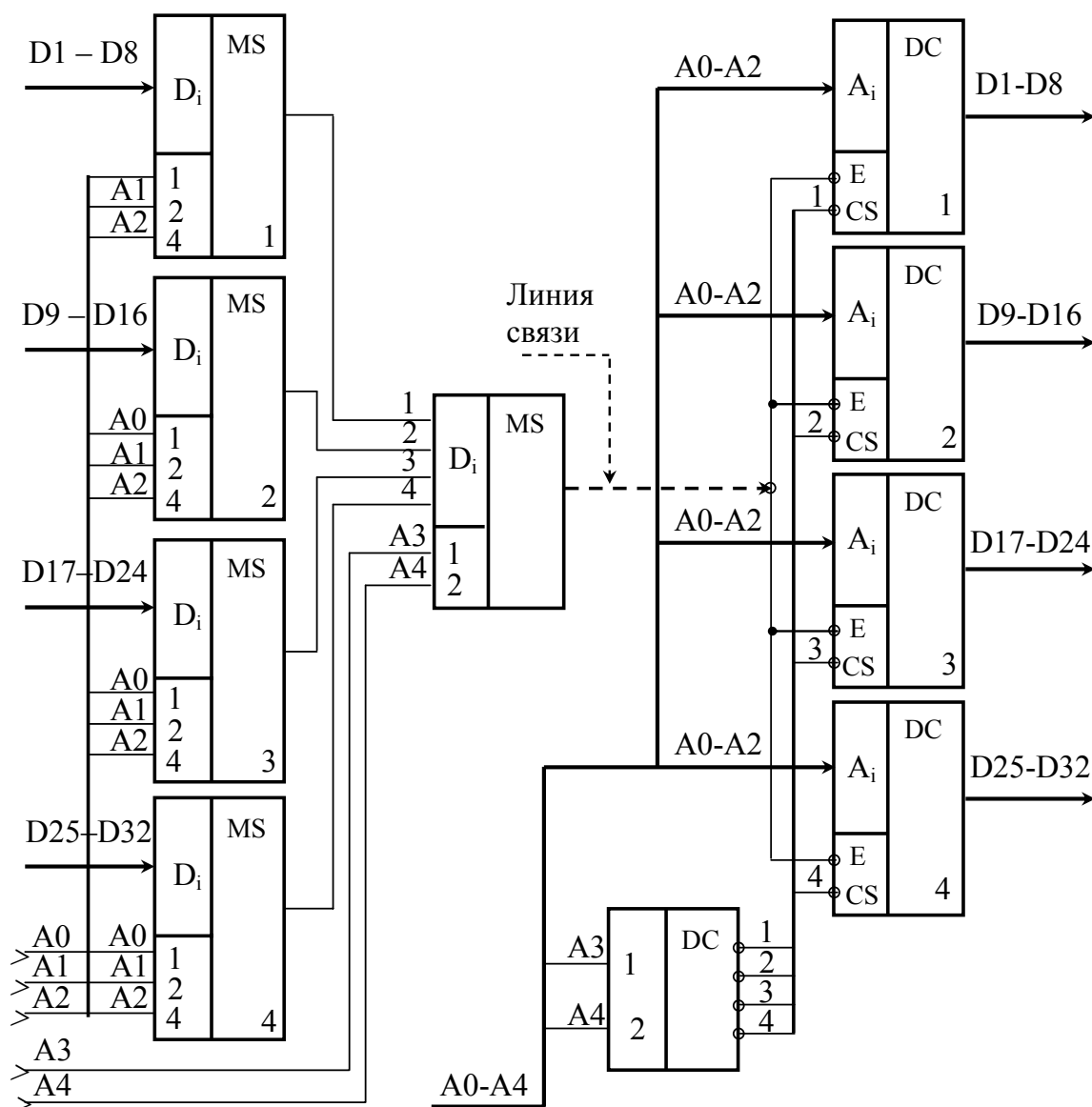


Рис. 5.28 – Структурная схема передачи цифровых сообщений по одной линии связи

На приемной стороне установим четыре восьмивходовых демультимплектора, управляющие входы E которых соединим с передающей стороной. Выбор дешифратора-демультимплектора производим с помощью двух старших бит адресов A_4 , A_3 приемной стороны. Эти адреса подаются на дополнительный дешифратор 2:4, выходные сигналы которого поступают на входы \overline{CS} (выбор микросхемы) основных дешифраторов. Выбор источника информации осуществляется младшими битами адресов A_2 - A_1 - A_0 приемника.

6 ЦИФРОВЫЕ УСТРОЙСТВА ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА

6.1 Классификация триггеров

Триггером называется устройство, имеющее два устойчивых состояния и сохраняющее любое из них сколь угодно долго после снятия внешнего воздействия, вызвавшего переход триггера из одного состояния в другое. Поэтому говорят, что триггер обладает памятью. Триггер можно представить в общем случае состоящим из ячейки памяти и устройства управления (порой весьма сложного), преобразующего входную информацию в комбинацию сигналов, под воздействием которых ячейка памяти принимает одно из двух устойчивых состояний.

По способу записи информации триггеры могут быть *асинхронными* и *синхронными*. Триггер называют асинхронным, если сам сигнал, несущий информацию, вызывает его переключение. В синхронных (тактируемых) триггерах информация записывается при одновременном воздействии информационного сигнала и синхронизирующего (разрешающего) импульса. Синхронизация может осуществляться импульсом (потенциалом) или перепадом потенциала (фронтом или срезом импульса). В первом случае (*статическое управление*) сигналы на информационных входах оказывают влияние на состояние триггера в течение всего времени наличия синхроимпульса. Во втором случае (*динамическое управление*) воздействие информационных сигналов проявляется только в моменты изменения потенциала на входе синхронизации, т. е. при переходе его от 0 к 1 (фронт) или от 1 к 0 (срез).

По функциональному признаку различают *RS*-триггеры, *D*-триггеры, *T*-триггеры и *JK*-триггеры, а также их комбинации.

Основу любого триггерного устройства составляет элементарная ячейка памяти на двух инверторах с кольцом положительной обратной связи, называемая защелкой (рис. 6.1).

При подаче питания ЛЭ не могут находиться в активной области передаточной характеристики, так как петлевое усиление много больше единицы, и ячейка переходит в одно из двух устойчивых состояний с инверсными уровнями на выходах Q и \bar{Q} . Это состояние ячейка будет хранить, пока включен источник питания.

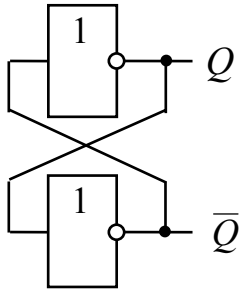


Рис. 6.1 — Элементарная ячейка памяти

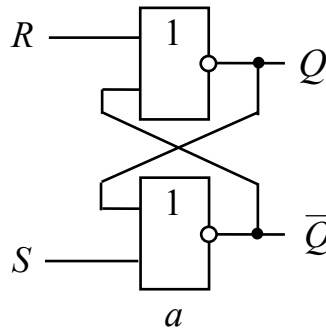
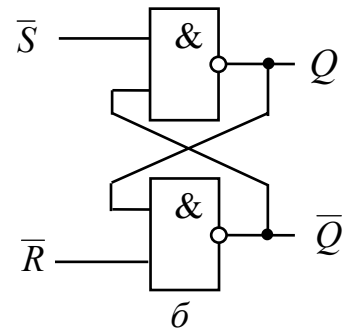


Рис. 6.2 — Асинхронный RS-триггер с прямым (а) и инверсным (б) управлением



6.2 Асинхронный RS-триггер

В *асинхронном* (нетактируемом) *RS-триггере* (рис. 6.2, а), выполненном на логических элементах ИЛИ-НЕ, состояниями описанной выше ячейки памяти можно управлять, подавая логическую 1 либо на вход S (Set) установки в состояние $Q = 1$, либо на вход R (Reset) сброса в состояние $Q = 0$. Если одновременно подать, а затем снять логическую 1 с обоих входов, то состояние триггера после снятия входных сигналов будет неопределенным. Такая комбинация на входах триггера является запрещенной. Минимальная длительность установочных импульсов должна вдвое превышать время задержки примененных логических элементов, чтобы по петле положительной обратной связи пришло подтверждение о фиксации нового состояния триггера.

Аналогичным образом работает *асинхронный RS-триггер с инверсным управлением* (рис. 6.2, б), выполненный на логических элементах И-НЕ. Установка триггера в единичное и нулевое состояние на выходе Q осуществляется подачей логического нуля на входы \bar{S} или \bar{R} . При единичных уровнях на обоих входах триггер не меняет своего состояния (находится в режиме хранения).

6.3 Тактируемый RS-триггер

Тактируемый (синхронный) RS-триггер (рис. 6.3) может изменить свое состояние только с приходом тактового импульса на вход C . Помехи, действующие на информационных входах R и S между тактовыми импульсами, не влияют на работу триггера.

Запрещенным является состояние $CRS = 1$. При включении питания состояние триггера остается неопределенным. После совпадения единичных уровней на входах S и C триггер устанавливается в единичное состояние. При совпадении логических единиц на входах R и C триггер сбрасывается в нулевое состояние.

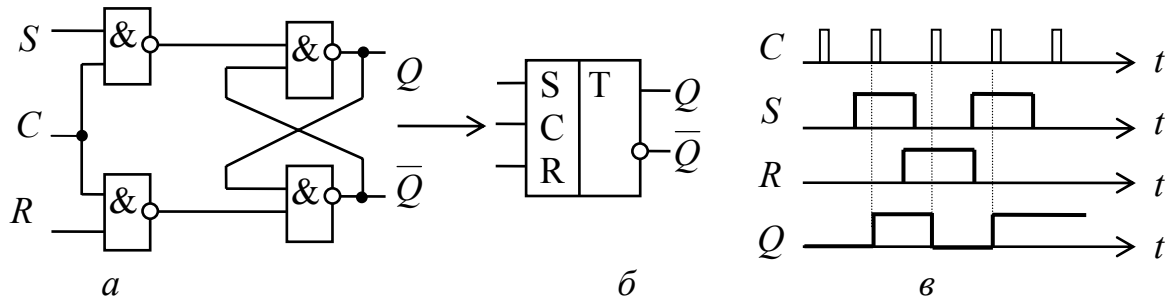


Рис. 6.3 — Тактируемый RS -триггер: a — построение триггера на логических элементах И-НЕ; $б$ — обозначение триггера на функциональных схемах; $в$ — временные диаграммы, поясняющие работу триггера

6.4 D-триггеры

D-триггер (от английского Delay — задержка) имеет один информационный (D — Data — данные) и один тактируемый (C — Clock — тактовая последовательность) входы. Такой триггер можно получить из RS -триггера, подав на R -вход инвертированный сигнал с S -входа (рис. 6.4, a). Условное обозначение D -триггера со статическим управлением показано на рис. 6.4, $б$. Из временных диаграмм, приведенных на рис. 6.4, $в$ можно увидеть, что при $C = 1$ триггер работает как повторитель ($Q = D$), а при переходе сигнала на входе C от логической единицы к логическому нулю триггер запирается и переходит в режим хранения (защелкивает информацию со входа D). В отличие от RS -триггера, D -триггер

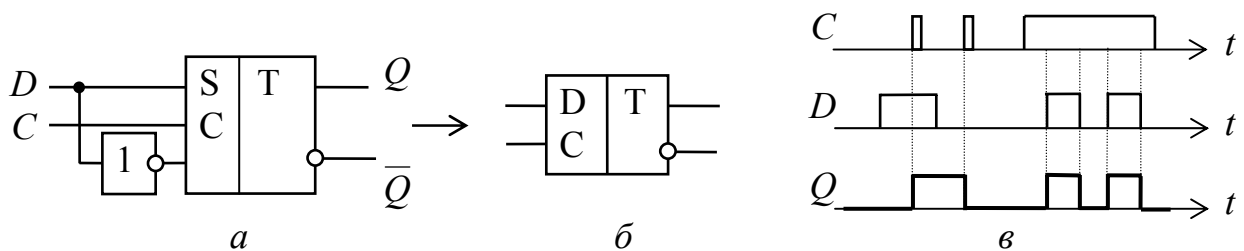


Рис. 6.4 — D -триггер со статическим управлением

не имеет запрещенного состояния.

Статический синхронный триггер реагирует на входные сигналы в течение всего времени, пока тактовый сигнал C равен единице. Часто, однако, требуется триггер, в котором считываемая информация не передавалась бы непосредственно на выход, а появлялась там только тогда, когда все схемы уже заперты. Этим свойством обладают триггеры с динамическим управлением.

D-триггер с динамическим управлением, тактируемый фронтом тактового импульса, можно выполнить по двухступенчатой схеме, показанной на рис. 6.5, *а*. При $C = 0$ триггер первой ступени повторяет сигнал D , но триггер второй ступени защелкнут (находится в режиме хранения). При переходе к $C = 1$ первый триггер защелкивает на своем выходе информацию со входа D , а второй повторяет ее на своем выходе. Таким образом, двухступенчатый триггер по фронту тактового импульса защелкивает на своем выходе уровень сигнала с входа D и сохраняет его до следующего фронта. Триггеры с динамическим управлением необходимы для построения счетчиков и регистров сдвига. Из двух вариантов УГО динамического входа, приведенных на рис. 6.5, *б* и *в*, в дальнейшем будем использовать вариант *б*, меняя направление косой черты для обозначения входа при тактировании по срезу импульса.

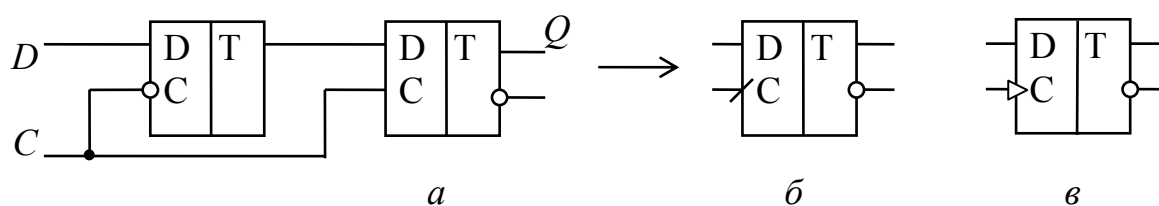


Рис. 6.5 — Триггер задержки с динамическим управлением

6.5 T-триггер

T-триггер (от английского toggle — опрокидываться, кувыркаться). Он имеет только тактовый вход T и меняет свое состояние на противоположное по фронту или срезу каждого нового тактового импульса (рис. 6.6). На рисунке показано УГО T -триггера и как можно выполнить T -триггер на базе RS - или D -триггеров с динамическим управлением. Каждый раз по

фронту сигнала T изменяется уровень напряжения на выходе Q . Частота изменения потенциала на выходе T -триггера в два раза меньше частоты импульсов на его тактовом входе. Это свойство T -триггера используется при построении двоичных счетчиков, а T -триггер называют также счетным триггером.

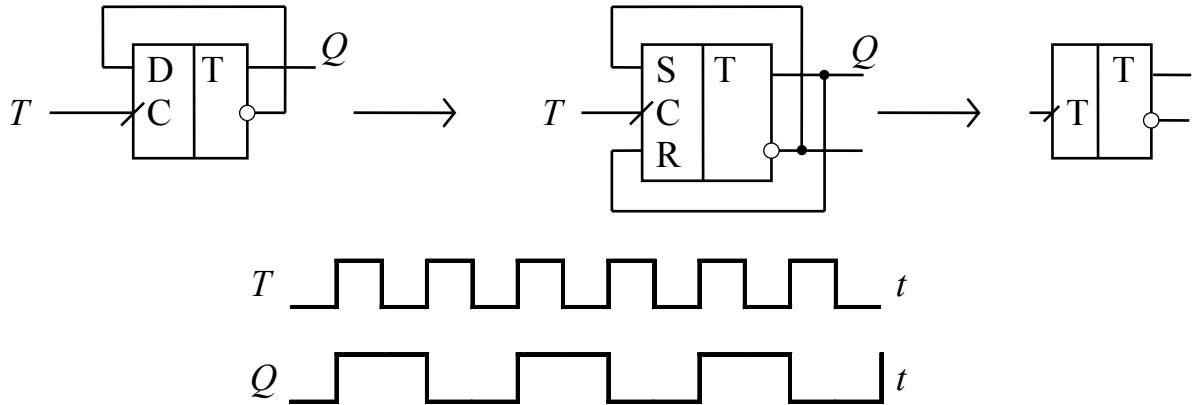


Рис. 6.6 — Счетный триггер и временные диаграммы его работы

6.6 JK-триггер

JK-триггер выполняет наиболее универсальные функции (J — jerk — резкое движение, толчок; K — kill — ликвидировать). Он строится на базе RS -триггера с динамическим тактовым входом (рис. 6.7), но, в отличие от него, в JK -триггере устранено запрещенное состояние при $J = K = 1$. При совпадении логических единиц на информационных входах J и K он работает как счетный (режим переключения), т. е. меняет свое состояние на противоположное при каждом новом такте. Логическая 1 на входе J устанавливает триггер в состояние единицы (режим записи 1, установка), логическая 1 на входе K переводит триггер в состояние логического нуля (режим записи 0, сброс) при наличии так-

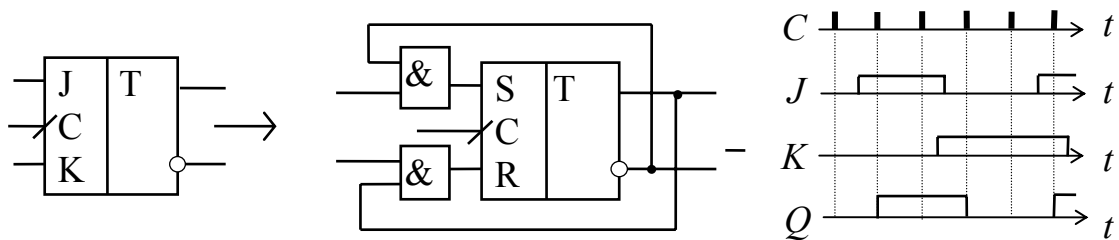


Рис. 6.7 — JK-триггер

тирования. При наличии логических нулей на входах J и K тактовый импульс не меняет состояния триггера (режим хранения).

Работу триггеров можно описать таблицей состояний и функциями переходов (рис. 6.8). Функции переходов синхронных триггеров описывают состояние триггера Q^+ после прихода очередного тактового импульса (его фронта или среза) как логическую функцию входных сигналов и исходного состояния триггера Q до прихода тактового импульса.

$S(J)$	$R(K)$	Q^+	
		RS	JK
0	0	Q	Q
0	1	0	0
1	0	1	1
1	1	x	\bar{Q}

$Q^+ = D$ — для D -триггера;

$Q^+ = \bar{Q}J + Q\bar{K}$ — для JK -триггера;

$Q^+ = Q \oplus T$ — для T -триггера;

$Q^+ = S + Q\bar{R}$, $RS = 0$ — для RS -триггера.

Рис. 6.8 — Таблица состояний RS - и JK -триггеров и функции переходов триггеров

Примеры микросхем триггеров приведены на рис. 6.9.

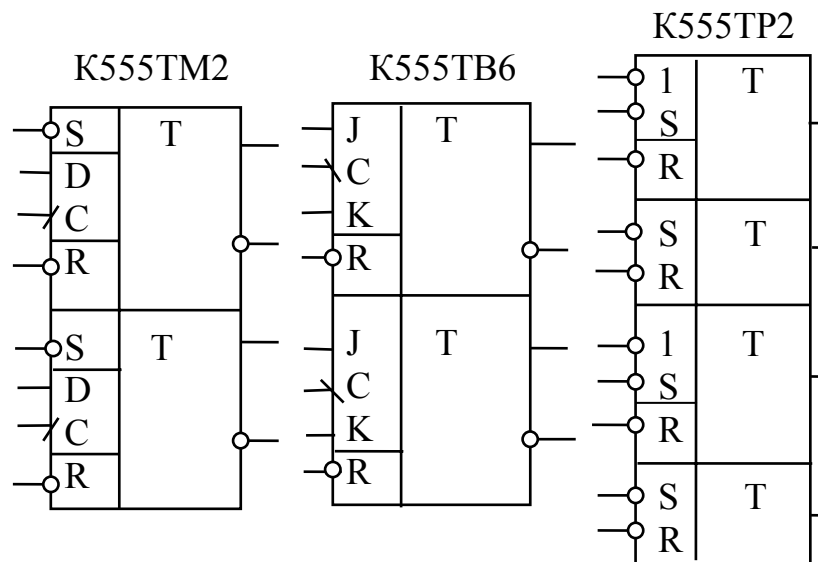


Рис. 6.9 — Интегральные микросхемы триггеров

Наряду с тактируемыми, микросхемы $K555TM2$ и $K555TB6$ имеют дополнительные входы для предварительной установки в единичное или нулевое состояние (комбинированные триггеры).

При этом входы установки \bar{R} и \bar{S} являются асинхронными (приоритетными). Предельная частота функционирования триггеров К555ТМ2 составляет 25 МГц, К555ТВ6 — 30 МГц. Микросхема К555ТР2 содержит четыре асинхронных RS -триггера, причем два из них имеют по два объединенных логикой ИЛИ входа \bar{S} (подача логического 0 на любой из них устанавливает триггер в единичное состояние).

6.7 Классификация счетчиков

Цифровое устройство, циклически меняющее свои состояния под действием импульсов, подаваемых на один вход, называется счетчиком. Количество тактов, через которое повторяется исходное состояние счетчика, называют коэффициентом пересчета (модулем счета) $K_{сч}$. Счетчики строят из цепочек триггеров с динамическим управлением.

По коэффициенту пересчета различают счетчики двоичные ($K_{сч} = 2^n$, где n — разрядность счетчика), десятичные ($K_{сч} = 10^n$, где n — количество декад счетчика), с произвольным постоянным $K_{сч}$, с изменяемым $K_{сч}$ (программируемые).

По направлению счета счетчики делятся на суммирующие, вычитающие, реверсивные.

По способу организации внутренних связей между триггерами счетчики могут быть асинхронными (с последовательным переносом) и синхронными (с параллельным переносом). Синхронные счетчики обладают бóльшим быстродействием.

6.8 Асинхронный двоичный счетчик

Асинхронные двоичные счетчики строят из цепочки счетных триггеров, соединяя выход предыдущего с входом последующего. Такой счетчик реализован на микросхеме К155ИЕ5 (рис. 6.10).

При совпадении логических единиц на выводах 2 и 3 счетные триггеры сбрасываются в нулевое состояние. При замыкании выводов 1 и 12 получаем четырехразрядный двоичный счетчик. Частота счетных импульсов последовательно уменьшается в два

раза каждым триггером. При этом счетчик проходит 16 состояний (с 0 по 15), каждому из которых соответствует четырехразрядный код на выходах с весовыми коэффициентами 8, 4, 2, 1.

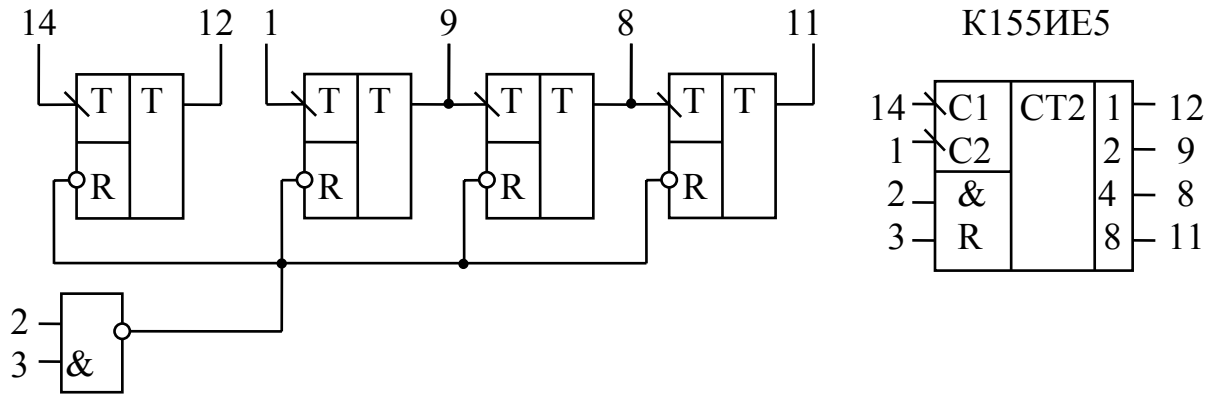


Рис. 6.10 — Асинхронный двоичный счетчик K155IE5

6.9 Асинхронный двоично-десятичный счетчик

Микросхема K155IE2 состоит из счетного триггера (вход — $C1$, выход — Q_1) и счетчика с коэффициентом пересчета $K_{сч} = 5$ (вход — $C2$, выходы — Q_2, Q_3, Q_4). Если их соединить между собой так, как это показано на рис. 6.11, *а*, то получится двоично-десятичный счетчик, временные диаграммы работы которого приведены на рис. 6.11, *б*. При поступлении десятого импульса (по его срезу) кодовая комбинация $Q_4 Q_3 Q_2 Q_1 = 1001$ сменяется комбинацией 0000, и далее цикл из десяти состояний счетчика (с 0 по 9) периодически повторяется. При совпадении логических единиц на входах R счетчик устанавливается в состояние «0», при совпадении логических единиц на входах S_9 — в состояние «9».

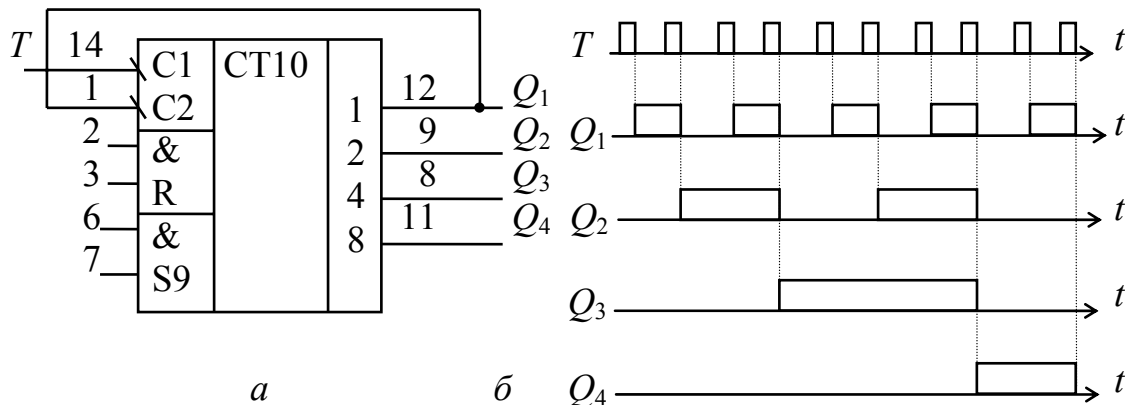


Рис. 6.11 — Асинхронный двоично-десятичный счетчик

6.10 Синхронный двоичный счетчик

В *синхронном* двоичном счетчике (рис. 6.12) счетный импульс T воздействует сразу на все триггеры. Первый триггер работает как счетный. Каждый последующий меняет свое состояние на противоположное, когда все предыдущие находятся в единичном состоянии. Устройство реализует алгоритм работы суммирующего двоичного счетчика с $K_{сч} = 16$.

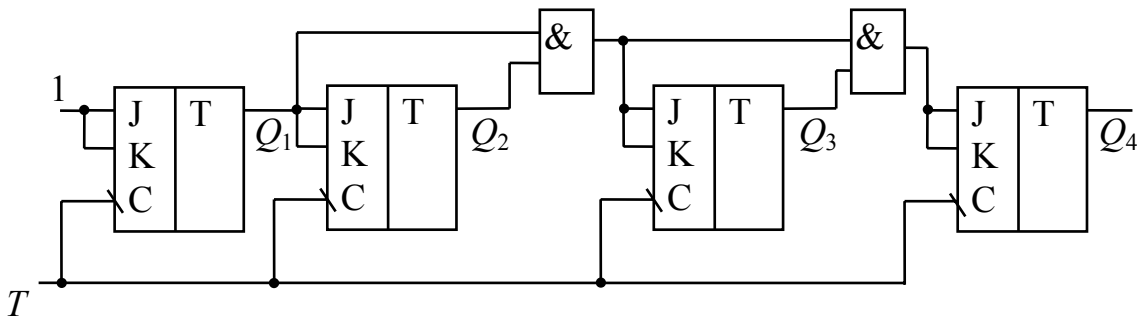


Рис. 6.12 — Четырехразрядный синхронный двоичный счетчик

6.11 Реверсивные счетчики

Реверсивные счетчики обладают универсальными возможностями. На рис. 6.13 показаны ИМС синхронных реверсивных десятичного (К555ИЕ6) и двоичного (К555ИЕ7) счетчиков. Уровнем логического нуля на входе L в счетчик записывается четырехразрядный код со входов предустановки 1, 2, 4, 8 (параллельная загрузка). Эта возможность позволяет строить на таких микросхемах счетчики и делители частоты с изменяемым $K_{сч}$. Уровнем логической единицы на входе R счетчик сбрасывается в

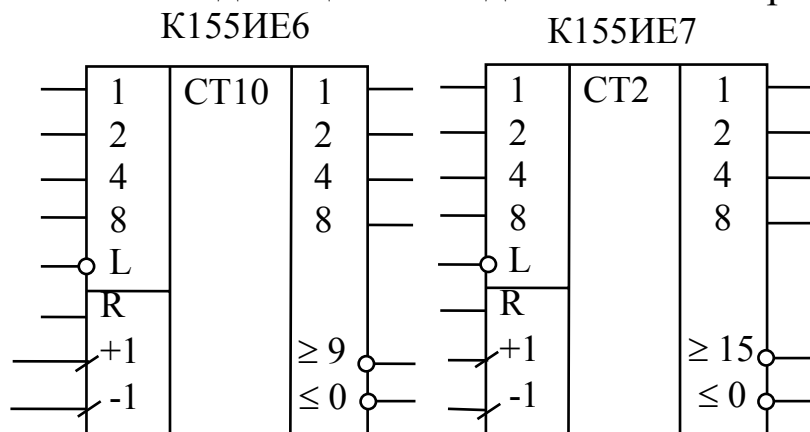


Рис. 6.13 — Реверсивные счетчики

нулевое состояние. Вход R имеет приоритет по отношению ко входу L . При подаче импульсов на суммирующий вход $+1$ на вычитающем -1 должен быть высокий уровень, и наоборот.

6.12 Счетчики с произвольным модулем счета

Счетчики с произвольным модулем счета $K_{сч}$ строятся на основе микросхем двоичных и двоично-десятичных счетчиков. Одним из способов получения произвольного значения модуля счета является использование цепи обратной связи, сбрасывающей его в нулевое состояние, как только суммирующий счетчик переходит в состояние, равное $K_{сч}$. Так построен, например, делитель частоты в 14 раз (рис. 6.14). Как только счетчик переходит в 14-е состояние (совпадают логические 1 на входах трехходового элемента ЗИ-НЕ), в единичное состояние устанавливается RS -триггер, который сбрасывает счетчик в нулевое состояние. Единичный уровень следующего счетного импульса сбрасывает RS -триггер в нуль.

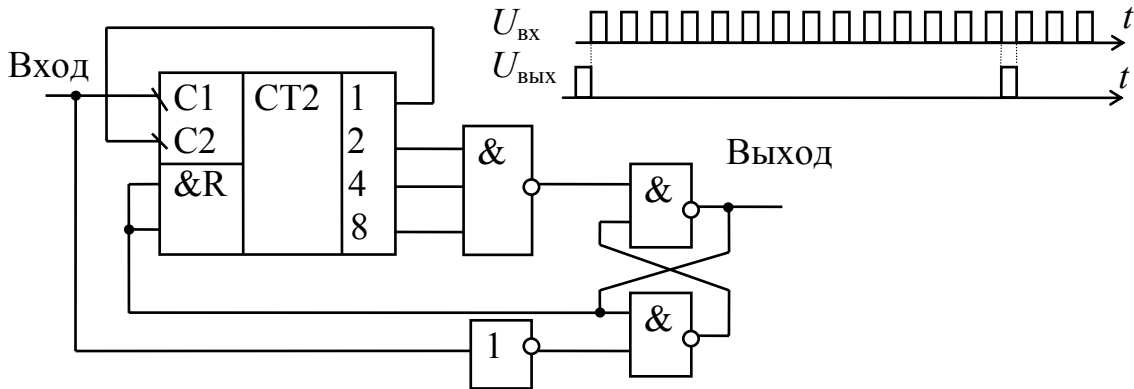


Рис. 6.14 — Делитель частоты на 14

Другой вариант счетчика (например, с коэффициентом пересчета $K_{сч} = 147$), показанный на рис. 6.15, организован на основе восьмиразрядного двоичного счетчика ($K_{сч} = 256$), который дополнен цепью сброса. Когда счетчик переходит в состояние $147 = 10010011_2$ (совпадают логические 1 на входах элементов И, подключенных к выходам счетчика с весовыми коэффициентами 128, 16, 2 и 1), происходит его сброс, в результате его состояния циклически повторяются через каждые 147 входных тактов.

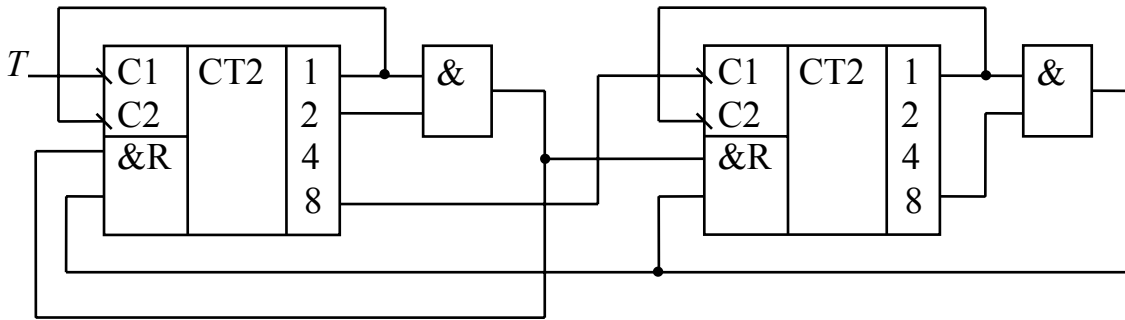
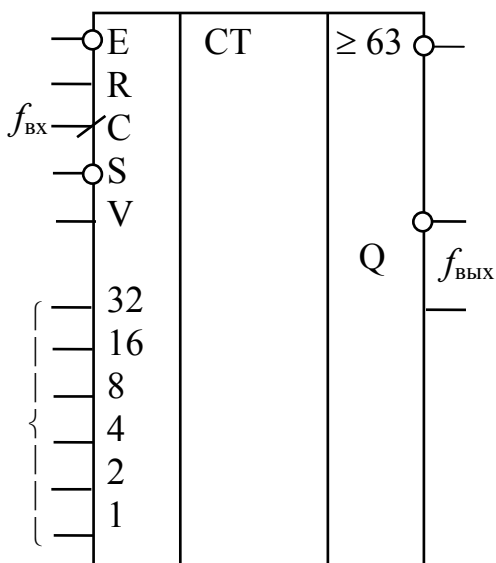


Рис. 6.15 — Организация счетчика с произвольным коэффициентом пересчета

ИМС программируемых делителей частоты (счетчиков с переменным коэффициентом деления). Существует ряд ИМС счетчиков с переменным (программируемым) коэффициентом деления, например К155ИЕ8, 564ИЕ15.

ИМС К155ИЕ8 может быть названа преобразователем «код — частота». Ее УГО и функции выводов показаны на рис. 6.16. Эта микросхема содержит шестизрядный двоичный счетчик и программируемое логическое устройство, уменьшающее частоту выходной последовательности $f_{\text{ВЫХ}}$ по сравнению со входной $f_{\text{ВХ}}$. Из входной последовательности в 64 импульса, поступающей на счетный вход С, на выход проходит N импульсов, где N — десятичное число, шестизрядный двоичный код которого подается на управляющие входы микросхемы с метками 32, 16, 8, 4, 2, 1. Выходная частота связана с входной соотношением $f_{\text{ВЫХ}} = f_{\text{ВХ}} \cdot N / 64$. Таким образом, частота импульсов на выходе микросхемы пропор-



Назначение выводов ИМС:

- Е — разрешение счета (стробирование);
- Р — сброс счетчика с остановкой деления;
- С — счетный вход;
- S — остановка деления;
- V — вход наращивания;
- ≥ 63 — выход переноса (нулевой сигнал на этом выходе формируется, когда счетчик находится в 63-м состоянии);
- 32, 16, 8, 4, 2, 1 — разряды управляющего кода N .

Рис. 6.16 — Программируемый счетчик ИМС К155ИЕ8

циональна значению управляющего кода N . Надо только учитывать, что если N не равно степени числа 2, то импульсы в выходной последовательности расположены неравномерно.

В таблице 6.1 приведены номера импульсов (из входной последовательности в 64 импульса), которые проходят на выход при логической единице на соответствующем управляющем входе. При произвольном коде N на выход проходят импульсы, соответствующие логическим единицам во всех разрядах числа N .

Таблица 6.1 — Таблица функционирования микросхемы К155ИЕ8

Метка управляющего входа	Номера импульсов, проходящих на выход
1	32
2	16, 48
4	8, 24, 40, 56
8	4, 12, 20, 28, 36, 44, 52, 60
16	2, 6, 10, 14, 18, 22, 26, 30, 34, 38, 42, ...
32	1, 3, 5, 7, 9, 11, 13, 15, 17, 19, 21, 23, 25, 27, ...

Другой способ построения счетчиков с произвольным модулем счета реализован в программируемом делителе частоты, представленном на рис. 6.17.

На лимбах программных переключателей $SA1$, $SA2$ набирается число $N=AB$ (A — десятки, B — единицы). На выходах переключателей формируется инверсный двоично-десятичный код цифр A и B . Инверторы $DD1$, $DD3$ подают на входы предварительной установки счетчиков $DD2$, $DD4$ прямой двоично-десятичный код числа N . Счетчики работают в режиме вычитания (обратного счета). Когда счетчики находятся в нулевом состоянии и приходит счетный импульс, по его фронту D -триггер формирует логический нуль на выходе и в счетчик загружается число N , которое в течение следующих N тактов считывается до нуля. Число состояний счетчика равно $N + 1$. Таким образом, $f_{\text{вых}} = f_{\text{вх}}/(N + 1)$, т. е. на программном переключателе надо набирать число, на единицу меньшее требуемого коэффициента деления частоты. Длительность выходного импульса (активный уровень — нулевой) равна периоду входных импульсов.

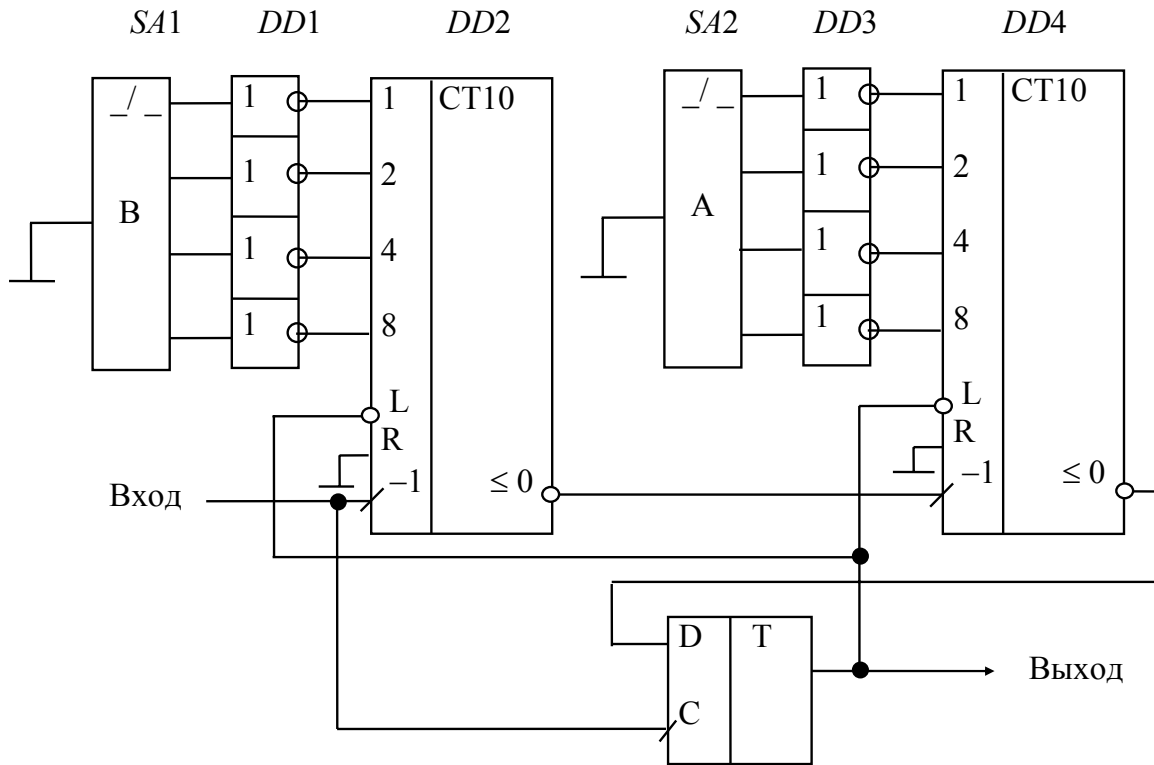


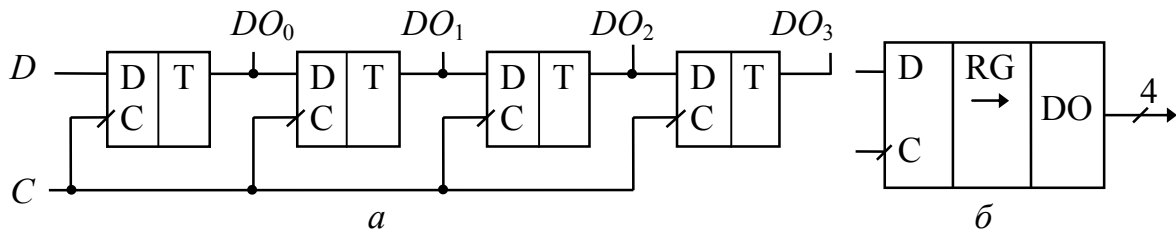
Рис. 6.17 — Программируемый делитель частоты

6.13 Регистры сдвига

Регистры представляют собой цепочки триггеров и предназначены для записи, хранения, сдвига и считывания из них двоичной информации (полубайта, байта и т. д.).

Различают регистры сдвиговые (со сдвигом вправо, влево и реверсивные), с параллельной загрузкой, универсальные, кольцевые и файловые.

Регистры сдвига строятся на *D*-триггерах с динамическим управлением. Тактовые входы объединяются, вход *D* первого триггера служит для приема информации, а входы *D* последующих подключаются к прямым выходам предыдущих (рис. 6.18).

Рис. 6.18 — Построение регистра сдвига на *D*-триггерах (а) и его УГО (б)

За четыре такта C (четыре синхроимпульса) последовательную информацию со входа D можно преобразовать в параллельную на выходах $DO_0–DO_3$.

6.14 Регистры памяти

Регистры с параллельной загрузкой также чаще строят на D -триггерах, объединяя их тактовые входы. Микросхемы регистров памяти могут тактироваться потенциалом (К580ИР82) или фронтом (К555ИР27) тактового импульса (рис. 6.19). Обязательным условием при записи данных в регистр является их фиксация до поступления такта. Хранимые данные с выхода первой микросхемы читаются при логическом нуле на входе \overline{OE} (разрешение выхода). При логической единице на входе \overline{OE} выходы микросхемы находятся в высокоимпедансном состоянии. Запись информации во вторую микросхему происходит по фронту тактового импульса только при логическом нуле на входе \overline{L} (Load — разрешение загрузки). При $\overline{L} = 1$ имеет место режим хранения данных в регистре.

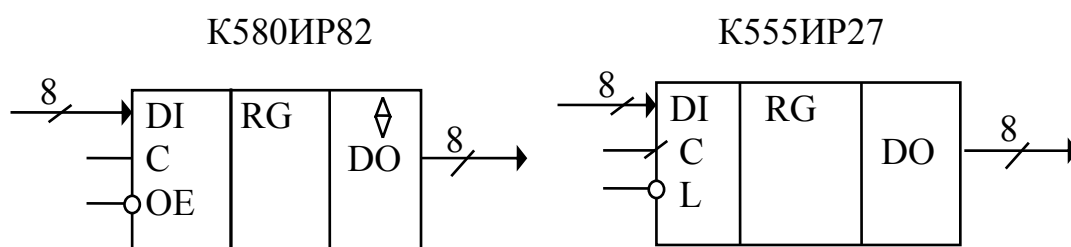


Рис. 6.19 — Микросхемы параллельных регистров

6.15 Универсальные регистры

Микросхема К155ИР13 (рис. 6.20) является примером универсального регистра. Режим ее работы задается уровнями сигналов на входах SR и SL (см. таблицу состояний регистра). При сдвиге вправо сигнал со входа DR переписывается в младший разряд DO_0 по фронту каждого тактового импульса, а старая информация выхода DO_7 теряется. При сдвиге влево информация с входа DL записывается на выход DO_7 , а информация с выхода DO_0 теряется. При $SL = SR = 1$ микросхема работает как параллельный ре-

гистр, запись информации в который с входов DI происходит по фронту тактового импульса. При подаче 0 на вход \bar{R} все триггеры регистра сбрасываются в нулевое состояние.

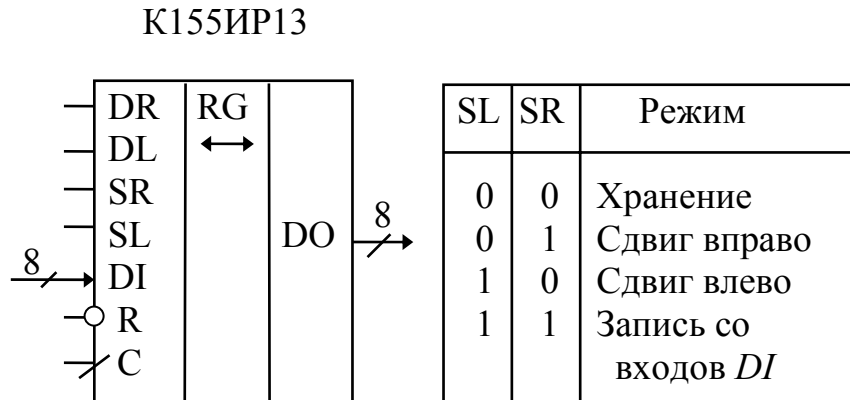


Рис. 6.20 — Универсальный регистр

6.16 Кольцевой регистр

Иногда желательно осуществлять многократный последовательный вывод информации (регенерацию) из регистра без ее стирания. Для этого необходимо снова ввести данные с помощью обратной связи. Пример схемы кольцевого регистра, который предоставляет такую возможность, показан на рис. 6.21.

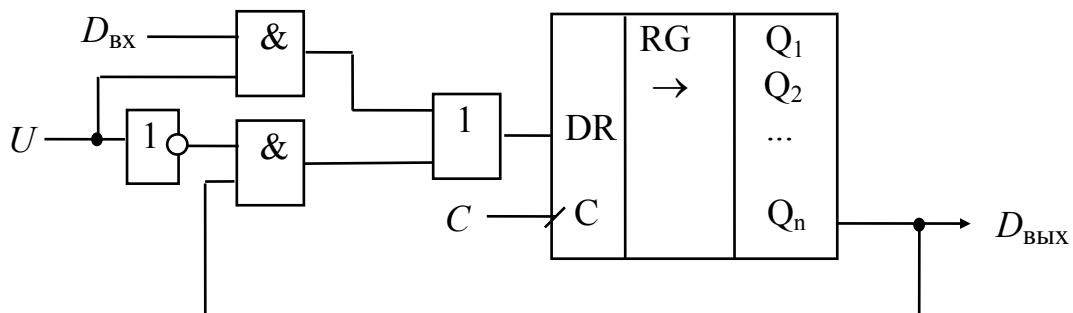


Рис. 6.21 — Кольцевой регистр

До тех пор пока на управляющем входе U поддерживается уровень логической 1, $DR = D_{\text{вх}}$, обратная связь не действует. За первые n тактов запоминается n -разрядный входной код $D_{\text{вх}}$. Если теперь подать $U = 0$, то $DR = Q_n$ и выведенный из регистра код n -разрядно поступает на вход. После n тактовых импульсов регистр сдвига опять находится в исходном состоянии. Следовательно,

логическое состояние на входе управления определяет, вводится ли новая информация или в регистре циркулирует старая.

Помимо основного назначения, регистры имеют другие многочисленные применения. Рассмотрим только некоторые из них.

6.17 Кольцевой счетчик

На регистрах сдвига реализуются самые разнообразные счетчики. Простейшим из них является кольцевой счетчик (рис. 6.22). Элемент 4ИЛИ-НЕ разрешает запись информации в первый триггер регистра только тогда, когда все триггеры находятся в нулевом состоянии. Эта кодовая 1 и перемещается по кольцу (выходы 1, 2, 3, 4, 5). Данное устройство представляет собой синхронный счетчик с $K_{сч} = 5$ и выполняет функции распределителя уровня логической единицы по пяти каналам. Его можно использовать для последовательного включения во времени пяти объектов управления.

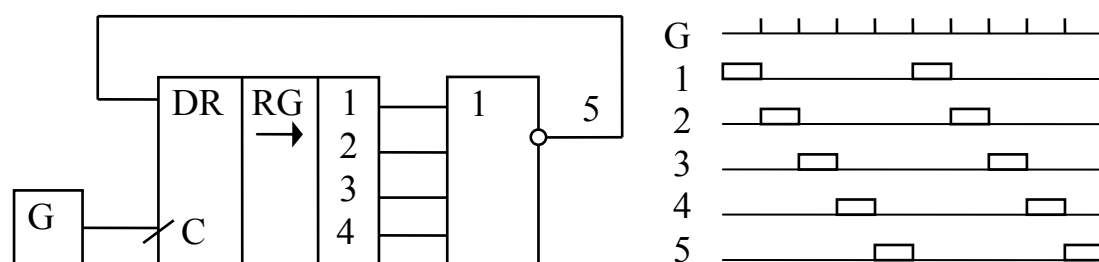


Рис. 6.22 — Кольцевой счетчик

6.18 Счетчики на регистрах сдвига

Счетчик Джонсона. Проанализируем работу другого счетчика на регистре сдвига (вариант счетчика Джонсона), в котором используется перекрестная обратная связь (рис. 6.23).

Исследуемое устройство представляет собой синхронный счетчик на регистре сдвига, построенном на трех JK -триггерах. Состояние первого триггера после подачи очередного среза счетных импульсов генератора G зависит от сигналов обратной связи, поступающих на его информационные входы J и K с выходов Q_2 и Q_3 . Триггер T_2 повторяет состояние триггера T_1 на предыдущем такте, а триггер T_3 — состояние триггера T_2 .

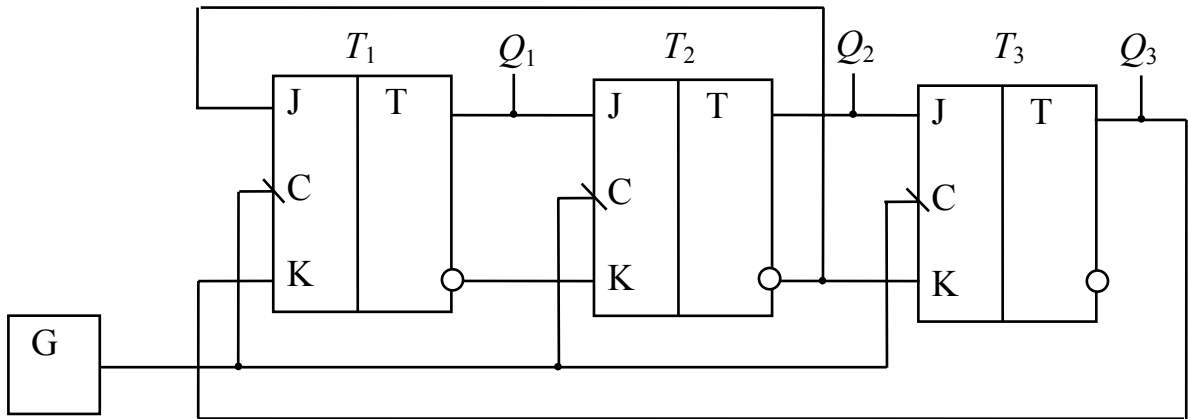


Рис. 6.23 — Вариант счетчика на регистре сдвига

Анализ работы удобно устройства провести с помощью таблицы состояний, предположив, что первоначально триггеры были сброшены в нулевое состояние ($Q_1 = Q_2 = Q_3 = 0$), а затем на счетный вход поступает очередной k -й импульс (рис. 6.24).

k	Q_1	Q_2	Q_3
0	0	0	0
1	1	0	0
2	1	1	0
3	1	1	1
4	0	1	1
5	0	0	1
6	1	0	0
7	1	1	0
8	1	1	1

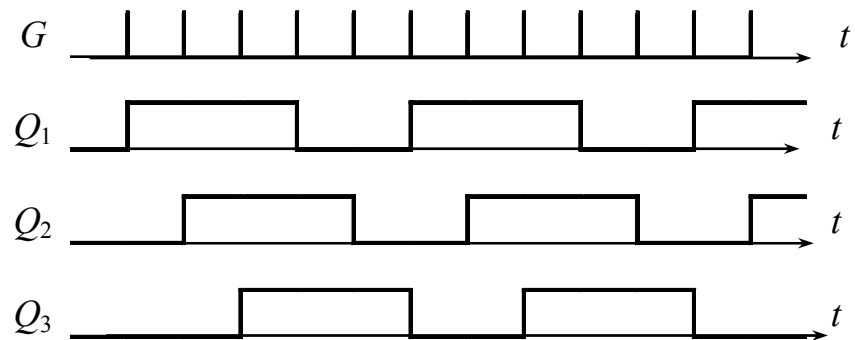


Рис. 6.24 — Таблица состояний и временные диаграммы выходных сигналов

До подачи первого импульса на информационных входах триггера T_1 : $J = 1$, $K = 0$. После первого импульса T_1 переходит в единичное состояние, а логические нули с выходов Q_1 , Q_2 переписываются на выходы Q_2 , Q_3 . Уровни сигналов на информационных входах T_1 не изменились. Поэтому после второго импульса он снова будет находиться в состоянии $Q_1 = 1$. Теперь уже и $Q_2 = 1$. На информационных входах T_1 устанавливаются уровни $J = K = 0$.

После третьего импульса T_1 не меняет своего состояния, оставаясь в состоянии $Q_1 = 1$. В этот момент все триггеры находятся в единичном состоянии. При этом на входе T_1 $J = 0$, $K = 1$, и после

четвертого импульса триггер T_1 сбрасывается в нулевое состояние. После пятого импульса состояние T_1 не меняется. Теперь на входах T_1 $J = K = 1$. Поэтому после шестого импульса триггер T_1 меняет свое состояние на противоположное и переходит в состояние $Q_1 = 1$.

Анализ таблицы состояний показывает, что после шестого импульса состояние счетчика такое же, как после первого. Следовательно, в цикле реализуются пять состояний и $K_{сч} = 5$. На каждом выходе чередуются три единичных и два нулевых состояния. Выход Q_2 повторяет выход Q_1 с задержкой на один такт, а выход Q_3 с задержкой на один такт повторяет выход Q_2 (см. временные диаграммы сигналов).

При включении источника питания каждый триггер может установиться либо в нулевое, либо в единичное состояние. У счетчика на трех триггерах таких состояний восемь. В рассмотренном цикле повторяются пять состояний. Вне цикла остается три состояния. Из состояния 000 ($Q_1 Q_2 Q_3$) поведение счетчика мы уже рассмотрели. Остается проследить, как будет работать счетчик, если при включении он установится в состояния 101 или 010. Такой анализ показывает, что из этих состояний, как из состояния 000, счетчик выходит на описанный режим работы, когда циклически повторяются состояния 100, 110, 111, 011, 001. Следовательно, начальная установка триггеров в фиксированное состояние не требуется.

6.19 Примеры построения цифровых устройств последовательностного типа

Пример 6.1. Цифровой широтно-импульсный модулятор

Двоичный счетчик на микросхемах $DD1, DD2$ (К555ИЕ7) последовательно в цикле пробегает состояния с 0 по 255 (рис. 6.25), формируя на входах A_i цифрового компаратора код развертки, повторяющийся с периодом $T = 256/f$, где f — частота генератора тактовых импульсов G . Цифровой компаратор выполнен на микросхемах $DD3, DD4$ (К555СП1). На входы B_i цифрового компаратора подается восьмиразрядный код управляющего сигнала. Пропорционально этому коду меняется длительность импульсов, формируемых на выходе $A <$ цифрового компаратора, в то время как их период неизменен и равен T .

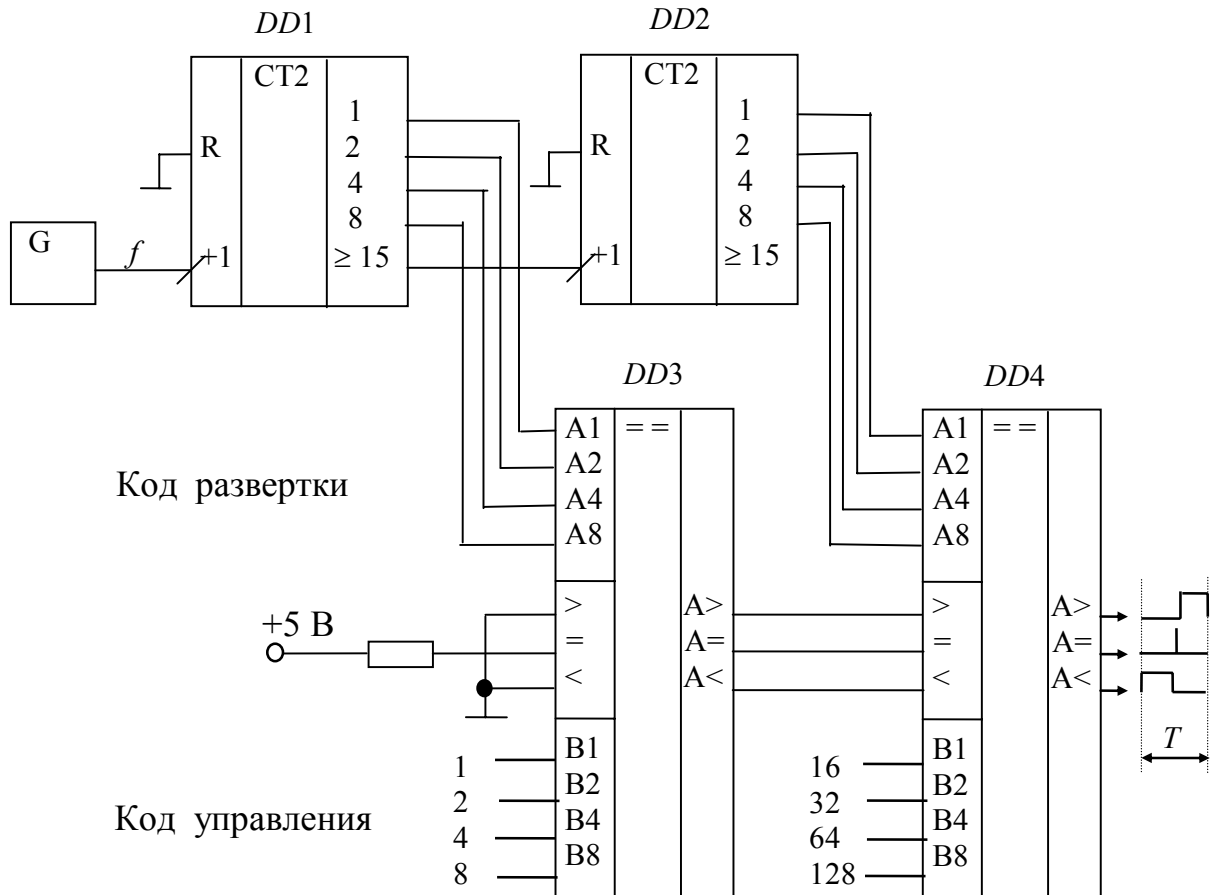


Рис. 6.25 — Цифровой широтно-импульсный модулятор

Принцип работы микросхемы цифрового компаратора К555СП1 состоит в следующем. Если число, код которого подан на входы $A1$ – $A8$, больше числа, код которого подан на входы $B1$ – $B8$, на выходе $A>$ микросхемы появляется логическая 1, на выходах $A=$ и $A<$ — логические 0. Если код числа A меньше кода числа B , логическая 1 появляется на выходе $A<$, на выходах $A=$ и $A>$ — логические 0. Если коды, поданные на входы A и B , равны, микросхема передает на свои выходы сигналы со входов $>$, $<$ и $=$, если на этих входах только одна логическая единица.

После реализации временной задержки RS -триггер сбрасывается в нулевое состояние, выключая реле. Таймер переходит в режим ожидания новой установки, сохраняя нулевое состояние счетчика. Диод $VD1$ защищает выход триггера от перенапряжения, которое возникает при выключении реле $K1$ (РЭС64А).

Пример 6.2. Электронный таймер

Обеспечивает включение исполнительного реле на время от 1 до 99 минут, индикацию времени в режиме обратного счета. Генератор G формирует прямоугольные импульсы с частотой $f_1 = 2$ Гц (рис. 6.26), а на выходе делителя частоты формируются импульсы с периодом $T = 1/f_2 = 1$ мин. Двоично-десятичный код реверсивного счетчика $DD3$, $DD4$ (К155ИЕ6) с помощью дешифраторов $DD5$, $DD6$ (514ИД1) преобразуется в код управления цифровыми индикаторами $HG1$, $HG2$ (АЛС324А). При нажатой кнопке $S1$ (установка) импульсы генератора с частотой 2 Гц проходят на суммирующий вход счетчика для установки временной задержки. Пуск таймера осуществляется при нажатии кнопки $S2$. RS -триггер $DD1.2$ (К155ТМ2) устанавливается в единичное состояние, включая реле $K1$, и снимает запрет на прохождение минутных импульсов на вычитающий вход счетчика.

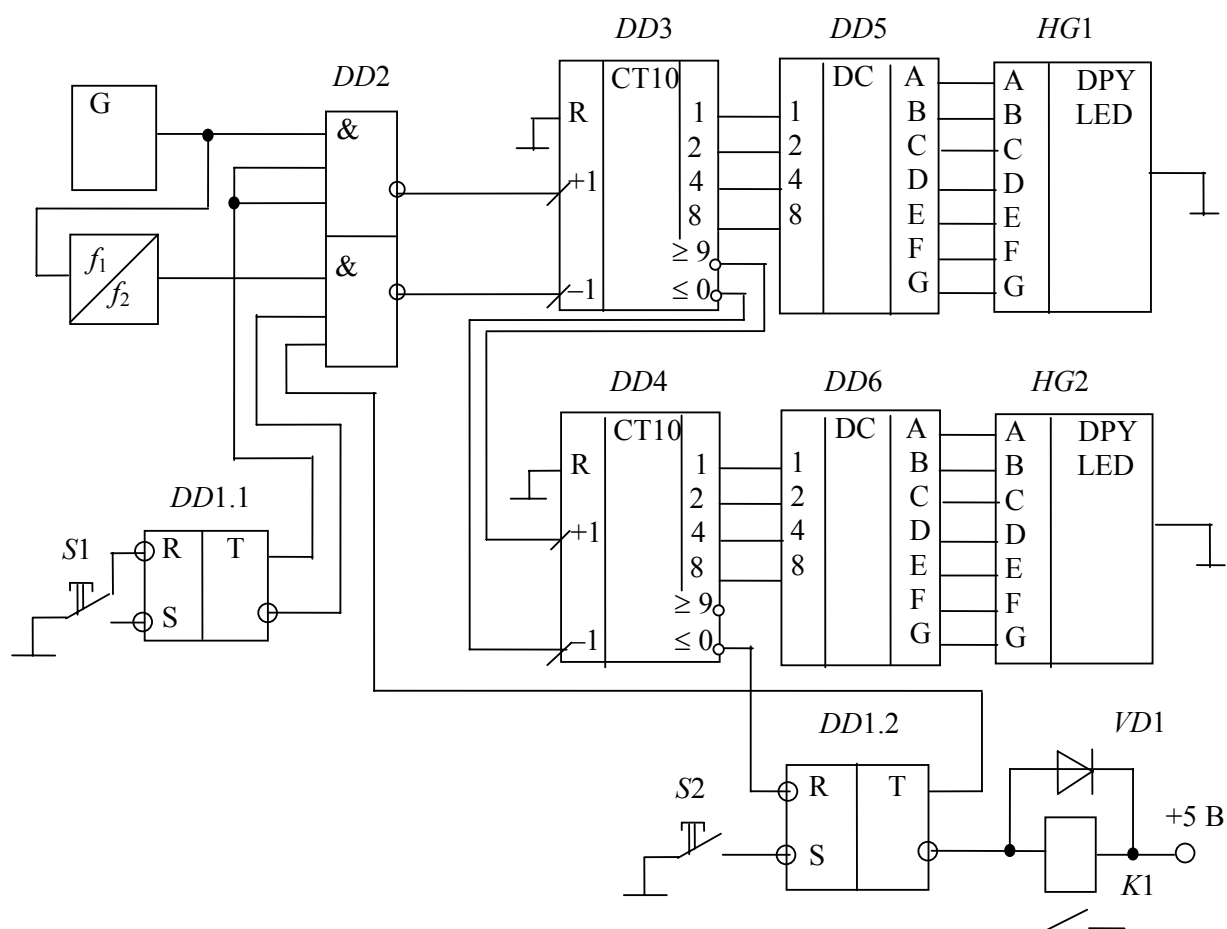


Рис. 6.26 — Электронный таймер

Пример 6.3. Устройство управления многоразрядным индикатором.

Полупроводниковые знаковые *многоразрядные* миниатюрные одноцветные индикаторы предназначены для преобразования низковольтных электрических сигналов в визуальную буквенно-цифровую информацию. Индикатор представляет собой набор 7–8-сегментных индикаторов и межэлектродных соединений, конструктивно расположенных и смонтированных в одном корпусе. Эти приборы являются многоразрядными гибридными индикаторами с оптическим увеличением и предназначены в основном для визуальной индикации результатов в малогабаритных счетных устройствах.

Конструктивно монолитные многоэлементные кристаллы помещают на общем основании, а для увеличения видимого изображения используется многоэлементная (по числу цифр) пластмассовая линза. Коэффициент увеличения размера знака, в зависимости от типа применяемой линзы, — от 2 до 3. Использование оптического увеличения позволяет также увеличить силу света индикаторов в 2–5 раз. Индикаторы исполнены в монолитной полимерной герметизации с числом разрядов от двух до пяти, с учетом возможности бесшовной стыковки, и обеспечивают набор шкал на любое число знакомест с шагом разряда 3,7 и 5 мм и высотой высвечиваемого знака 2,5; 3,75 и 5 мм.

На рис. 6.27 приведено графическое изображение индикатора АЛ308Б. Наименование сегмента соответствует наименованию вывода. Одноименные разряды во всех сегментах объединены и имеют общий вывод (ОК — общий катод). Выводы 1, 2, 3, 4 — это выходы ОК первого, второго, третьего и четвертого индика-

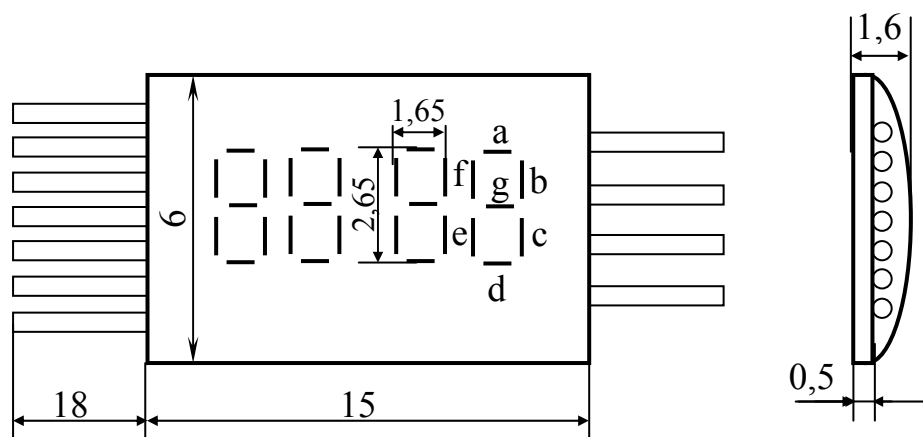


Рис. 6.27 — Графическое изображение индикатора АЛ308Б

торов. При подаче на входы А–G некоторого символа засветится тот индикатор, общий катод которого соединен с общей шиной. Чтобы обеспечить индикацию четырехразрядного кода, необходимо поочередно подавать код данного разряда на входы А–G и одновременно подключать ОК этого индикатора к общей шине. Такой способ индикации называется *динамическим*. Динамическая индикация основывается на кратковременном периодическом высвечивании соответствующей цифры в индикаторе, так что при достаточно высокой частоте повторения этого процесса глаз человека не замечает мерцаний, цифра в индикаторе представляется оператору высвечивающейся непрерывно. На рис. 6.28 приведена структурная схема устройства динамической индикации с использованием мультиплексоров, отчего ее называют *мультиплексной*.

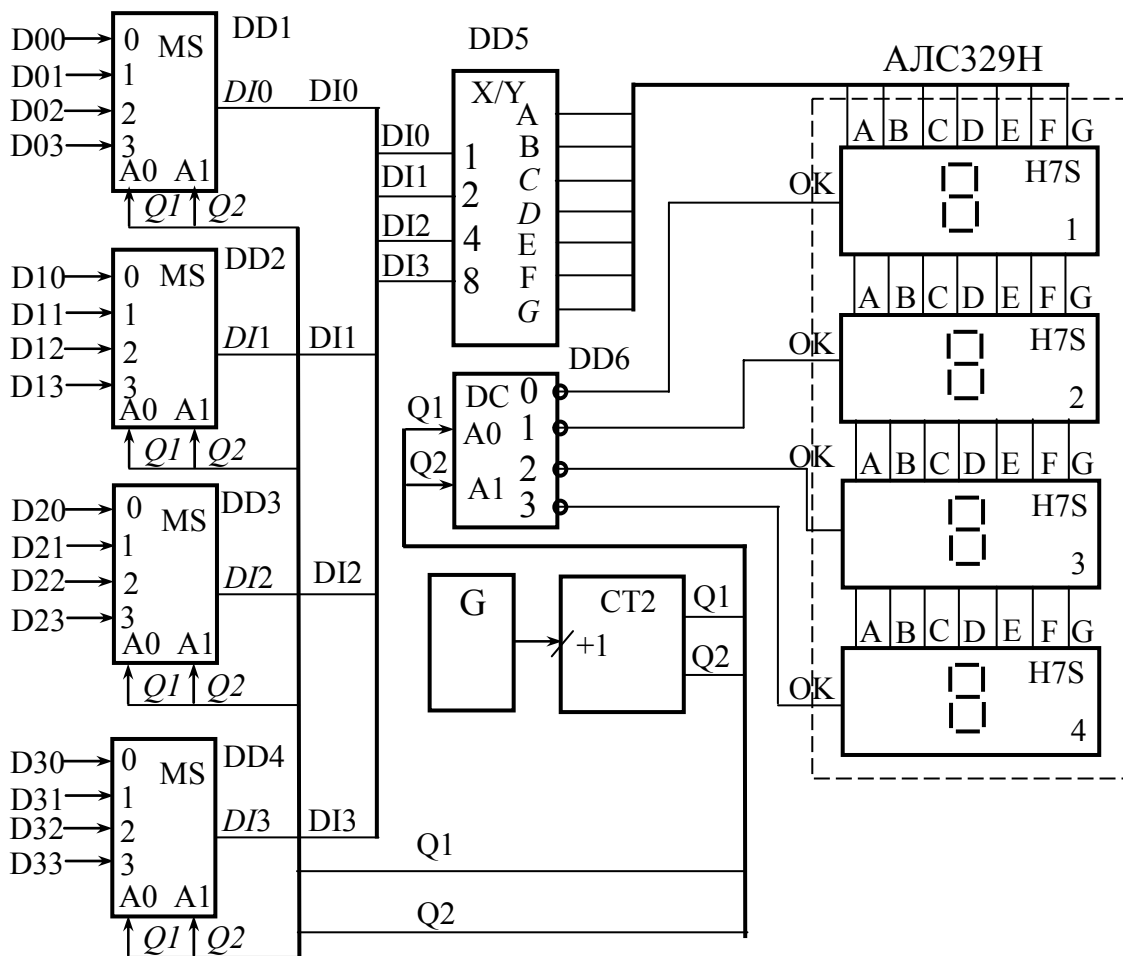


Рис. 6.28 — Структурная схема мультиплексного управления индикатором

Четырехразрядные коды от четырех декад группируют поразрядно на входах четырех мультиплексоров $DD1 \div DD4$ ($4 \rightarrow 1$). На входы $DD1$ подаются младшие разряды декад, на входы $DD4$ — старшие. С выходов мультиплексоров четырехразрядный код подается на преобразователь двоично-десятичного кода в код управления семисегментным индикатором. С преобразователя код $A \div G$ поступает на одноименные сегменты четырех индикаторов. Синхронизация работы мультиплексного (*динамического*) индикатора осуществляется с помощью генератора G и двухразрядного двоичного счетчика. Частота генератора выбирается такой, чтобы мерцание индикаторов было незаметно. Выходные сигналы $Q1$ и $Q2$ подаются на адресные входы мультиплексоров. Код $Q1 = Q2 = 0$ выдает на вход преобразователя код первой декады ($D00, D01, D02, D03$), одновременно на первом выходе дешифратора DC ($DD6$) формируется логический 0, что обеспечивает зажигание первого индикатора. При $Q1 = 1, Q2 = 0$ зажигается второй индикатор, остальные погашены и т. д. Так идет циклический «опрос» декад и зажигание индикаторов.

7 ПОЛУПРОВОДНИКОВЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

7.1 Классификация запоминающих устройств

По функциональному признаку различают *постоянные* запоминающие устройства (ПЗУ), хранящие информацию, предназначенную только для чтения, и *оперативные* запоминающие устройства (ОЗУ), предназначенные для записи, хранения и считывания цифровой информации.

ПЗУ относятся к комбинационным цифровым устройствам, ОЗУ относятся к цифровым устройствам последовательностного типа. ПЗУ сохраняют информацию при отключенном питании, т. е. обладают свойством энергонезависимости, в ОЗУ информация теряется при отключении питания.

ПЗУ по принципу работы являются преобразователями n -разрядного кода адреса ячейки A в m -разрядный код хранящегося в ней слова D (рис. 7.1). Данные считываются при подаче разрешающего уровня на вход CS .

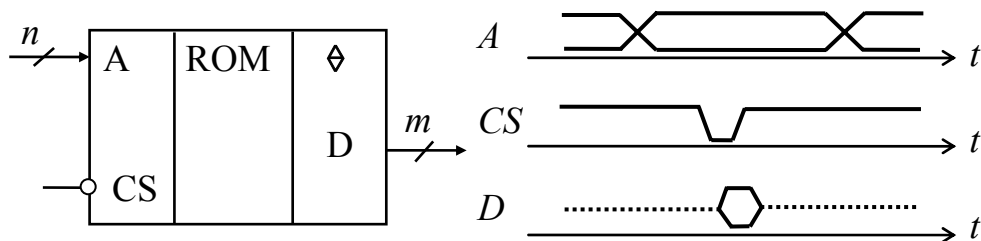


Рис. 7.1 — Условное графическое обозначение ПЗУ и временные диаграммы его работы

Микросхемы ПЗУ по способу записи в них информации делятся на *масочные* (ROM — Read Only Memory), программируемые на заводе-изготовителе интегральных микросхем; *однократно-программируемые* ($PROM$ — Programmable ROM) и *многократно-программируемые* пользователем (репрограммируемые ПЗУ).

Элементом памяти ОЗУ *статического* типа (RAM) служит триггер на биполярных или полевых транзисторах, ОЗУ *динамического* типа ($DRAM$) — конденсатор.

Для обеспечения возможности объединения по выходу при наращивании памяти все ПЗУ (как и ОЗУ) имеют выходы с тремя состояниями (\diamond) или открытый коллекторный выход (∇).

7.2 ПЗУ масочного типа

Схемотехническую реализацию ПЗУ масочного типа иллюстрирует рис. 7.2. Схема имеет адресные входы x_1, x_2 , выходы содержимого ячеек памяти z_1-z_4 , вывод для подключения источника питания E и общий вывод. Верхняя часть схемы представляет собой полный дешифратор. Если разрядность адреса равна n , то в дешифраторе имеем $2n$ горизонтальных входных линий, на которых формируются входные переменные и их инверсии. Число вертикальных линий в полном дешифраторе равно 2^n . С помощью специальных масок программируется наличие или отсутствие p - n -перехода в цепи связи вертикальных и горизонтальных шин матрицы. Размещение диодов матрицы И показано на рисунке жирными точками. Диоды ориентированы так, как показано на вынесенной в кружок части рисунка.

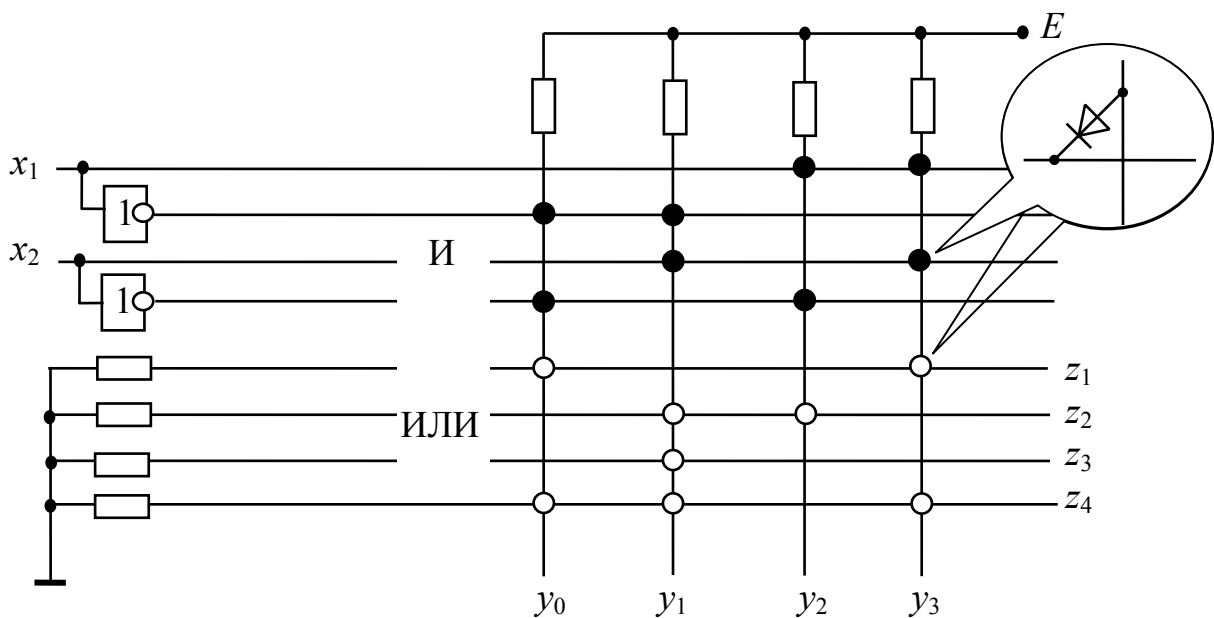


Рис. 7.2 — ПЗУ масочного типа

На вертикальных шинах матрицы реализуются логические функции $y_0 = \overline{x_1} \cdot \overline{x_2}$, $y_1 = \overline{x_1} \cdot x_2$, $y_2 = x_1 \cdot \overline{x_2}$, $y_3 = x_1 x_2$. Каж-

дому набору входных переменных, т. е. адресу ПЗУ, соответствует уровень логической единицы на одной из вертикальных линий и логического 0 на всех остальных. Диоды дешифратора реализуют матрицу И.

В нижней части рисунка диоды реализуют матрицу ИЛИ. Количество горизонтальных линий соответствует разрядности слова, записанного по каждому адресу. Наличие диода формирует 1 в соответствующем бите выходного слова, отсутствие диода — 0. В ПЗУ схема дешифратора неизменна, а программируется матрица связей ИЛИ (они удобны для реализации преобразователей кода).

В ПЛМ (программируемых логических матрицах) программируются обе матрицы (И и ИЛИ). ПЛМ удобны для реализации сложных логических функций, их преимущества особенно заметны при большом числе входных переменных.

В данном примере реализовано ПЗУ, карта прошивки которого представлена ниже в таблице, слева от которой записаны реализуемые логические функции.

$$z_2 = \overline{x_1} \cdot \overline{x_2} + x_1 x_2,$$

$$z_2 = \overline{x_1 x_2} + x_1 \overline{x_2} = x_1 \oplus x_2,$$

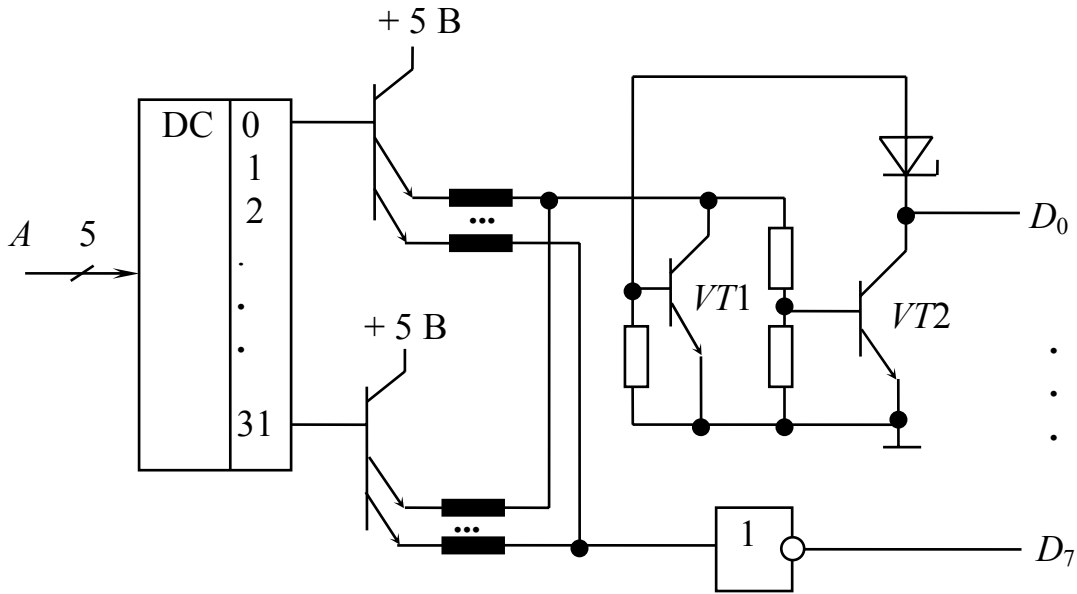
$$z_3 = \overline{x_1 x_2},$$

$$z_4 = \overline{x_1 x_2}.$$

x_1	x_2	z_1	z_2	z_3	z_4
0	0	1	0	0	1
0	1	0	1	1	1
1	0	0	1	0	0
1	1	1	0	0	1

7.3 Однократно программируемые ПЗУ

Один из принципов построения однократно программируемого ПЗУ с организацией 32×8 (микросхема K155PE3) показан на рис. 7.3. К каждому из 32 выходов дешифратора подключен восьмиэмиттерный транзистор. До программирования по любому адресу A считывается байт нулей ($D_0 - D_7$). После подачи высокого напряжения на одну из линий $D_0 - D_7$ пробивается стабилитрон, и открывшийся транзисторный ключ $VT1$ обеспечивает прожигание нихромовой перемычки (элемент на рисунке затемнен) в соответствующем разряде, после чего выходной транзистор

Рис. 7.3 — Пример построения *PROM*

VT2 закрывается (на выходе читается логическая 1). Таким образом, процесс программирования сводится к пережиганию специальных плавких перемычек из тугоплавкого материала. Процедура реализуется с помощью программатора, управляемого персональным компьютером. Для повышения надежности работы ПЗУ методика программирования предусматривает подачу серии 40–100 импульсов после фиксации момента пережигания перемычки, а также обязательную термотренировку запрограммированного ПЗУ при определенной температуре в заданном электрическом режиме.

7.4 Перепрограммируемые ПЗУ

Репрограммируемые ПЗУ в настоящее время выполняются двух типов:

- 1) с электрическим программированием и электрическим стиранием (*EEPROM*);
- 2) с электрическим программированием и ультрафиолетовым стиранием (*EPROM*).

В *EEPROM* (Electrically Erasable *PROM*) матрица запоминающих ячеек (ЗЯ) выполняется по МОП-технологии, но между металлическим затвором и слоем изолирующего окисла осаждается тонкий слой нитрида кремния. Нитрид кремния способен за-

хватывать и длительное время сохранять электрический заряд. Такая структура называется МНОП (металл — нитрид кремния — окисел — полупроводник). Чтобы зарядить слой нитрида кремния, на затвор МНОП-транзистора подается программирующий импульс, по амплитуде в несколько раз превышающий рабочие уровни напряжений. При подаче сигнала на адресную шину, подключенную к затворам МНОП-транзисторов, логическая 1 читается на истоке «заряженных» транзисторов. При отсутствии заряда ЗЯ хранит логический 0. Для стирания записанной информации, т. е. для удаления заряда, захваченного слоем нитрида кремния, на затвор МНОП-транзистора необходимо подать импульс напряжения противоположной полярности.

В *EPROM* (Erasable *PROM*) ЗЯ реализуется на МОП-транзисторе с селекторным и плавающим затворами. Плавающий затвор заряжается током лавинной инжекции при подаче на сток транзистора повышенного напряжения (до 25–30 В). Пороговое напряжение возрастает с 3 до 15 В, и при чтении на выходе ЗЯ читается 0. Для стирания информации пользуются облучением кристалла через специальное прозрачное окно в корпусе микросхемы ультрафиолетовым светом. Заряд на плавающем затворе рассеивается, пороговое напряжение падает, и выход повторяет высокий потенциал затвора — уровень логической 1. Комнатное освещение или солнечный свет не влияют на запрограммированное ПЗУ.

Особенно перспективны в настоящее время *EEPROM* типа флэш-памяти (Flash), допускающие запись и стирание блоков информации (вплоть до 60 Кб), в отличие от побайтового обращения при программировании других *EEPROM*. Разработанная по флэш-технологии микросхема 28F008SA представляет собой энергонезависимую СБИС емкостью 1 Мб с временем обращения 85 нс и электрическим стиранием записанной информации.

7.5 ОЗУ статического типа

Оперативные запоминающие устройства (ОЗУ). Элементом памяти ОЗУ статического типа (*RAM*) служит триггер на биполярных или полевых транзисторах, ОЗУ динамического типа (*DRAM*) — конденсатор, специально сформированный внутри МОП-струк-

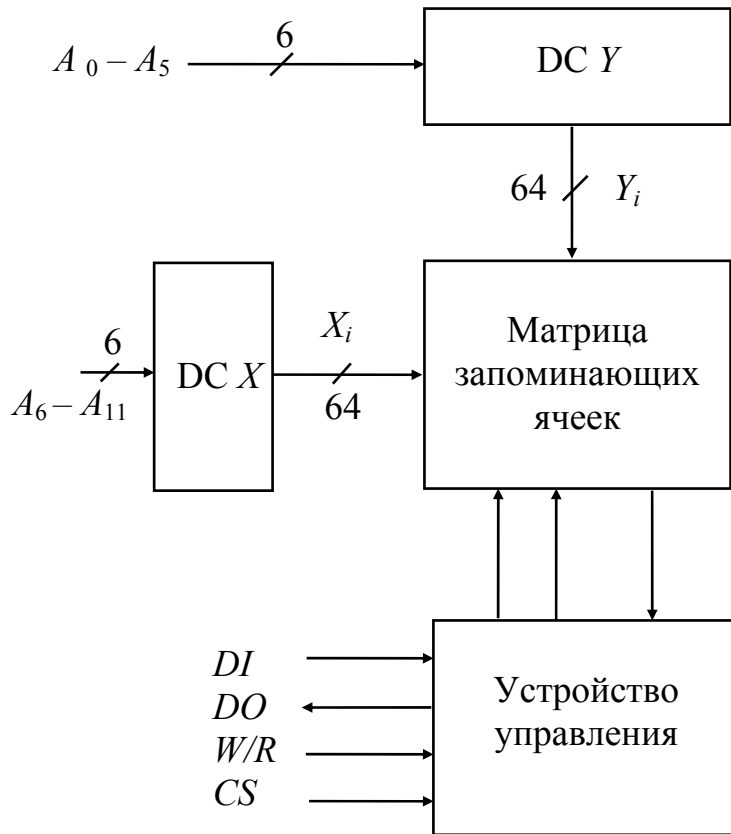


Рис. 7.4 — Структурная схема ОЗУ

туры. Структурная схема ОЗУ с организацией $4K \times 1$ приведена на рис. 7.4. Младшие шесть разрядов 12-разрядного адреса ячейки с помощью дешифратора определяют одну из вертикальных, а старшие — одну из горизонтальных шин запоминающего массива, на пересечении которых находится запоминающий элемент. Разрядные шины, которые используются для записи и считывания информации, являются общими для всех ячеек матрицы. Для одновременного запоминания m -разрядных слов необходимо m одинаковых матриц.

Устройство управления определяет режим работы схемы ОЗУ. По сигналу CS разрешаются или запрещаются операции записи или считывания. Сигнал CS позволяет выбрать требуемую микросхему памяти в ЗУ, состоящем из ряда микросхем. Подача сигнала логической 1 на вход W/R при наличии $CS = 1$ позволяет выбрать режим записи. Если же сигнал $W/R = 0$, то микросхема будет работать в режиме считывания.

Данные, подлежащие записи, поступают на вход DI , а данные, подлежащие считыванию, снимаются с выхода DO . Устройства записи и считывания обеспечивают прием и выдачу сигналов информации с уровнями, согласующимися с серийными цифровыми микросхемами.

Взаимодействие каждой запоминающей ячейки и устройства управления можно пронаблюдать по структурной схеме рис. 7.5, где обозначено: DI (Data Input) — входной информации

...

онный сигнал; DO (Data Output) — выходной информационный сигнал; W/R (Write/Read) — запись/чтение; CS (Chip Select) — выбор кристалла; X_i , Y_i — горизонтальные и вертикальные линии матрицы.

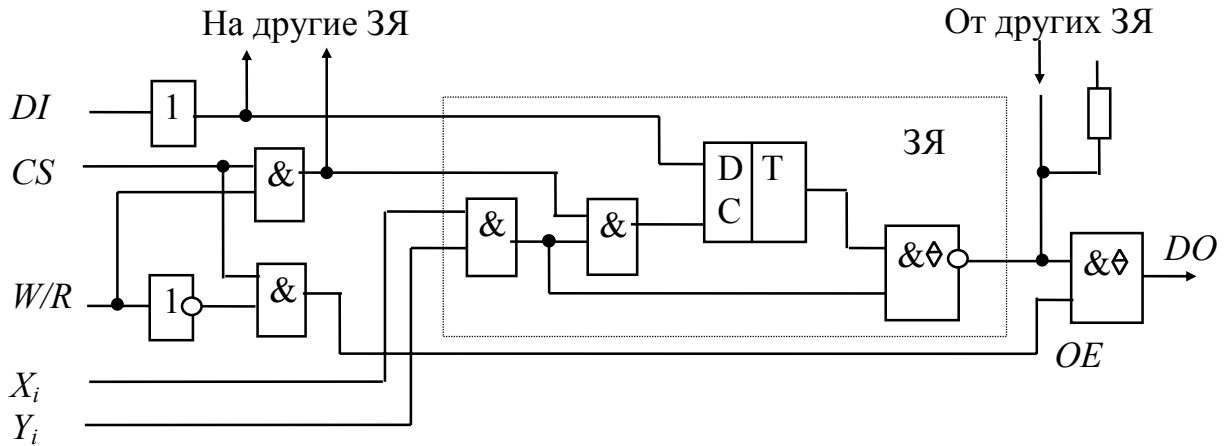


Рис. 7.5 — Структурная схема запоминающей ячейки

Сигнал DI подается на буфер, выходной сигнал которого поступает на информационные входы всех запоминающих ячеек. Сигнал $\overline{OE} = W/R \cdot CS$ управляет Z -состоянием выходного буфера. Выходной каскад каждой ЗЯ выполнен на элементе с открытым коллекторным выходом, что позволяет объединить при монтаже выходы всех ячеек памяти.

7.6 ОЗУ динамического типа

В качестве запоминающего элемента в ячейке памяти динамического ОЗУ используется конденсатор небольшой емкости (рис. 7.6). При записи данных происходит отпирание транзистора $VT1$, и через его малое сопротивление осуществляется заряд (если необходимо запомнить 1) или разряд (если запоминается 0) конденсатора C от источника входного информационного сигнала DI . В режиме хранения транзистор

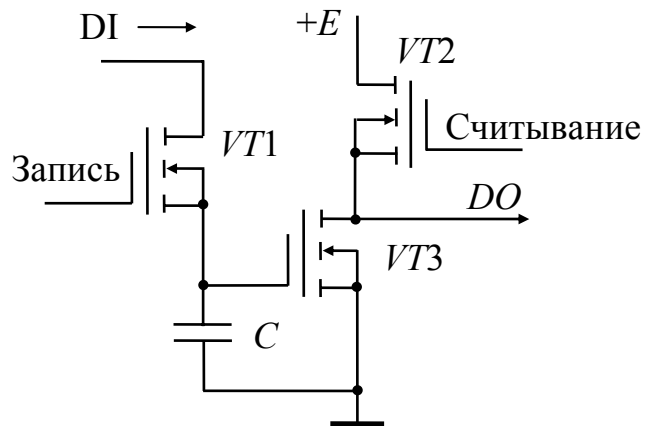


Рис. 7.6 — Запоминающий элемент динамического ОЗУ

V_{T1} заперт, и конденсатор медленно разряжается через входное сопротивление V_{T3} и высокое выходное сопротивление транзистора V_{T1} . Если время хранения логической 1 больше 2–4 мс, то конденсатор C необходимо периодически подзаряжать, подключая его к источнику напряжения питания (элементы схемы регенерации на рисунке не показаны). Обычно в качестве конденсатора C используется входная емкость транзистора V_{T3} , составляющая единицы пикофард.

Информация считывается при подаче логической 1 на затвор V_{T2} . При этом транзистор V_{T2} открывается, и на сток транзистора V_{T3} подается напряжение питания. Если конденсатор C заряжен, то транзистор V_{T3} открывается и на выходе DO действует напряжение логического нуля. V_{T3} работает как транзисторный ключ, нагрузкой которого является транзистор V_{T2} , поэтому он инвертирует входной сигнал. Если конденсатор C разряжен, то V_{T3} оказывается запертым и на линии DO действует логическая 1.

В *DRAM* требуется периодическое восстановление (регенерация) записанного состояния. В большинстве случаев современные СБИС динамической памяти имеют встроенные средства регенерации. *DRAM* позволяют реализовать большой объем памяти на кристалле (до 64 Мбайт).

7.7 Примеры микросхем памяти

Основными характеристиками микросхем ОЗУ и ПЗУ являются:

- емкость (определяется произведением количества хранимых слов на их разрядность);
- быстродействие (определяется временем цикла обращения к памяти);
- экономичность (определяется мощностью, потребляемой от источника питания).

Основные технические характеристики некоторых отечественных микросхем запоминающих устройств приведены в табл. 7.1.

Таблица 7.1

БИС	Емкость	Технология	Время цикла, нс	Мощность, мВт	Тип ЗУ
K155PE24	256×4	ТТЛ	60	650	ROM
K556PT5	512×8	ТТЛШ	70	950	PROM
K573PФ2	2048×8	ЛИЗМОП	450	580	EPROM
K558PP3	8192×8	МНОП	500	500	EEPROM
K537PY8	2048×8	КМОП	350	5 ($P_{ст}$)	RAM
K565PY5	65536×1	<i>n</i> -МОП	280	22 ($P_{ст}$)	DRAM

Примеры условных графических обозначений некоторых микросхем ПЗУ и ОЗУ приведены на рис. 7.7. В однократно программируемой микросхеме K556PT5 выходная информация считывается при совпадении разрешающих сигналов на входах *CS* (выбор корпуса), в ПЗУ с ультрафиолетовым стиранием K573PФ5 — при совпадении логических нулей на входах *CS* и *OE* (разрешение выхода). Микросхема ОЗУ K537PY9 имеет двунаправленную шину данных с возможностью ее перевода в третье состояние. При записи информации логический 0 подается на вход разрешения записи *WE*, при чтении — на вход *OE*.

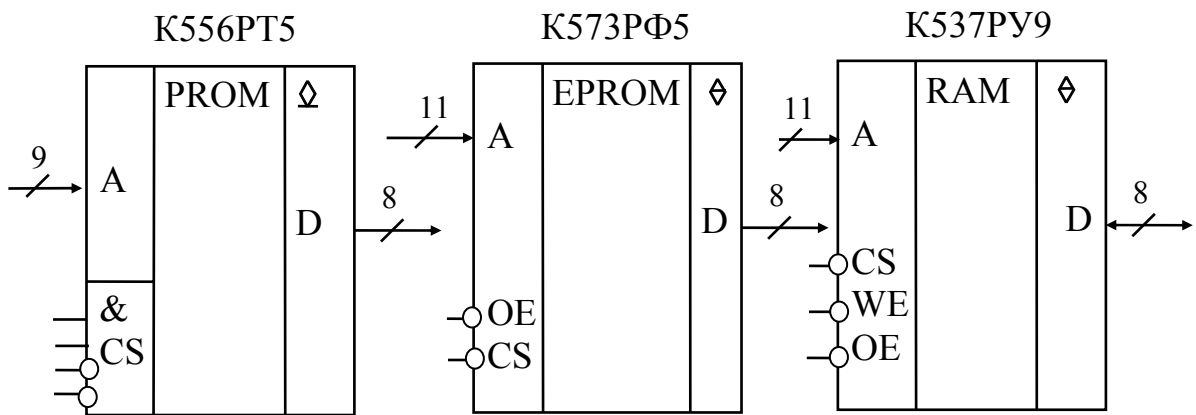


Рис. 7.7 — Примеры микросхем ПЗУ и ОЗУ

7.8 Организация блока памяти

Вариант подключения микросхем памяти к системной магистрали микропроцессора, имеющего 16-разрядную шину адреса (ША) и восьмиразрядную шину данных (ШД), показан на рис. 7.8.

Каждая из микросхем образует страницу памяти объемом 2 Кб, выбор нужной ячейки из которой производится с помощью адресных сигналов $A_0 - A_{10}$. Выбор нужной страницы осуществляет дешифратор К555ИД7 по состоянию старших разрядов адресной шины $A_{11} - A_{15}$. В данном примере ячейки ПЗУ и ОЗУ занимают в адресном пространстве микропроцессора соответственно области 0000H — 07FFH и 0800H — 0FFFH.

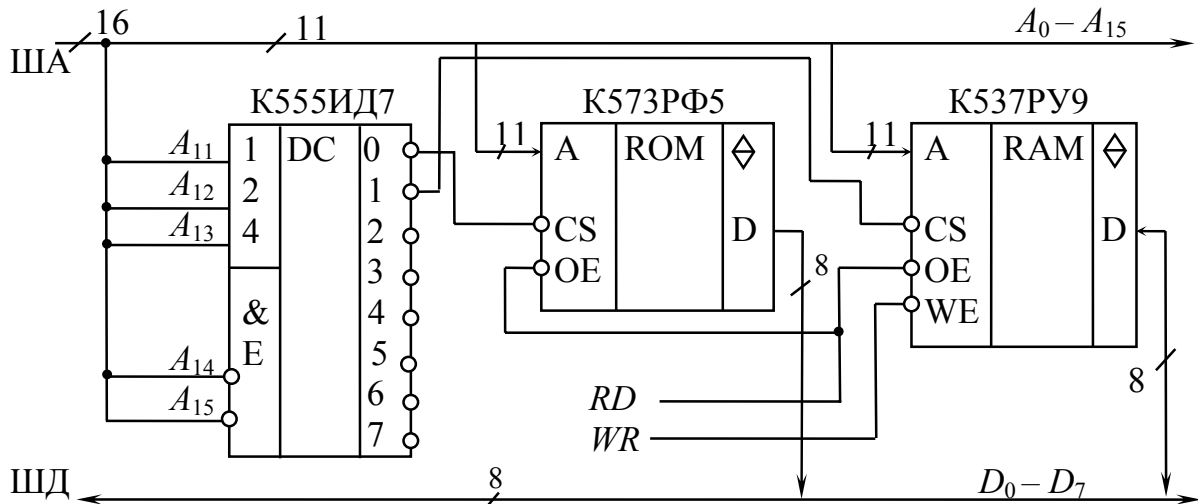


Рис. 7.8 — Организация блока памяти

Команды записи формируют строб WR , команды чтения — строб RD . Выходы дешифратора позволяют добавить к блоку памяти еще шесть аналогичных страниц ОЗУ или ПЗУ.

8 ПРИМЕРЫ РЕШЕНИЯ ЗАДАЧ

Задача 1. В приведенном ниже списке интегральных микросхем укажите (через пробел) номера цифровых микросхем комбинационного типа.

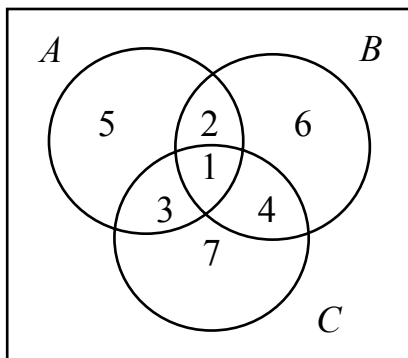
1	K555ИМ3	6	K1533ИЕ6
2	K133ТМ2	7	K531ИД3
3	K142ЕН5	8	K1554ИР24
4	K537РУ8	9	K1561КП1
5	K556РТ5	10	K140УД20

Ответ: 1 5 7 9. Указаны микросхемы сумматора, ПЗУ, дешифратора и мультиплексора. Кроме них в списке приведены обозначения двух аналоговых микросхем (стабилизатора постоянного напряжения и операционного усилителя) и цифровых микросхем последовательностного типа (D -триггера, ОЗУ, счетчика и регистра).

Задача 2. Записать в виде восьмиразрядного двоичного числа со знаком дополнительный код числа минус 35.

Ответ: 11011101. Он соответствует двоичному коду числа $256 - 35 = 221$.

Задача 3. Указать сегмент диаграммы Венна, которому соответствует логическое выражение $C \cdot \overline{(A + B)}$.



Ответ: 7. Это часть круга C , в которой надо исключить области, принадлежащие кругу A и кругу B . К аналогичным рассуждениям приводит и эквивалентное преобразование логического выражения: $C \cdot \overline{(A + B)} = C \cdot \overline{A} \cdot \overline{B}$.

Задача 4. Указать логические соотношения (их номера через пробел в порядке нарастания), в которых допущена ошибка.

1. $\overline{AB} \cdot \overline{BC} = \overline{B} + \overline{A+C}$
2. $(A+B)(A+C) = A+BC$
3. $\overline{A} \oplus B = \overline{AB} \cdot (A+B)$
4. $\overline{AB} + \overline{A} \tilde{N} = \overline{AB}(A+C)$
5. $\overline{A} \oplus B = A \oplus \overline{B}$
6. $\overline{AB} + \overline{BC} = \overline{ABC}$

Ответ: 3 6. Для доказательства справедливости представленных соотношений можно воспользоваться законами булевой алгебры или диаграммами Венна.

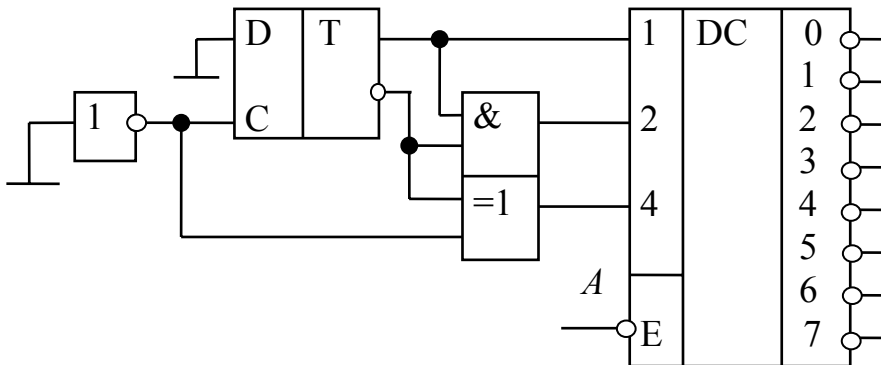
Задача 5. Указать значения булевой функции $f = ABC + \overline{AC} + \overline{BC}$ на восьми наборах таблицы истинности, соответствующих указанным на рисунке клеткам карты Карно ($f_7 \dots f_0$).

Ответ: 01101010. Логическая функция записана в ДНФ. Каждому слагаемому соответствует блок из логических 1 на карте Карно. Блок ABC дает 1 в

	A			
	0	2	6	4
C	1	3	7	5
	B			

клетке 6. Блок \overline{AC} дает 1 в клетках 1 и 3. Блок \overline{BC} заполняет единицами клетки 1 и 5.

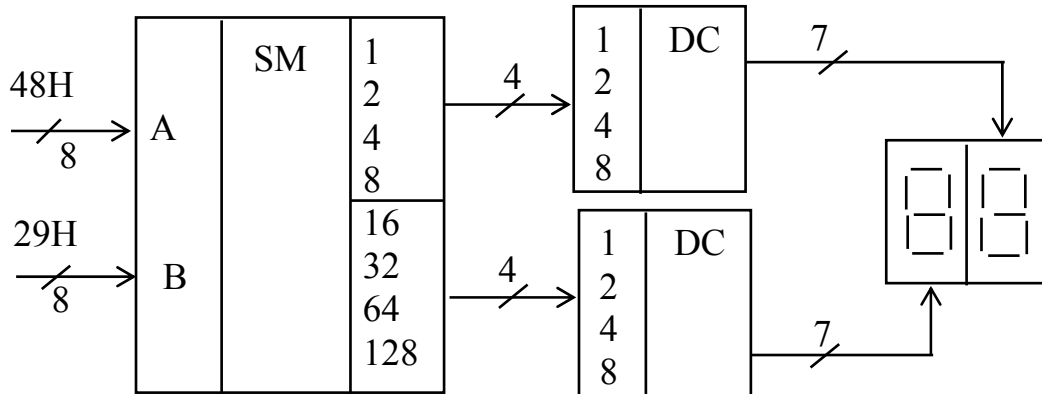
Задача 6. На каком выходе дешифратора повторяется сигнал A ?



Решение. На вход C D -триггера подана логическая 1. Следовательно, он работает как повторитель уровня, который подан на вход D . При этом на его прямом выходе — 0, инверсном — 1. На выходе логического элемента «Исключающее ИЛИ» формируется логический 0, так как уровни на входах одинаковые. Поскольку на всех адресных входах дешифратора (в данном случае он работает как демультиплексор) логические нули, входной сиг-

нал A повторится на его нулевом выходе. На всех других выходах будет логическая 1.

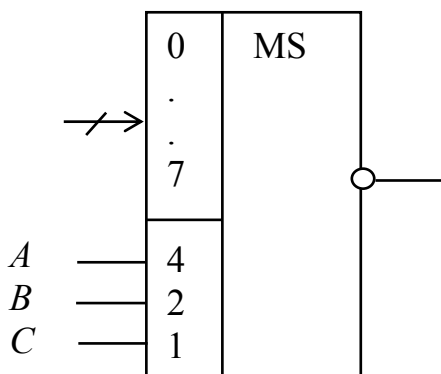
Задача 7. Какое число загорится на цифровом индикаторе?



Ответ: 71. На рисунке изображена функциональная схема восьмиразрядного сумматора, на входы A и B которого поступают слагаемые, записанные в шестнадцатеричной форме (суффикс Н). На выходе формируется сумма $48\text{H} + 29\text{H} = 71\text{H}$. Старшая тетрада через дешифратор (преобразователь двоично-десятичного кода в код семисегментного индикатора) высвечивает на левом индикаторе цифру 7, младшая — цифру 1 на правом индикаторе.

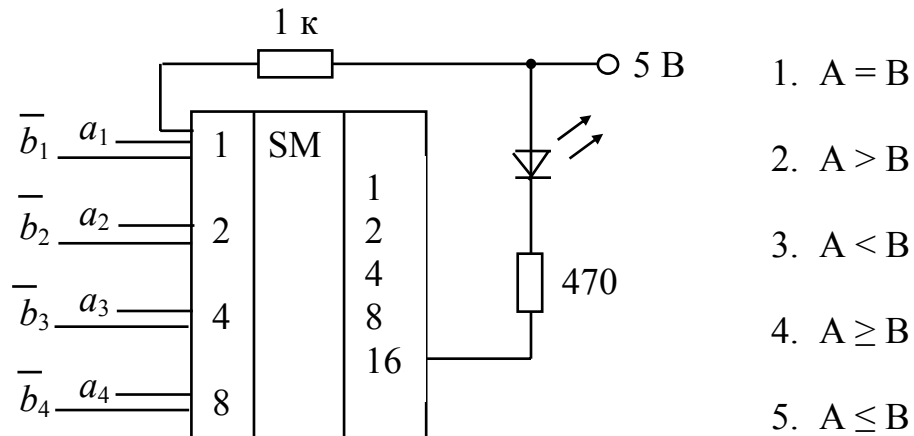
Задача 8. Указать восьмиразрядное слово $X (x_7 \dots x_0)$, которое надо подать на входы мультиплексора для реализации логической функции $F = AB\bar{N} + \bar{A}B\bar{N} + \bar{A}BC$.

Ответ: 10010111. Логическая функция записана в СДНФ и принимает единичные значения на трех наборах входных переменных A, B и C — шестом, пятом и третьем (номера наборов по-



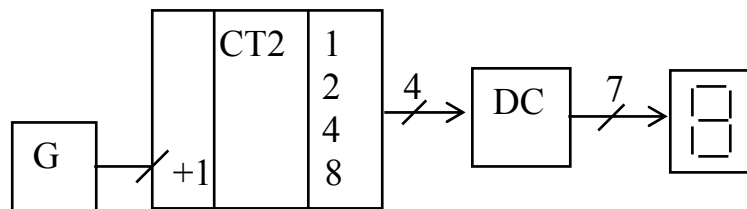
лучены путем суммирования весовых коэффициентов адресных входов мультиплексора, соответствующих прямым значениям переменных). На эти информационные входы мультиплексора надо подать логические нули, так как функция формируется на его инверсном выходе.

Задача 9. Указать функцию сравнения, которую фиксирует горящий светодиод?



Ответ: 3. На один из входов сумматора с весом 1 постоянно подана логическая 1. Для того чтобы горел светодиод, должен быть логический 0 на выходе сумматора с весом 16, т. е. выполняться неравенство $A + \bar{B} + 1 < 16$. На конкретных примерах четырехразрядных чисел A и B легко убедиться, что светодиод горит при $A < B$ (полезно заметить, что $\bar{B} = 15 - \hat{A}$). Пусть, например, $A = B = 5$. Пятиразрядная сумма на выходе сумматора отображается числом $16 = 10000$. Светодиод не горит. Тот же эффект будет если $A > 5$. А если $A < 5$, например, $A = 3$, то на выходе сумматора число $14 = 01110$ и загорается светодиод.

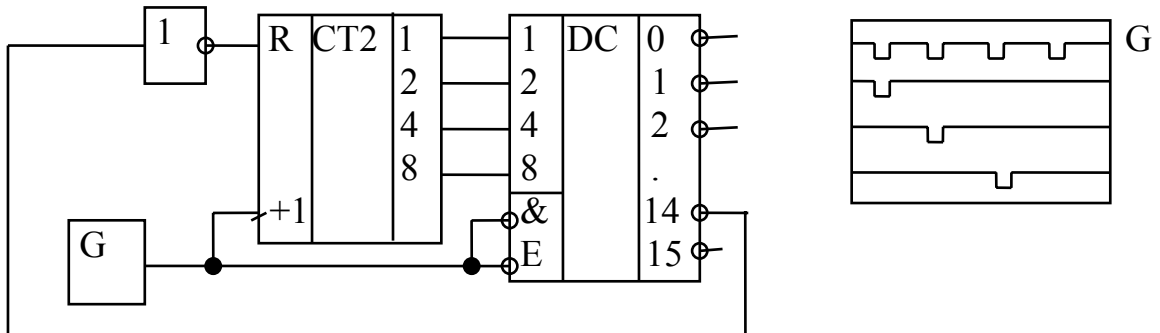
Задача 10. Счетчик находился в состоянии 7, после чего на его вход поступило 125 импульсов. Какое число загорится на цифровом индикаторе?



Ответ: 4. На схеме изображен четырехразрядный суммирующий двоичный счетчик с коэффициентом пересчета 16, меняющий состояния с 0 по 15. После поступления 16 импульсов на вход счетчика он снова окажется в 7-м состоянии. В этом же со-

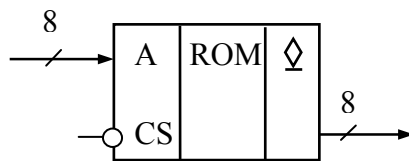
стоянии он будет через 112 импульсов (ближайшее целое число к 125, которое делится на 16). Еще через 13 импульсов он окажется в состоянии 4. Это число и загорится на цифровом индикаторе.

Задача 11. Оценить число каналов распределителя импульсов, показанного на рисунке?



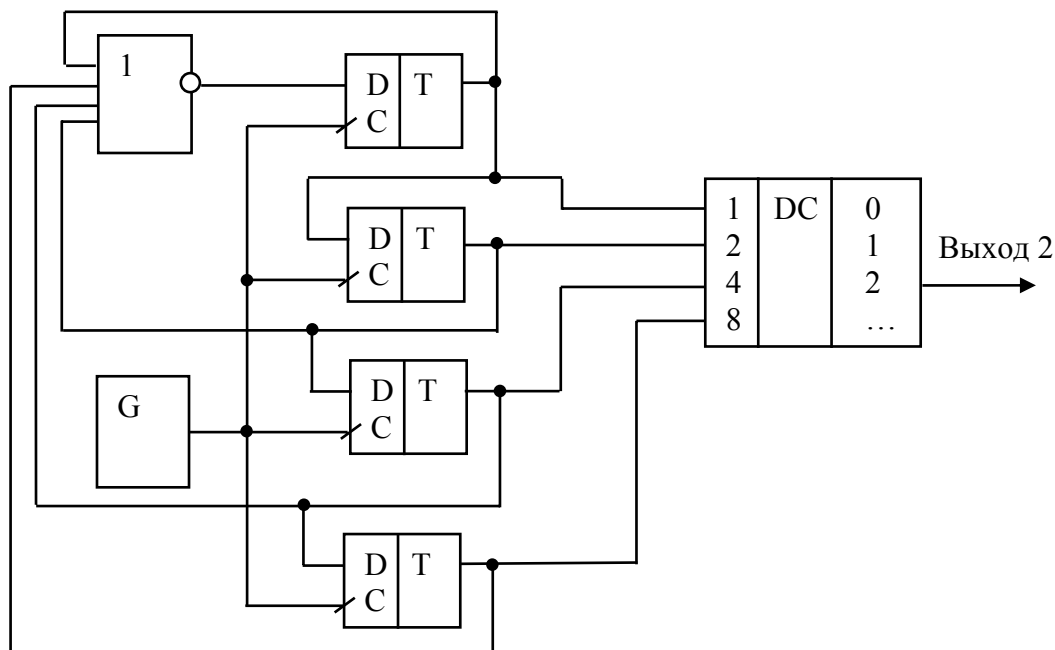
Решение. Как только суммирующий двоичный счетчик переходит в 14-е состояние (по фронту импульсов генератора G), формируется логическая 1 на входе R и он сбрасывается в нулевое состояние. Таким образом, число каналов распределителя импульсов равно 14 (с 0-го по 13-й).

Задача 12. Указать емкость ПЗУ в битах.



Ответ: 2048. Емкость ЗУ в битах определяется произведением количества хранящихся слов на их разрядность. В данном ПЗУ хранится 256 восьмиразрядных слов.

Задача 13. Во сколько раз (указать число) частота выходных импульсов меньше частоты генератора.

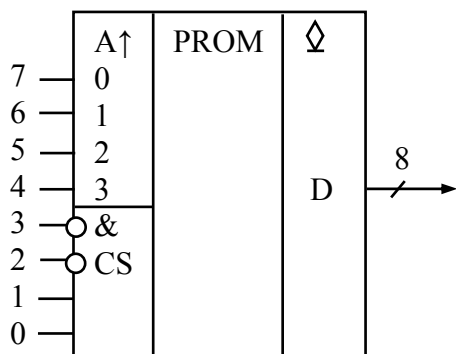


Ответ: 5. На рисунке показана схема кольцевого счетчика на регистре сдвига, к выходам которого подключен дешифратор. Коэффициент пересчета счетчика равен 5. По его пяти выходам при подаче импульсов генератора перемещается логическая 1 (пятый выход счетчика — это выход логического элемента ИЛИ-НЕ). Состояниям счетчика соответствует появление логической единицы на выходах дешифратора 0, 1, 2, 4 и 8. На выходе 2 частота импульсов будет в пять раз меньше частоты генератора. На некоторых других выходах, например третьем, импульсов не будет.

Задача 14. Указать уровни сигналов на входах ПЗУ при считывании информации из пятнадцатой ячейки.

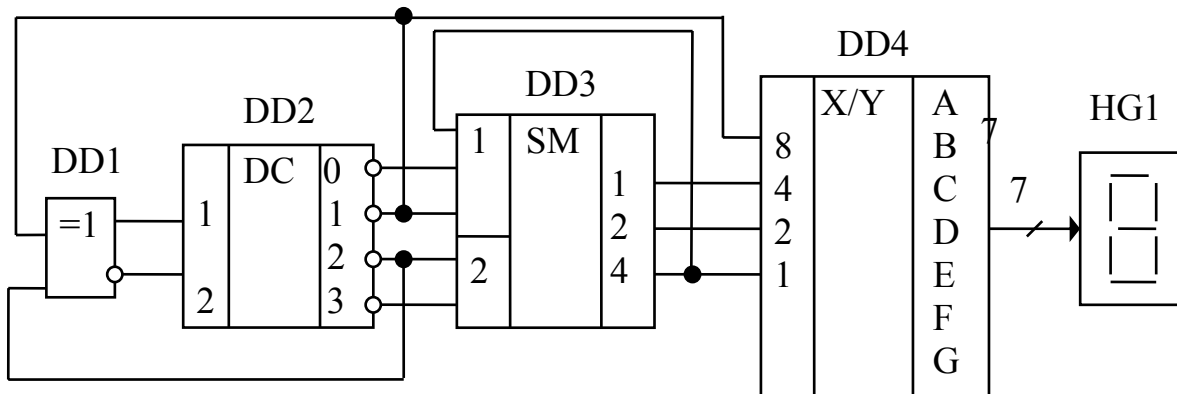
Входы: 76543210

Ответ: 11110011



На рисунке приведена функциональная схема однократно программируемого ПЗУ объемом 16 байт. Адрес ячейки (от 0 до 15) задается уровнями сигналов на адресных входах ПЗУ. Для считывания информации на двух нижних входах разрешения должны быть логические единицы, на двух верхних — логические нули.

Задача 15. Какое число загорится на цифровом индикаторе?

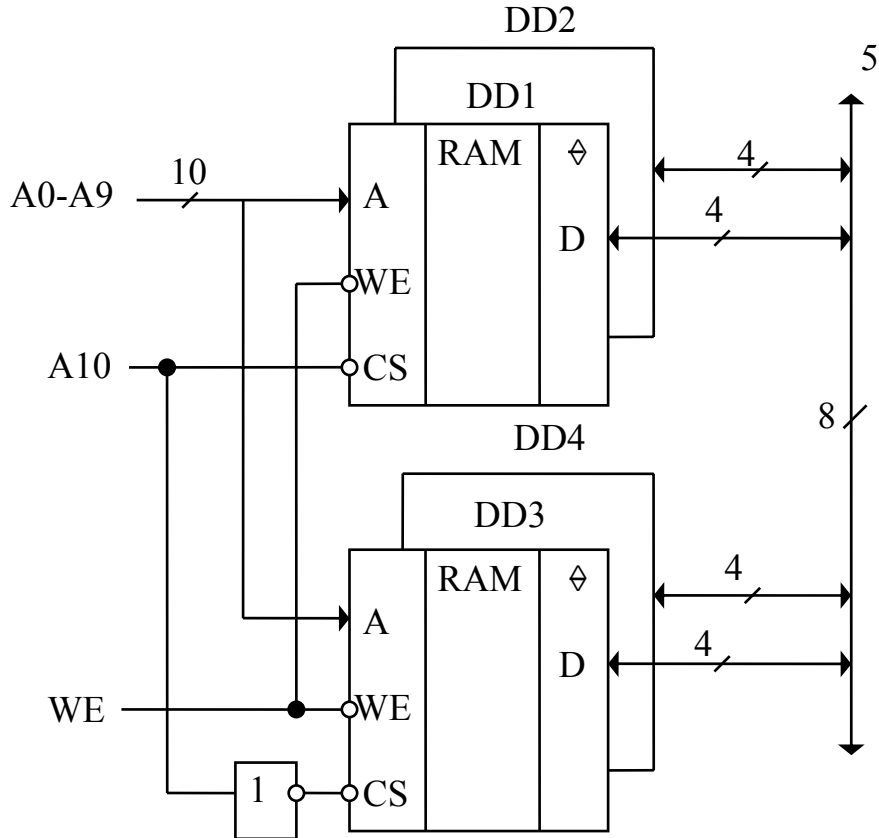


Ответ: 3. Анализируя схему, расставим логические уровни на входах и выходах элементов. На входах дешифратора уровни сигналов не совпадают. Следовательно, активным может быть либо первый, либо второй выход DD2. Во всяком случае, не совпадают и уровни сигналов на входах логического элемента DD1. Следовательно, на его прямом выходе — 1, инверсном — 0. При этом на всех выходах DD2, кроме первого, логические единицы.

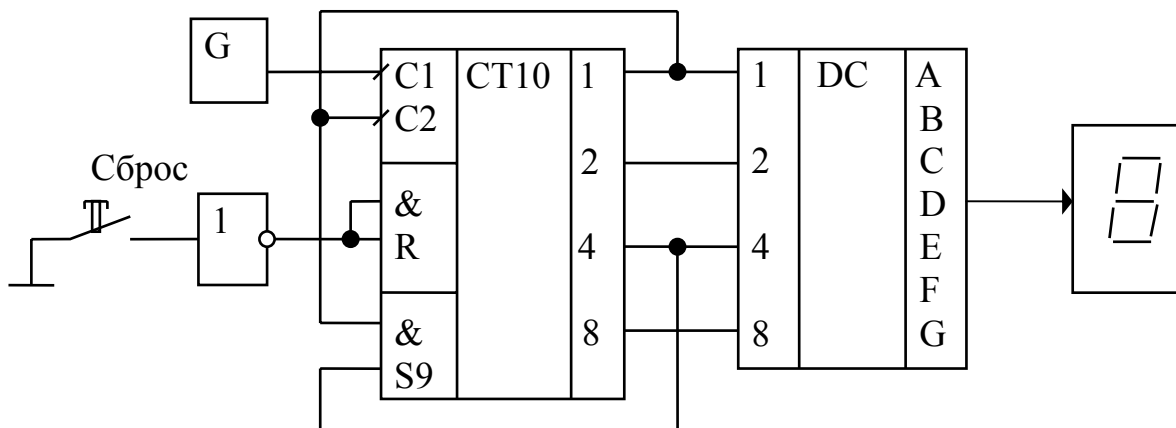
На входы DD3 поданы сигналы, сумма которых 5 или 6. Так как в любом из этих случаев по цепи обратной связи на вход младшего разряда сумматора поступает 1, то $S = 6$ (логические единицы на выходах с весовыми коэффициентами 4 и 2). При этом на входах преобразователя DD4 логические уровни соответствуют коду цифры 3, которая и загорится на цифровом индикаторе HG1.

Задача 16. Организуйте ОЗУ $2K \cdot 8$ на микросхемах К541РУ2 ($1K \cdot 4$).

Решение. Для увеличения разрядности слов объединены все одноименные входы микросхем DD1, DD2 (и соответственно, DD3, DD4). При $A_{10} = 0$ выбирается верхнее ОЗУ $1K \cdot 8$, при $A_{10} = 1$ — нижнее. Выходы микросхем связаны с восьмиразрядной двунаправленной шиной DB.



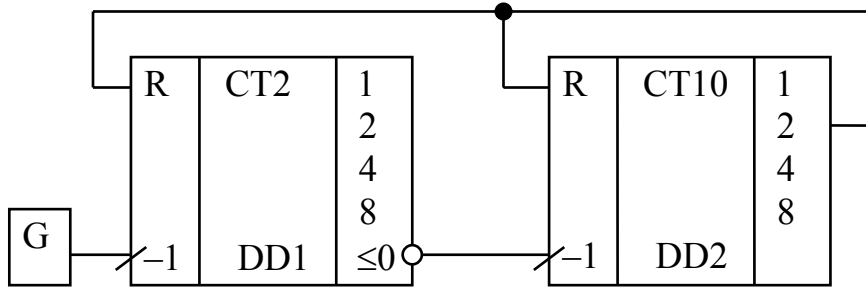
Задача 17. Какое число загорится на цифровом индикаторе после поступления на вход предварительно сброшенного счетчика ста импульсов?



Ответ: 4. Микросхема (например, К155ИЕ2) работает как двоично-десятичный счетчик, считая в прямом направлении от нуля до девяти. Но из пятого состояния за счет обратных связей она перекидывается в девятое. Таким образом, в цикле реализуются состояния 9,0,1,2,3,4 и коэффициент пересчета счетчика ра-

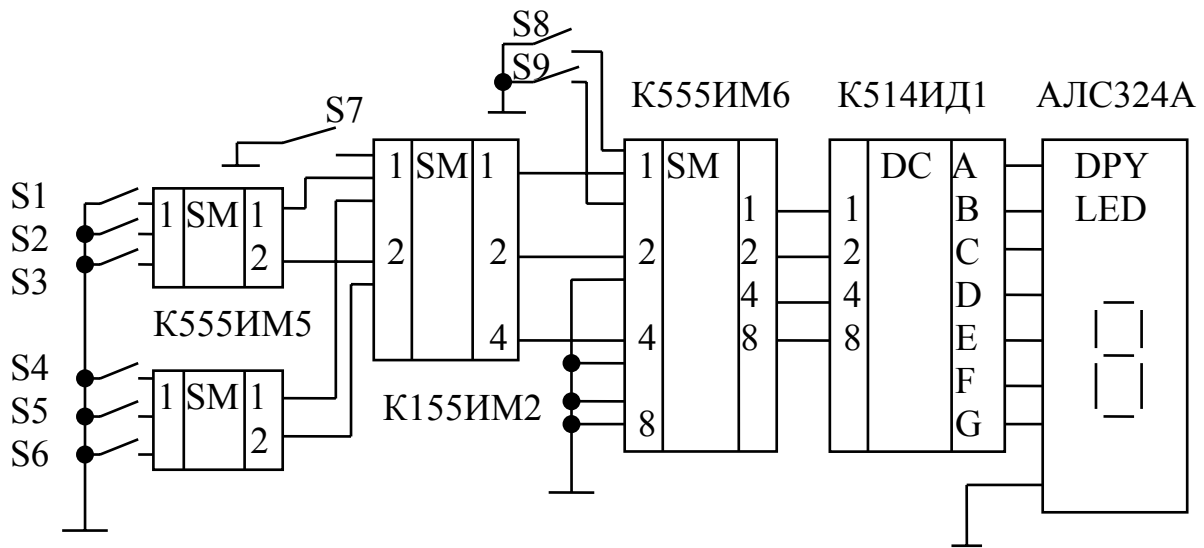
вен 6. После 96 импульсов предварительно сброшенный счетчик будет находиться в нулевом состоянии, а еще через 4 импульса — в четвертом. Это число и загорится на индикаторе.

Задача 18. Определите коэффициент пересчета счетчика.



Ответ: 33. Первый каскад вычитающего счетчика собран на четырехразрядном двоичном счетчике DD1 (например, К155ИЕ7), второй — на двоично-десятичном счетчике DD2 (К155ИЕ6). Проведем анализ работы устройства при поступлении импульсов на вход предварительно обнуленного счетчика. Первый импульс, поступающий на счетный вход, повторяется на выходе заема (≤ 0) DD1. По его положительному фронту микросхема DD1 переходит в 15-е состояние, микросхема DD2 — в 9-е. Последующие 15 импульсов будут менять состояние DD1, не меняя режим DD2. По окончании 17-го импульса DD1 перейдет в 15-е состояние, DD2 — в восьмое. Еще через 16 импульсов DD2 перейдет в седьмое состояние и появится логическая 1 на выходе 2, которая сбросит счетчик в нулевое состояние. Таким образом, коэффициент пересчета счетчика равен 33.

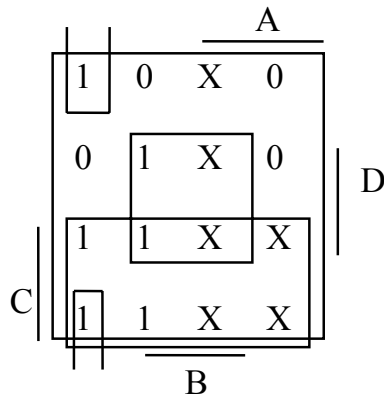
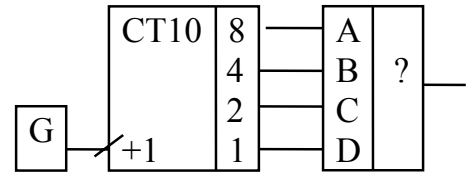
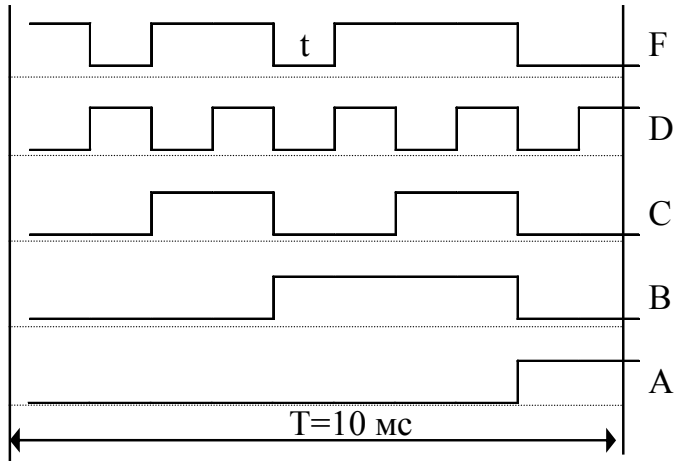
Задача 19. Спроектировать устройство, отображающее на цифровом индикаторе число деталей (от 0 до 9) в ячейке склада. Наличию детали соответствует разомкнутое состояние контактного датчика, отсутствию — замкнутое.



Решение. Наиболее просто задача решается с помощью сумматоров. Необходимо просуммировать с равным весом девять сигналов с датчиков S1–S9, для чего задействованы микросхемы одноразрядных (K555ИМ5), двухразрядных (K555ИМ2) и четырехразрядных (K555ИМ3) сумматоров. Суммарное число через дешифратор K514ИД1 (преобразует двоично-десятичный код в сигналы управления семью сегментами индикатора) поступает на цифровой светодиодный индикатор АЛС324А с объединенными катодами, которые заземляются. Все входы сумматоров, подключенные к датчикам, надо для фиксации логической единицы подключить через резисторы к цепи +5 В.

Задача 20. Сформировать сигнал F, временная диаграмма которого для одного периода T показана на рисунке.

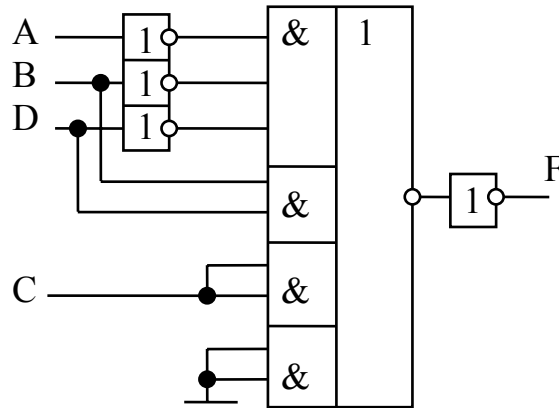
Решение. Воспользуемся генератором импульсов G с выходной частотой 1 кГц ($t = 1$ мс) и двоично-десятичным счетчиком, на выходе которого формируются сигналы A, B, C, D. Тогда задача сводится к проектированию комбинационной части устройства, обозначенной на функциональной схеме вопросительным знаком.



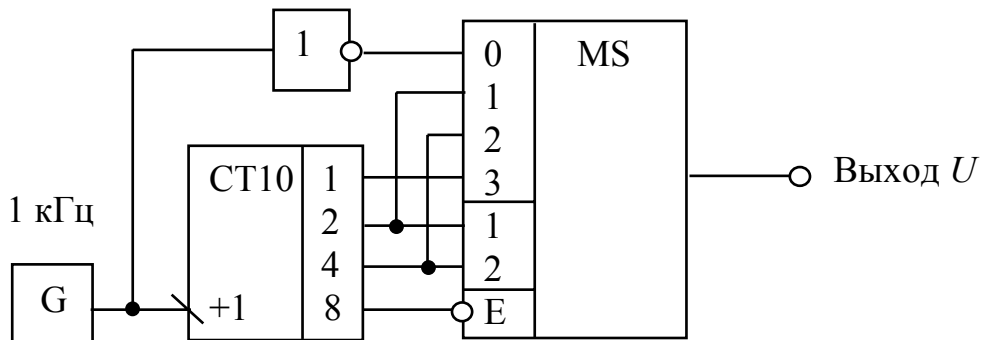
№	A	B	C	D	F
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	0

Двоично-десятичный счетчик в течение каждого периода T последовательно пробегает 10 состояний (с нулевого по девятое), каждому из которых соответствует четырехразрядный двоичный код сигналов A, B, C, D .

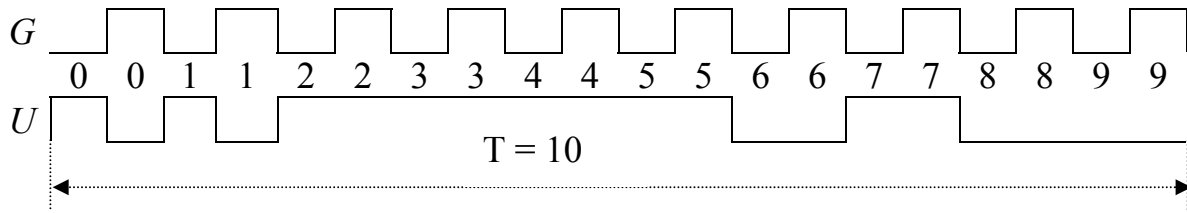
В общем случае логическая функция четырех переменных определена на 16 наборах входных переменных. В данном примере используются только 10. При минимизации булевой функции она на этих наборах может доопределяться по собственному усмотрению. Организуя блоки по единицам (для этого случая блоки выделены на карте Карно), можем записать выражение для логической функции в виде $F = C + BD + \overline{A} \cdot \overline{B} \cdot \overline{D}$, которому соответствует вариант реализации устройства на микросхемах К155ЛР3 и К155ЛН1, показанный на рисунке.



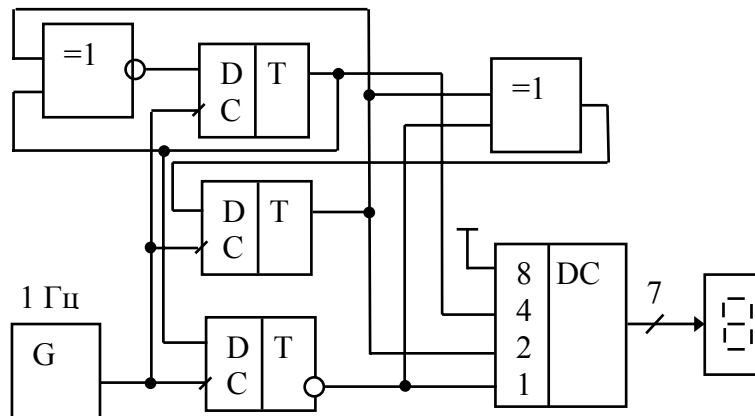
Задача 21. Построить временную диаграмму выходного напряжения.



Решение. Двоично-десятичный счетчик циклически пробегает 10 состояний (с нулевого по девятое), поэтому картинка выходного напряжения периодически повторяется через 10 мс. В восьмом и девятом состояниях счетчика работа мультиплексора запрещена, на выходе U формируется уровень логического 0. В нулевом и первом состояниях счетчика нули на адресных входах мультиплексора обеспечивают прохождение на выход проинвертированного сигнала генератора G . Во втором и третьем состояниях счетчика на выход проходит логическая 1 с выхода счетчика, обозначенного меткой 2. В четвертом и пятом состояниях счетчика на выход проходит логическая 1 с выхода счетчика, обозначенного меткой 4. В шестом и седьмом состояниях счетчика мультиплексор коммутирует на выход сигнал с выхода счетчика, обозначенного меткой 1, где частота генератора делится на два.



Задача 22. Записать последовательность чисел, которые загораются в цикле на цифровом индикаторе.



Решение. Обозначим сигналы на входах дешифратора до подачи активного фронта тактового импульса весовыми коэффициентами 4, 2 и 1, после подачи тактового импульса — 4^+ , 2^+ и 1^+ . Тогда логика смены состояний счетчика описывается системой уравнений: $4^+ = \overline{4 \oplus 2}$; $2^+ = 2 \oplus 1$; $1^+ = \overline{4}$.

Зафиксируем таблицу переходов после подачи очередного активного фронта тактового импульса n , предположив, что в исходном состоянии на индикаторе горит цифра $N = 0$.

n	4	2	1	N
0	0	0	0	0
1	1	0	1	5
2	0	1	0	2
3	0	1	1	3
4	0	0	1	1
5	1	1	1	7
6	1	0	0	4
7	0	0	0	0

Анализ смены состояний показывает, что в цикле семь состояний (все кроме шестого). Из шестого состояния счетчик переходит снова в шестое. Следовательно, у схемы два алгоритма работы. Если при включении или под действием помехи счетчик переходит в состояние 6, то оно в дальнейшем не меняется. Иначе реализуется цикл, зафиксированный в ответе.

Ответ: 0523174

9 КОМПЬЮТЕРНЫЙ ПРАКТИКУМ ПО ЦИФРОВОЙ СХЕМОТЕХНИКЕ

Лабораторная работа № 1

ИССЛЕДОВАНИЕ ЦИФРОВЫХ УСТРОЙСТВ КОМБИНАЦИОННОГО ТИПА

Цель работы. Цель лабораторной работы — приобретение навыков построения и испытания цифровых устройств комбинационного типа с использованием пакета ASIMEC. Программа моделирует лабораторный стол с наборным полем для макетирования цифровых схем и необходимым комплектом контрольно-испытательной аппаратуры.

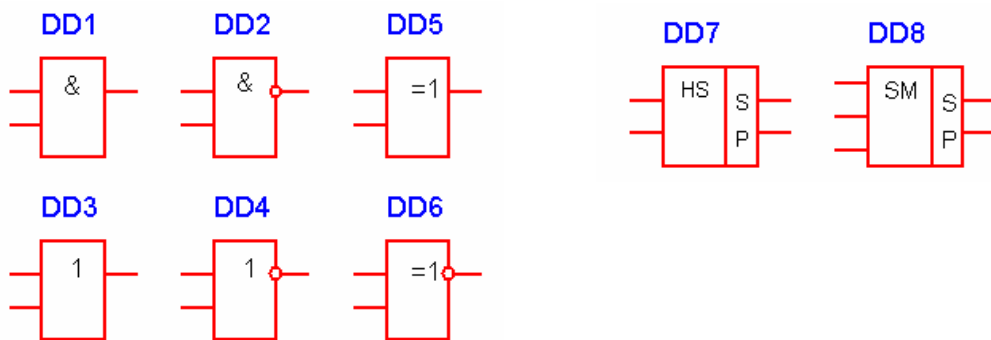


Рис. 1 — Цифровые компоненты

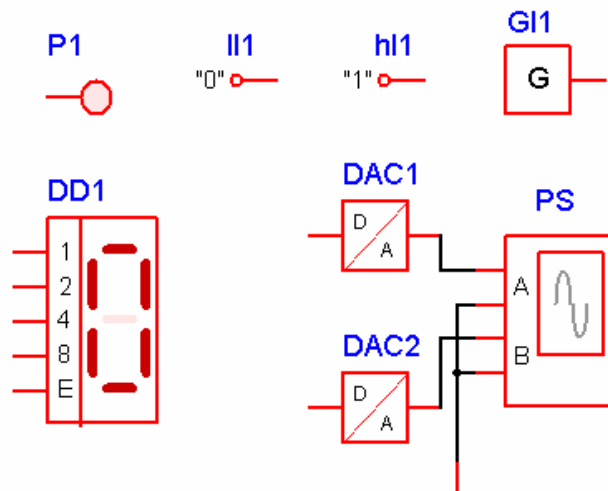


Рис. 2 — Средства отображения информации

Используемые в данной лабораторной работе цифровые компоненты (логические элементы, полусумматор, полный одноразрядный сумматор) приведены на рис. 1. Генератор прямоугольных импульсов, формирователи уровней логического 0 и 1, пробник, цифровой индикатор и двухлучевой осциллограф для отображения цифровых сигналов представлены на рис. 2.

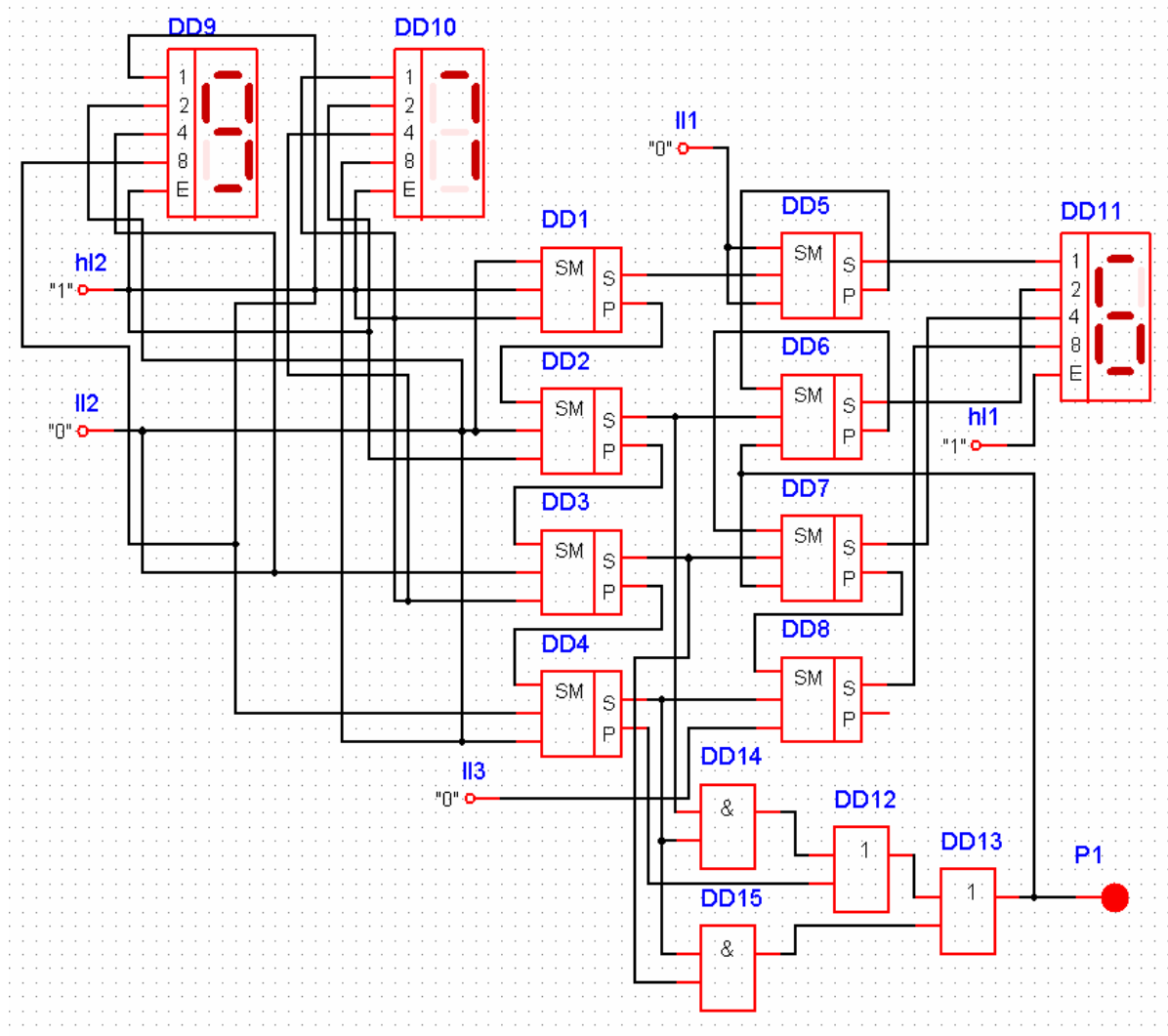


Рис. 3 — Сумматор двоично-десятичных чисел

На рис. 3 приведена схема моделирования на ASIMEC сумматора двоично-десятичных кодов чисел. Для сложения двух двоично-десятичных чисел можно использовать по одному четырехразрядному сумматору на каждую декаду. Однако после суммирования следует производить коррекцию. Если в какой-либо декаде происходит перенос или получается двоичное число, большее 9, необходимо добавлять к ней 6, чтобы компенсировать

разницу в весах разрядов. Возникающая при этом единица переноса передается в следующую по старшинству декаду.

В данном примере при сложении кодов чисел 9 и 7 на выходах DD1–DD4 сформировался двоичный код числа 16 (единица переноса в пятом разряде и нули на выходах первых четырех разрядов). Цепь коррекции (DD5–DD8, DD12–DD15) добавила число 6 к двоичной сумме чисел, и мы наблюдаем на индикаторах P1 и DD11 правильный результат.

Программа работы

1. Исследовать работу цифрового индикатора, подавая различные сочетания уровней цифровых сигналов на его входы. Какой уровень разрешает его работу? В каком диапазоне меняются числа на индикаторе? Что будет, если хотя бы один вход оставить неподключенным?

2. Экспериментально снять таблицу истинности для устройства, выполненного по схеме рис. 4, изменяя уровни сигналов на входах А и В. Записать логическую функцию F и показать возможность упрощения устройства.

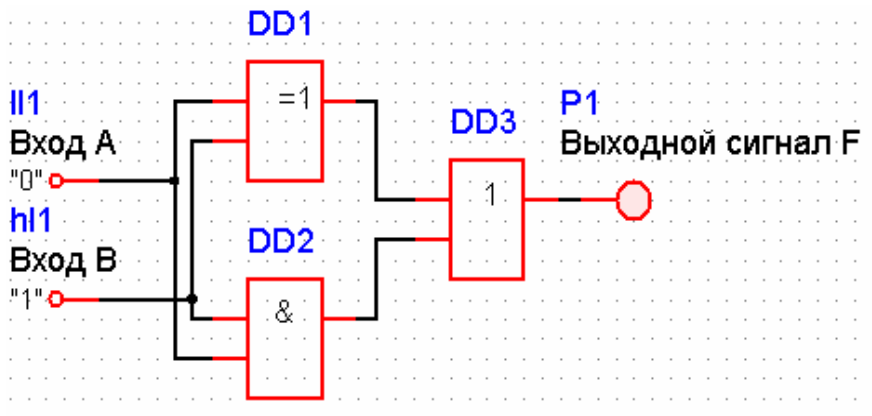


Рис. 4 — Устройство на логических элементах

3. Реализовать на логических элементах полный одноразрядный сумматор и убедиться в правильности его функционирования. С использованием полных одноразрядных сумматоров построить сигнальное устройство, формирующее на выходе логиче-

скую 1, если на любые N входов из 7 поданы логические 1 (для восьмого варианта N = 0).

4. Спроектировать устройство на логических элементах по заданной таблице истинности и проверить его работу экспериментально. Номер варианта (функцию F1...F8) рассчитывают по обычной для ТМЦ ДО методике.

N	A	B	C	F1	F2	F3	F4	F5	F6	F7	F8
0	0	0	0	1	0	1	0	1	0	1	0
1	0	0	1	0	0	0	1	1	0	0	1
2	0	1	0	1	1	0	1	1	0	0	0
3	0	1	1	1	1	1	1	0	1	0	0
4	1	0	0	0	1	0	0	0	1	0	1
5	1	0	1	1	0	1	0	1	1	0	0
6	1	1	0	0	1	0	1	0	0	1	0
7	1	1	1	1	0	0	0	1	1	0	1

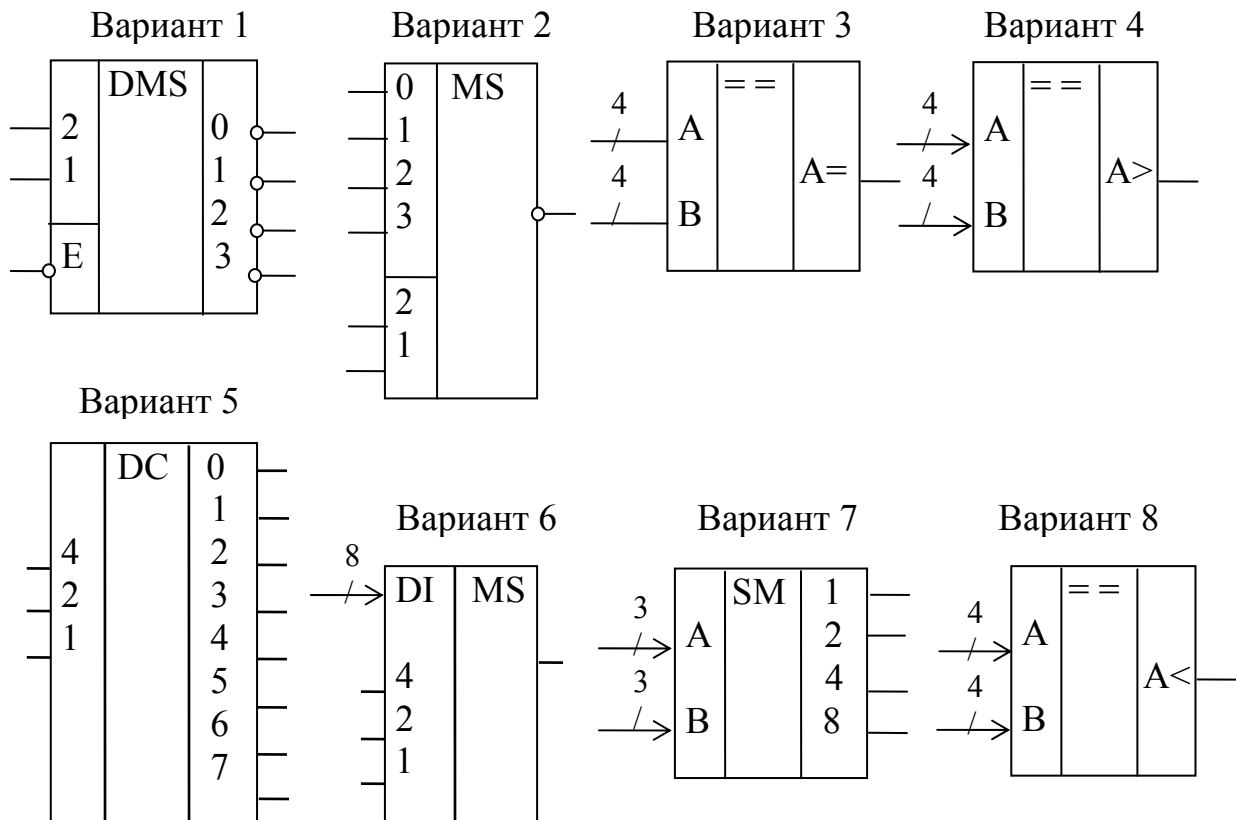


Рис. 5 — Варианты цифровых устройств

5. На заданной элементной базе построить комбинационное цифровое устройство (рис. 5). Собрать устройство на макетном поле. Разработать программу проведения эксперимента по его испытанию. Провести эксперимент и зафиксировать его результаты.

6. Испытать счетный триггер, реализовав его на D -триггере с динамическим тактовым входом (рис. 6). Масштаб времени при моделировании в реальном времени принимается равным 1.

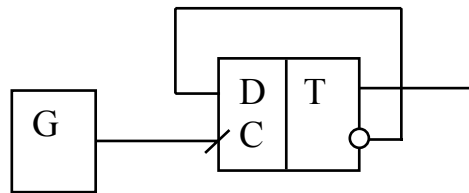


Рис. 6 — Счетный триггер Т

7. На четырех T -триггерах построить четырехразрядный асинхронный двоичный счетчик, формирующий сигналы A , B , C , D при счете импульсов задающего генератора G (рис. 7), и проверить его работу с помощью осциллографа. Оценить частоту импульсов на выходах G , A , B , C , D .

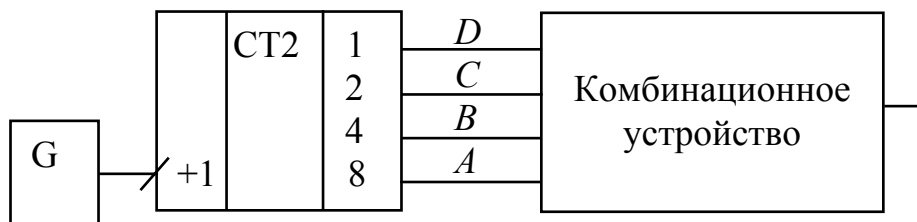


Рис. 7 — Функциональная схема проектируемого устройства

8. Спроектировать генератор импульсов по заданной временной диаграмме его сигнала в течение периода на 16 тактах (рис. 8). Выбирается один из 10 вариантов исходных данных. Время одного такта — 1 мс.

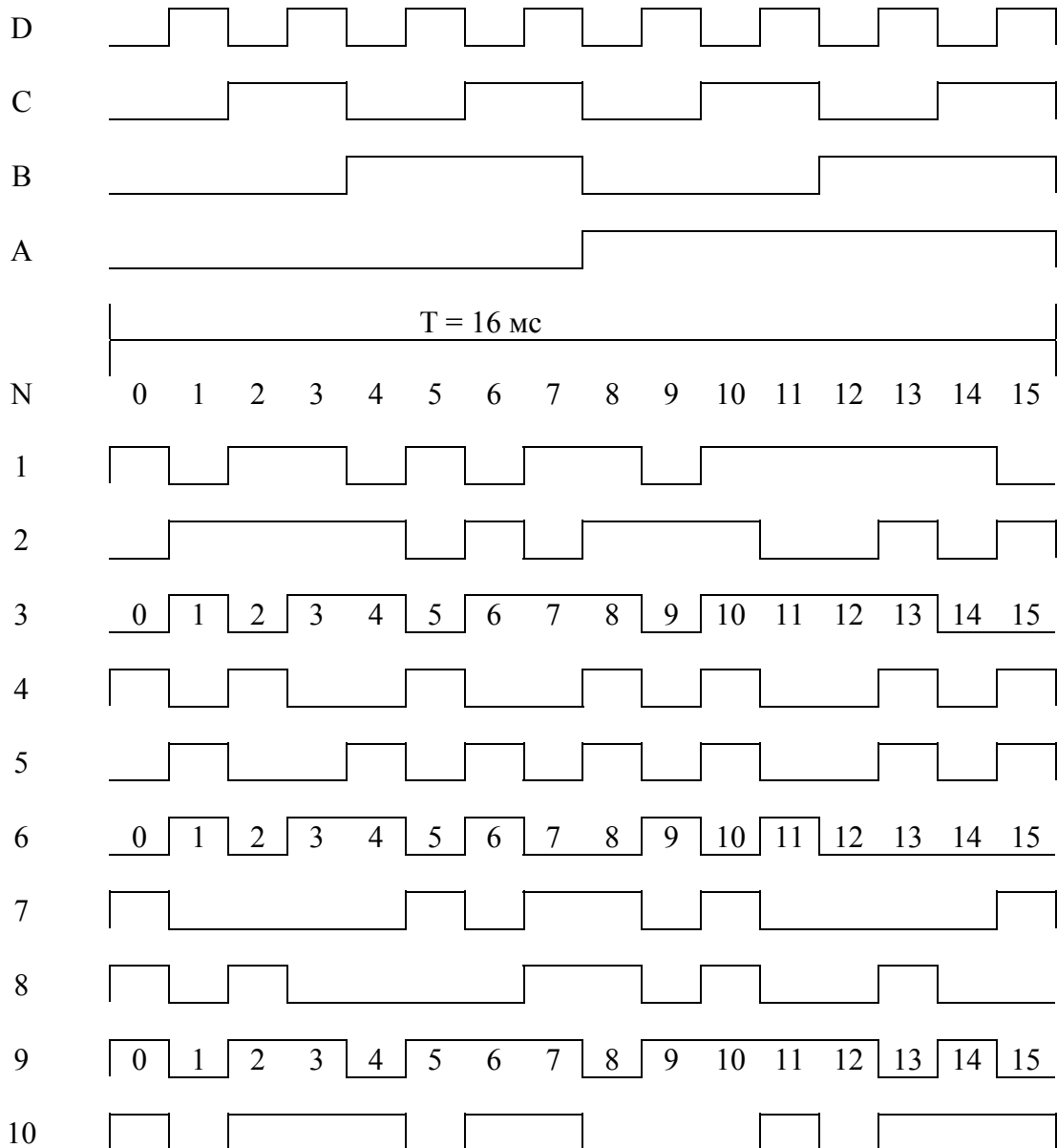


Рис. 8 — Варианты заданий

Проектируемый генератор (рис. 7) содержит четырехрядный двоичный счетчик с тактовым генератором G и комбинационное устройство, формирующее заданный сигнал из выходных сигналов счетчика A , B , C , D . Выходной сигнал генератора описывается логической функцией F .

9. По заданной временной диаграмме сигнала на выходе проектируемого генератора заполнить карту Карно и записать минимизированное выражение для булевой функции F , реализуемой комбинационной частью устройства.

10. Собрать полную схему генератора и проверить его работу, подключив осциллограф к выходу устройства. Соответствует ли полученная временная диаграмма выходного сигнала генератора заданной? Устранить ошибки в проектировании устройства, если выходной сигнал отличается от заданного.

Контрольные вопросы

- Перечислить основные законы булевой алгебры. Какой закон описывает формула де Моргана?
- С помощью диаграмм Венна доказать логическое тождество

$$ab + \bar{a} \cdot \bar{b} = \overline{a\bar{b}} + \overline{\bar{a}b}.$$
- Дайте определение дешифратору, мультиплексору, сумматору, демультимплексору, цифровому компаратору.
- С какой целью проводится минимизация логических функций.
- В чем вы видите достоинства представления чисел со знаком в дополнительном коде? Запишите результат сложения дополнительных кодов чисел плюс 80 и минус 33. Каждое число отображается байтом.
- Какие коды может сравнивать цифровой компаратор? Запишите возможные варианты функций сравнения.
- Как построить восьмиразрядный цифровой компаратор из двух микросхем К555СП1?

Содержание отчета

Отчет в формате Word должен содержать схемы исследуемых узлов, основные экспериментальные данные (вставки из АСИМЕС), выводы по пунктам программы работы, а также ответы на контрольные вопросы.

Лабораторная работа № 2

ИССЛЕДОВАНИЕ ЦИФРОВЫХ УСТРОЙСТВ ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА

Цель работы. Цель лабораторной работы — проектирование и экспериментальная проверка работы синхронных счетчиков с заданной последовательностью смены состояний, а также анализ работы счетчиков на регистрах сдвига. Используется моделирующий пакет ASIMES. Программа моделирует лабораторный стол с наборным полем для макетирования цифровых схем и необходимым комплектом контрольно-испытательной аппаратуры.

Пример синтеза счетчика

Пусть стоит задача спроектировать вычитающий двоичный счетчик с коэффициентом пересчета $K_{сч} = 6$. Для фиксации шести состояний счетчика возьмем три тактируемых по положительно-му фронту D -триггера, объединенные входы синхронизации которых будем использовать как счетный вход счетчика (рис. 1). Будем характеризовать состояние счетчика N трехразрядным двоичным словом $Q_3Q_2Q_1$ (N должно циклически меняться от 5 до 0).

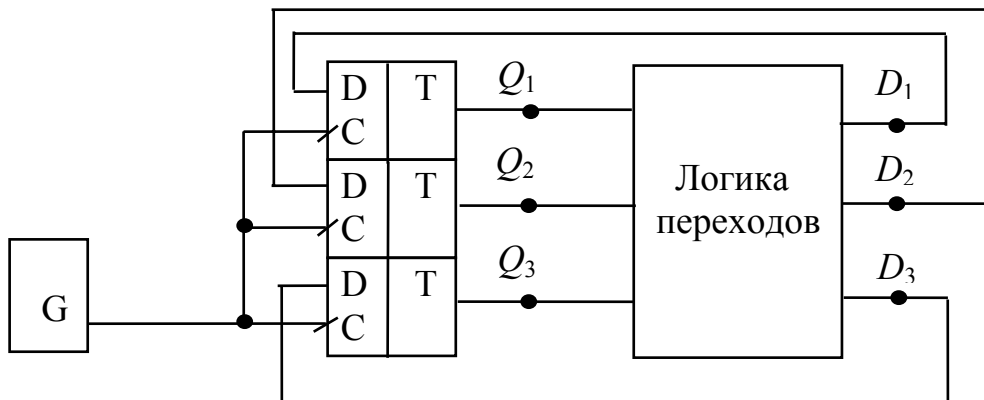


Рис. 1 — Функциональная схема счетчика

Каждый импульс генератора G переписывает на выходы триггеров Q_1, Q_2, Q_3 информацию с входов D_1, D_2, D_3 . Поэтому дальнейший синтез счетчика сводится к построению комбинационной схемы (логики переходов), формирующей из выходных

сигналов Q уровни сигналов D на информационных входах триггеров, необходимые для перехода в следующее состояние. Для этого составим таблицу переходов (табл. 1) и запишем логические выражения для сигналов D_1, D_2, D_3 в ДНФ (дизъюнктивной нормальной форме):

$$D_1 = Q_3 \cdot \overline{Q_2} \cdot \overline{Q_1} + \overline{Q_3} \cdot Q_2 \cdot \overline{Q_1} + \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1}; \quad (1)$$

$$D_2 = Q_3 \cdot \overline{Q_2} \cdot \overline{Q_1} + \overline{Q_3} \cdot Q_2 \cdot Q_1; \quad (2)$$

$$D_3 = Q_3 \cdot \overline{Q_2} \cdot Q_1 + \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1}. \quad (3)$$

Для минимизации логических функций можно воспользоваться основными законами булевой алгебры или картами Карно (рис. 2), причем в клетках, соответствующих шестому и седьмому состоянию счетчика, логические функции можно доопределять по собственному усмотрению, так как в схеме проектируемого счетчика они не реализуются.

По картам Карно запишем минимизированные выражения для функций D_1 и D_2

$$D_1 = \overline{Q_1}; \quad (4)$$

$$D_2 = Q_3 \cdot \overline{Q_1} + Q_2 \cdot Q_1. \quad (5)$$

Выражение для D_3 получим путем преобразования соотношения (3), так как карта Карно не позволяет провести эффективную минимизацию этой функции

$$D_3 = \overline{Q_2} \cdot \overline{Q_1} \oplus Q_3. \quad (6)$$

С учетом соотношений (4), (5) и (6) построена схема эксперимента по изучению работы счетчика (рис. 3). Счетные импульсы снимаются с выхода тактового генератора G . Индикация состояний счетчика производится с помощью элемента DD9, выполняющего функцию преобразования четырехразрядного дво-

ичного числа в его шестнадцатеричный эквивалент на семисегментном индикаторе. Удобно выбрать частоту генератора равной 1 Гц.

Таблица 1

Текущее состояние счетчика N				Последующее состояние счетчика N^+			
N	Q_3	Q_2	Q_1	N^+	D_3	D_2	D_1
5	1	0	1	4	1	0	0
4	1	0	0	3	0	1	1
3	0	1	1	2	0	1	0
2	0	1	0	1	0	0	1
1	0	0	1	0	0	0	0
0	0	0	0	5	1	0	1

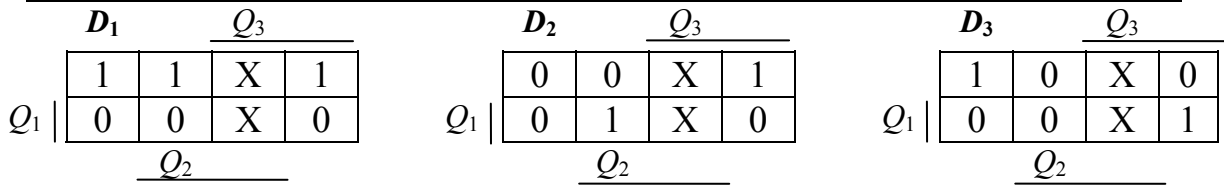


Рис. 2 — Карты Карно для функций D_1, D_2, D_3

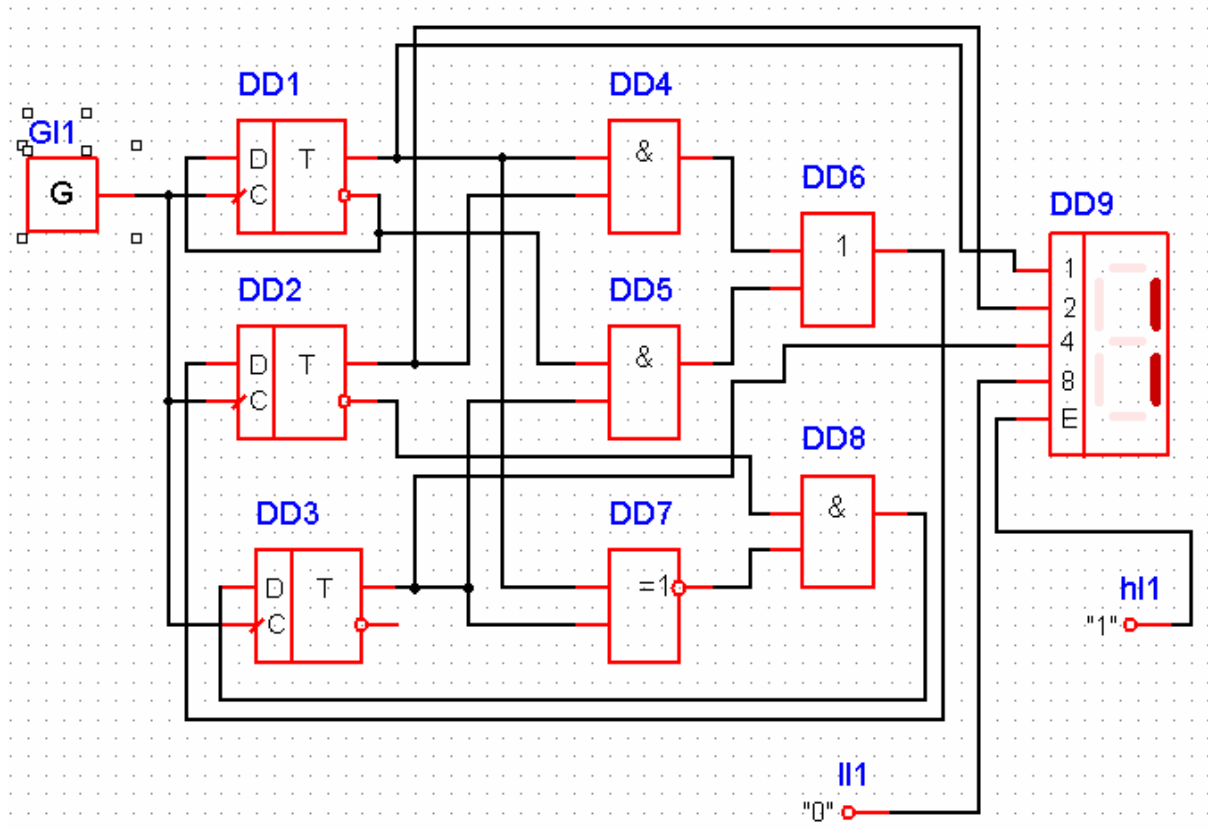
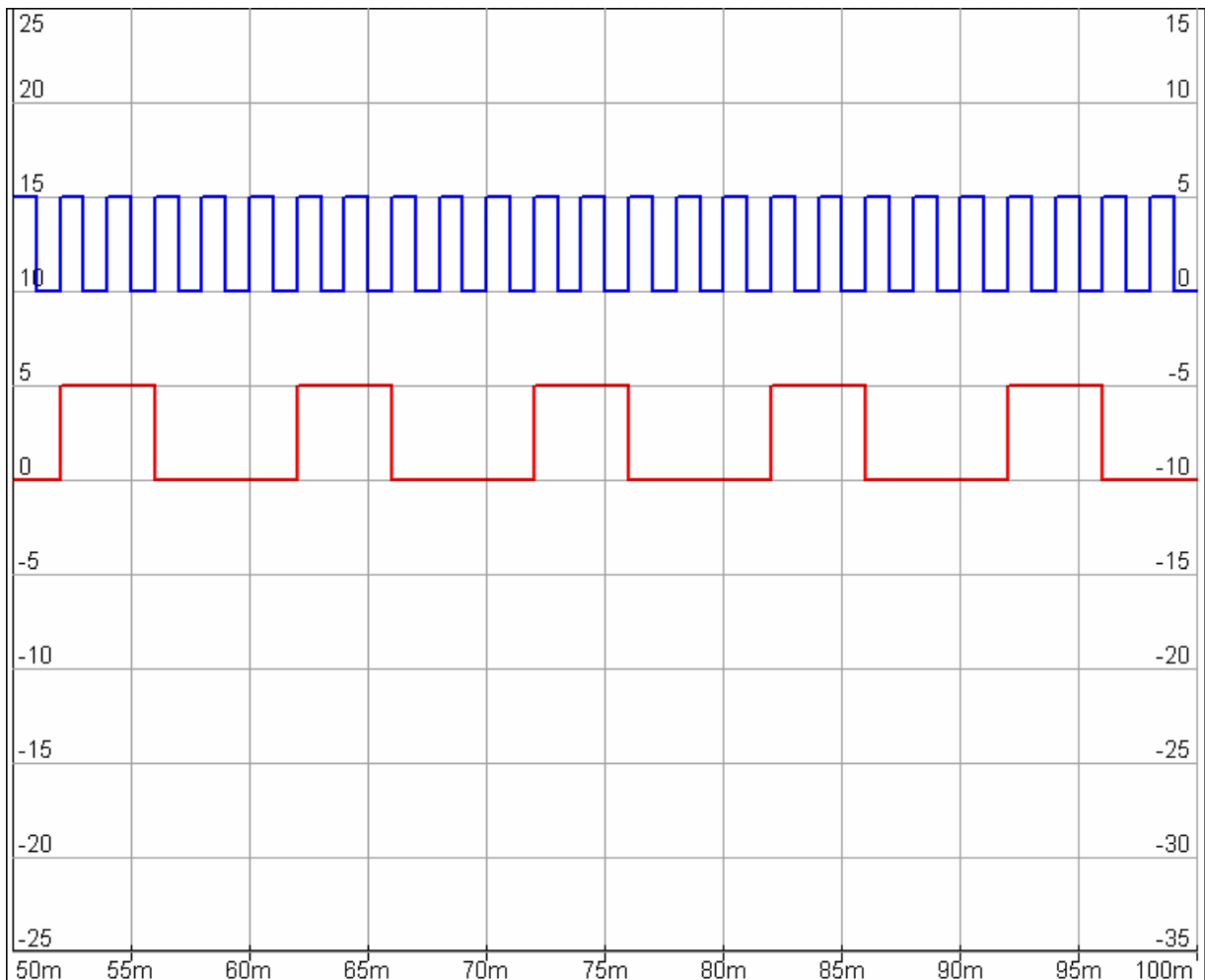
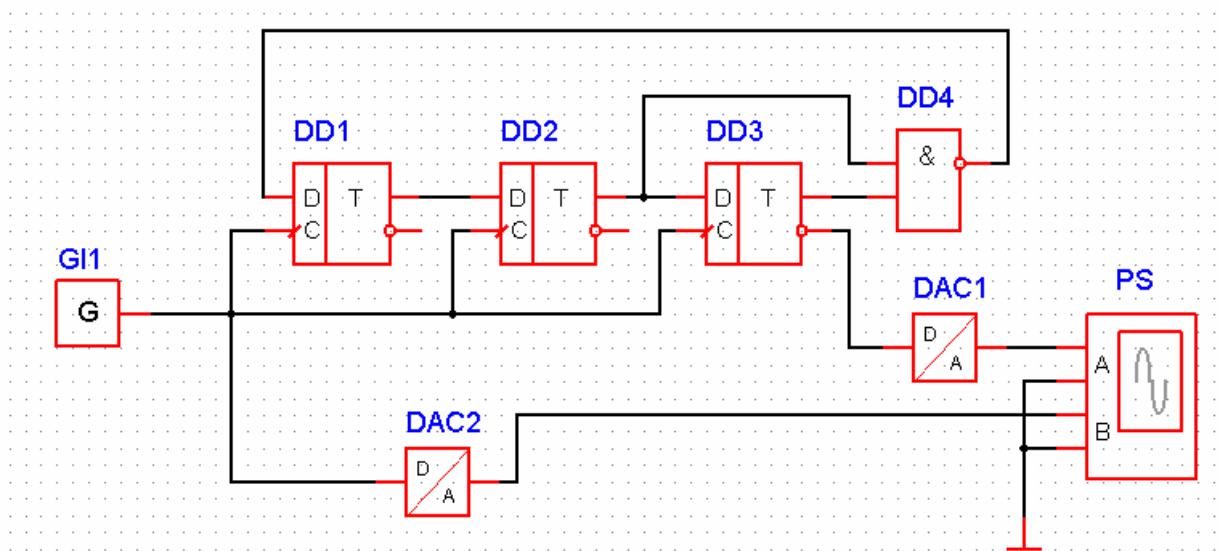


Рис. 3 — Синхронный вычитающий счетчик с $K_{сч} = 6$

Пример оформления результатов моделирования

Ниже приведены экспериментальная схема и временные диаграммы выходного сигнала (вход А осциллографа) и сигнала генератора (вход В осциллографа).



Программа работы

1. Рассчитать вариант индивидуального задания (число N от 1 до 28), спроектировать синхронный счетчик с четырьмя выходами, циклически изменяющий свои состояния в соответствии с табл. 2 ($K_{сч} = 9$). Проверить работу счетчика, зафиксировав последовательность смены состояний с помощью цифрового индикатора. Период колебаний генератора G выбрать равным 1 с.

Таблица 2

Вариант	Состояния счетчика								
	0	1	3	4	5	15	14	13	12
1	0	1	3	4	5	15	14	13	12
2	0	1	4	5	6	7	8	10	14
3	0	2	5	10	11	12	9	8	7
4	0	2	6	7	8	9	5	4	3
5	0	3	1	5	7	9	8	6	4
6	0	3	2	1	4	5	6	7	8
7	0	4	1	2	3	9	8	7	6
8	0	4	2	1	9	8	7	6	5
9	0	5	3	2	1	5	6	7	9
10	0	5	4	3	2	1	12	13	14
11	0	6	3	15	1	7	2	4	8
12	0	6	4	14	2	5	3	7	8
13	0	7	5	13	3	4	6	8	9
14	0	7	6	12	4	3	7	8	9
15	0	8	1	11	5	2	7	9	3
16	0	8	2	10	6	1	7	9	3
17	0	9	3	8	7	13	5	4	2
18	0	9	4	7	8	10	5	3	2
19	0	10	5	6	9	7	8	3	1
20	0	10	6	5	11	8	7	3	2
21	0	11	7	4	12	9	5	2	1
22	0	11	8	3	13	10	5	1	2
23	0	12	1	3	5	7	9	11	15
24	0	12	2	4	6	8	10	7	9
25	0	13	3	4	6	7	9	2	10
26	0	13	4	7	9	2	3	5	8
27	0	14	5	7	9	8	6	4	2
28	0	14	12	10	8	6	7	3	5

2. Собрать схему счетчика на регистре сдвига в соответствии со своим вариантом (рис. 4). К выходам устройства подключить цифровой индикатор и осциллограф. Зафиксировать в отчете последовательность смены состояний счетчика и временные диаграммы выходных сигналов при подключении ко входу генератора тактовых импульсов. Объяснить наблюдаемые результаты работы устройства.

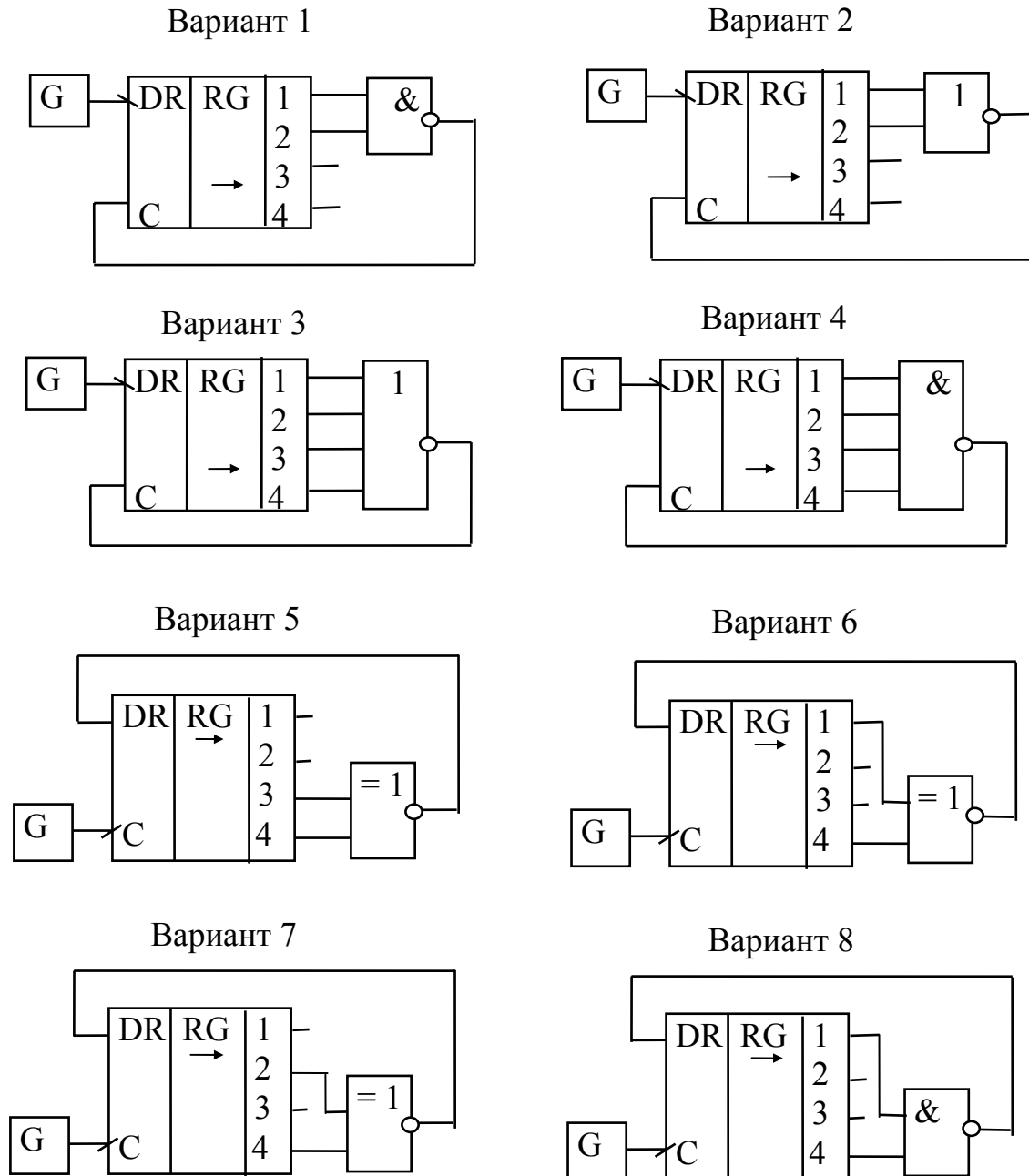


Рис. 4 — Варианты построения счетчиков на регистре сдвига

Контрольные вопросы

- Дайте классификацию триггерных устройств.
- В чем отличие триггеров со статическим и динамическим тактовым входами?
- Перечислите известные Вам области применения регистров памяти и сдвига.
- Приведите классификацию счетчиков.
- В чем отличие кольцевого счетчика и счетчика Джонсона?
- Приведите классификацию запоминающих устройств.

Содержание отчета

Отчет в формате Word должен содержать результаты проектирования (таблицу переходов, логические функции до и после минимизации), схемы исследуемых узлов, основные экспериментальные данные (вставки из ASIMEC), выводы по пунктам программы работы, а также ответы на контрольные вопросы.

10 ВАРИАНТЫ ТВОРЧЕСКИХ ЗАДАНИЙ

1. Должен загореться светодиод, если число оборотов двигателя в минуту превышает 3000.

2. Должен зазвенеть звонок, если скорость автомобиля, проезжающего контрольный участок, больше 100 км/час.

3. Спроектировать электронный таймер, включающий нагревательную печь на время до 60 минут. Управление от трех кнопок.

4. Спроектировать измеритель частоты сети с точностью до десятых долей герца.

5. Спроектировать цифровой частотомер (от 1 до 1000 кГц).

6. Спроектировать регулятор температуры. Переменное напряжение на спираль нагревателя подается через тиристор. Число полупериодов сетевого напряжения в секунду, в течение которых на тиристор подается отпирающий сигнал, задается программным переключателем.

7. Спроектировать многоканальное контролирующее устройство. С помощью светодиодов фиксировать превышение любым из 16 датчиков уровня напряжения, задаваемого программным переключателем.

8. Спроектировать устройство циклического опроса показаний 16 датчиков (сигнал от 0 до 1 В) с выдачей информации о напряжении произвольного датчика (число от 00 до 99) на цифровое устройство индикации. Номер датчика устанавливается программным переключателем.

9. Спроектировать шахматные электронные часы. Время игры устанавливается от 3 до 9 минут.

10. Спроектировать цифровой измеритель частоты пульса человека.

11. Спроектировать устройство, при нажатии кнопки передающее два байта данных удаленному приемнику с помощью трехпроводной линии связи.

12. Должен зазвенеть звонок, если скорость автомобиля, проезжающего контрольный участок, больше 150 км/час.

13. Спроектировать генератор пачек импульсов (в пачке 10 импульсов с частотой 1 кГц). Частота пачек в герцах должна со-

ответствовать числу (от 1 до 10), набираемому на программном переключателе.

14. На линейке из восьми светодиодов получить световой эффект для управления елочной гирляндой. Елочка последовательно заполняется огнями, горит, затем поморгает и гаснет. Скорость эффекта регулируется программным переключателем.

15. Частота импульсов на выходе генератора в герцах от 1 до 99 должна быть равна числу на программном переключателе.

16. Спроектировать устройство для передачи 8-разрядного сообщения по трехпроводной линии связи с контролем по четности.

17. Число импульсов в пачке на выходе генератора и частота пачек в герцах от 1 до 9 должны задаваться программным переключателем. Частота импульсов в пачке — 1 кГц.

18. Должен загореться светодиод, если число оборотов двигателя в минуту превышает 2000.

19. Число импульсов в пачке от 1 до 9 на выходе генератора и частота пачек в герцах от 1 до 99 должны задаваться программным переключателем. Частота импульсов в пачке — 10 кГц.

20. Спроектировать многоканальное контролирующее устройство. С помощью светодиодов фиксировать превышение любым из 8 датчиков уровня напряжения, задаваемого программным переключателем.

21. Спроектировать шахматные электронные часы. Время игры устанавливается 5 минут.

22. Спроектировать электронный таймер, включающий нагревательную печь на время до 99 минут. Управление от трех кнопок.

23. Спроектировать генератор пачек импульсов, следующих с частотой 1 Гц. Частота импульсов в пачке 1 кГц, число импульсов в пачке (от 1 до 99) задается программным переключателем.

11 ПРИМЕР ВЫПОЛНЕНИЯ ТВОРЧЕСКОГО ЗАДАНИЯ

Задание. Спроектировать интегратор сигнала ошибки, формирующий 12-разрядный код управления N_u при подаче на его входы 12-разрядного кода задатчика N_z и 12-разрядного кода сигнала обратной связи N_{oc} (рис. 11.1).

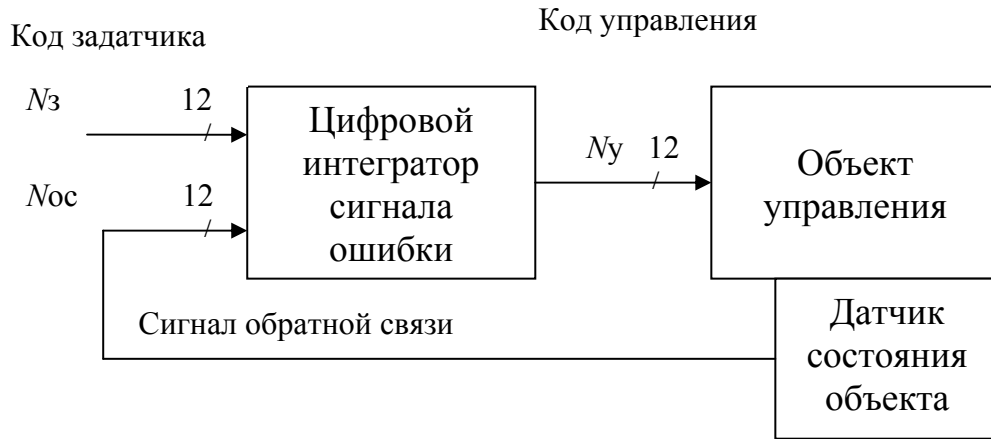


Рис. 11.1

Решение. Структурная схема цифрового интегратора показана на рис. 11.2. Схема вычитания формирует модуль и знак сигнала ошибки. Частота импульсов на выходе преобразователя код-частота пропорциональна модулю сигнала ошибки и зависит от частоты тактового генератора G . Собственно интегратор выполнен на реверсивном двоичном счетчике. Направление интегрирования зависит от знака сигнала ошибки, скорость — от модуля сигнала ошибки. При совпадении кодов задатчика и сигнала обратной связи счет прекращается. На выходе реверсивного счетчика формируется код управления N_u .

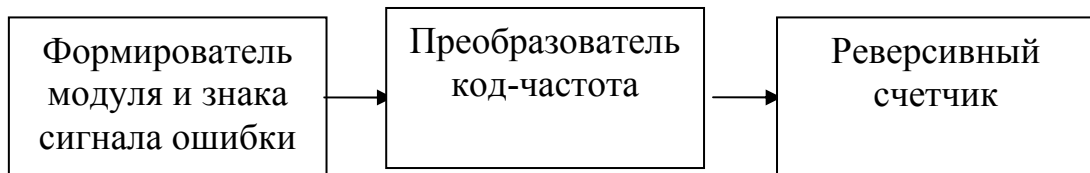
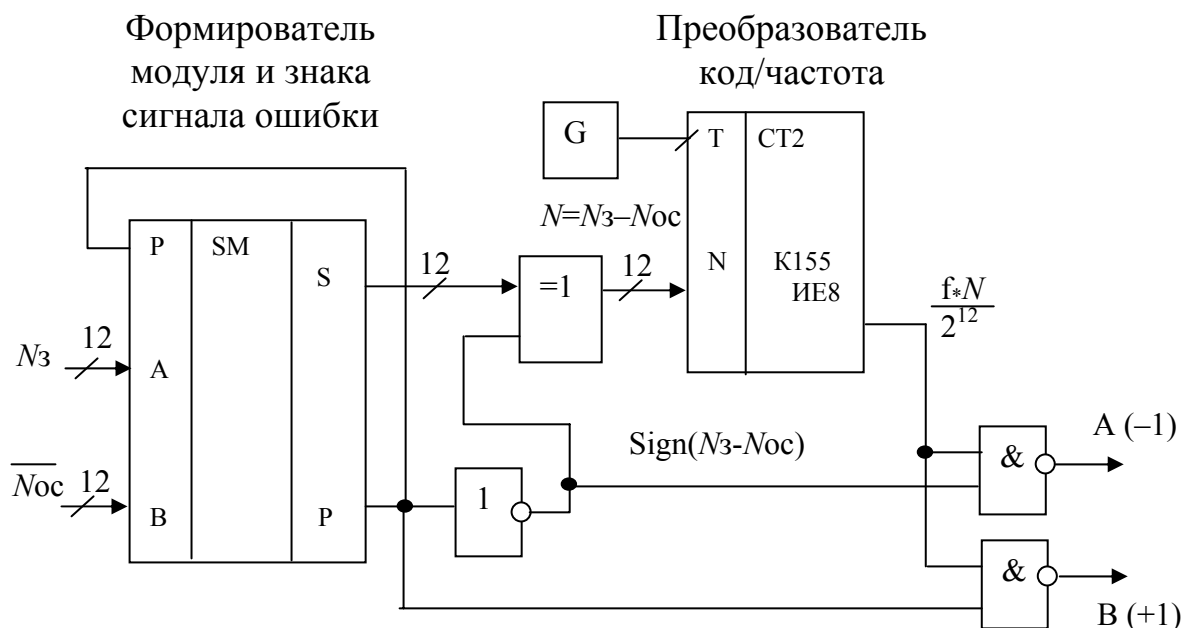


Рис. 11.2

Функциональная схема проектируемого устройства приведена на рис. 11.3. На входы 12-разрядного сумматора подаются код задатчика N_z и инверсный код сигнала обратной связи. При



Реверсивный счетчик с фиксаторами
максимального и минимального кода

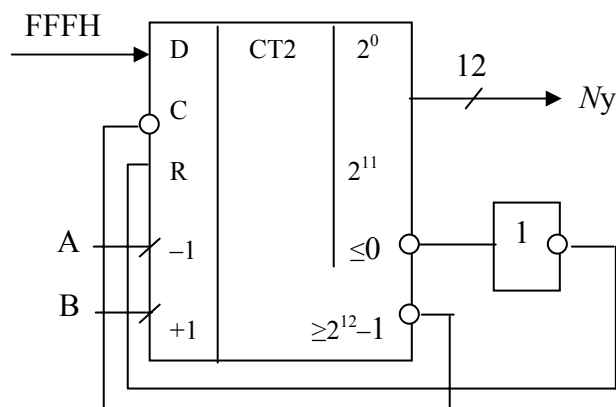


Рис. 11.3

$Nз > Nос$ формируется единичный сигнал переноса P , элементы «Исключающее ИЛИ» работают как повторители и $N = S + 1$, где $S = Nз + Nос$. Сигнал с частотой $f \cdot N / 2^{12}$ поступает на суммирующий вход счетчика и выходной код $Nу$ растет. Исполнительный орган системы автоматического управления вызывает рост регулируемой величины, и растет сигнал обратной связи, пока не будет выполнено условие $Nз = Nос$. Если счетчик достиг максимального состояния $Nу = 4095$ (единицы во всех 12 разрядах), а на суммирующий вход продолжают поступать счетные импуль-

сы, в счетчике принудительно фиксируется $Ny = 4095$ (сигнал переноса загружает в него число FFFH со входов предустановки).

При $Nz \leq Nos$ логические элементы «Исключающее ИЛИ» работают как инверторы ($P = 0$) и $N = \bar{S}$. Импульсы поступают на вычитающий вход реверсивного счетчика, вызывая уменьшение Ny и регулируемой величины. Если счетчик достигает минимального кода $Ny = 0$, а на вычитающий вход продолжают поступать счетные импульсы, сигнал заема (≤ 0) принудительно сбрасывает счетчик в нуль. Изменение частоты f эквивалентно изменению постоянной времени интегратора. Уменьшением f можно добиться устойчивости замкнутой системы автоматического регулирования.

СПИСОК ЛИТЕРАТУРЫ

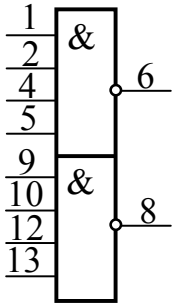
1. Аванесян Г.Р., Левшин В.П. Интегральные микросхемы ТТЛ, ТТЛШ: Справочник. — М.: Машиностроение, 1993. — 256 с.
2. Бирюков С.А. Применение цифровых микросхем серий ТТЛ и КМОП. — М.: ДМК, 2000. — 240 с.
3. Браммер Ю.А., Пащук И.Н. Импульсные и цифровые устройства: Учеб. для студентов электрорадиоприборостроительных сред. спец. заведений — 6-е изд., перераб. и доп. — М.: Высш. шк., 1999. — 351 с.
4. Вениаминов В.Н., Лебедев О.Н., Мирошниченко А.И. Микросхемы и их применение: Справ. пособие. — 3-е изд., перераб. и доп. — М.: Радио и связь, 1989. — 240 с.
5. Денисов Н.П., Шарапов А.В., Шибяев А.А. Электроника и схемотехника. Учебное пособие: в двух частях. — Томск, ТМЦДО, 2002. — Ч. 1. — 234 с.
6. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. — Л.: Энергоатомиздат. Ленингр. отделение, 1986. — 280 с.
7. Калабеков Б.А. Цифровые устройства и микропроцессорные устройства: Учебн. для техникумов связи. — М.: Горячая линия — Телеком, 2000. — 336 с.
8. Микросхемы и их применение: Справ. пособие — 3-е изд., перераб. и доп. — М.: Радио и связь, 1989. — 240 с.
9. Овчаренко Н.И. Аналоговые и цифровые элементы автоматических устройств энергосистем. — М.: Энергоатомиздат, 1989. — 320 с.
10. Партала О.Н. Цифровая электроника. — СПб.: Наука и техника, 2000. — 208 с.
11. Потехин В.А. Цифровые устройства и микропроцессоры. Часть 1: Учебное пособие. — Томск: ТМЦДО, 2002. — 263 с.
12. Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник. — М.: Радио и связь, 1990. — 304 с.
13. Сергеев Н.П., Вашкевич Н.П. Основы вычислительной техники: Учебн. пособие для вузов. — М.: Высш. шк., 1988. — 311 с.
14. Справочник по интегральным микросхемам / Б.В. Тарабрин, С.В. Якубовский и др. — М.: Энергия, 1980. — 816 с.

15. Титце У., Шенк К. Полупроводниковая схемотехника: Справочное руководство / Пер. с нем. — М.: Мир, 1982. — 512 с.
16. Хоровиц П., Хилл У. Искусство схемотехники: Пер. с англ. — 6-е изд. — М.: Мир, 2001. — 704 с.
17. Цифровые интегральные микросхемы: Справочник / Мальцев П.П., Долидзе Н.С., Критенко М.И. и др. — М.: Радио и связь, 1994. — 240 с.
18. Цифровые интегральные микросхемы: Справочник / М.И. Богданович и др. — Минск.: Беларусь, 1991 — 493 с.
19. Цифровые и интегральные микросхемы: Справочник / С.В. Якубовский, Л.И. Ниссельсон, В.И. Кулешова и др.; Под ред. С.В. Якубовского. — М.: Радио и связь, 1990. — 496 с.
20. Шарапов А.В. Цифровые и микропроцессорные устройства: Учебное пособие. — Томск: Томский государственный университет систем управления и радиоэлектроники, 1999. — 161 с.
21. Шило В.Л. Популярныe цифровые микросхемы: Справочник. — М.: Металлургия, 1988. — 352 с.
22. Эвринов Э.В., Бутыльский Ю.Б., Мамзелев И.А. Цифровая и вычислительная техника: Учебник для вузов. — М.: Радио и связь, 1991. — 464 с.
23. Янсен Й. Курс цифровой электроники: Сложные ИС для устройства передачи данных: Пер. с голл. В трех т. — М.: Мир, 1987. — 412 с.

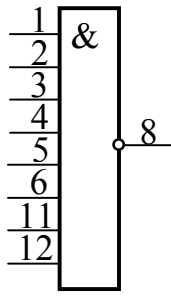
ПРИЛОЖЕНИЕ

Условные графические обозначения микросхем

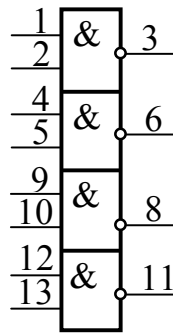
К555ЛА1



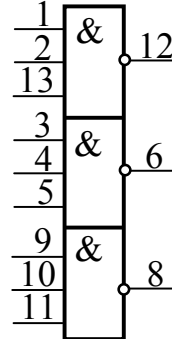
К555ЛА2



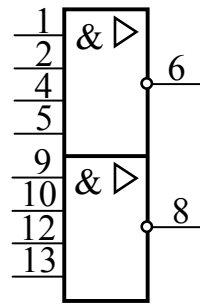
К555ЛА3



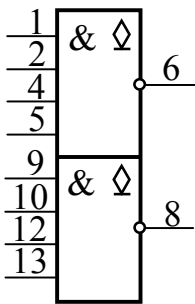
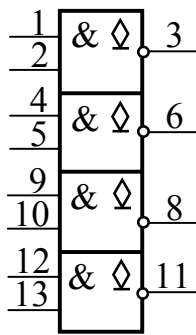
К555ЛА4



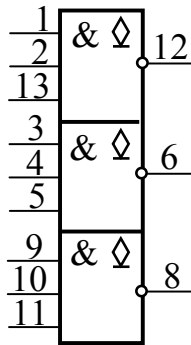
К555ЛА6



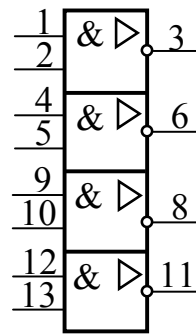
К555ЛА7

К555ЛА9
К555ЛА11

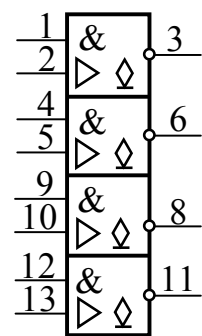
К555ЛА10



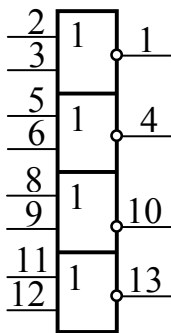
К555ЛА12



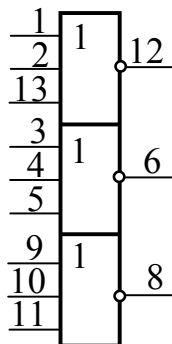
К555ЛА13



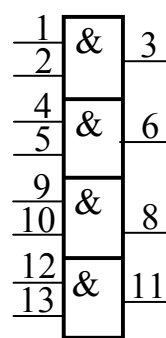
К555ЛЕ1



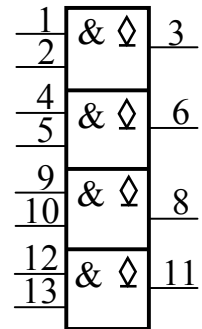
К555ЛЕ4



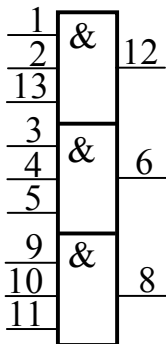
К555ЛИ1



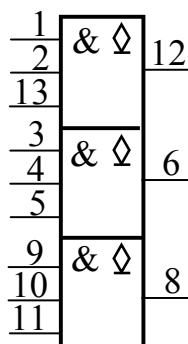
К555ЛИ2



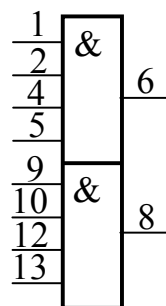
К555ЛИ3



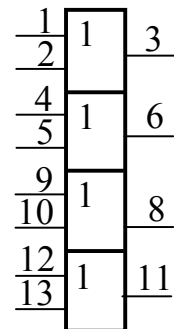
К555ЛИ4



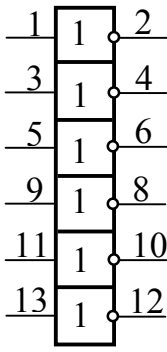
К555ЛИ6



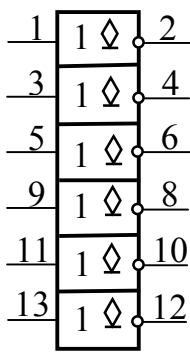
К555ЛИ1



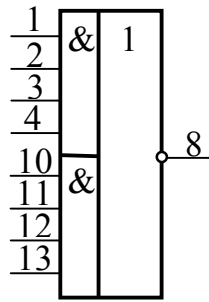
K555ЛН1



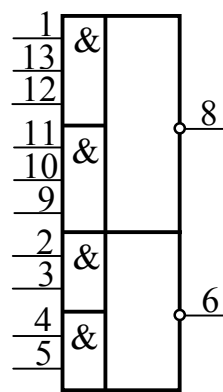
K555ЛН2



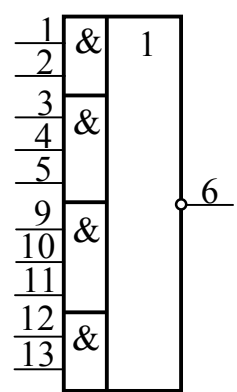
K555ЛП4



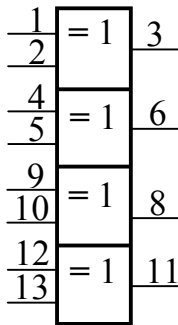
K555ЛП11



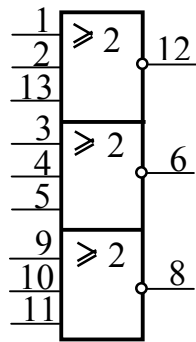
K555ЛП13



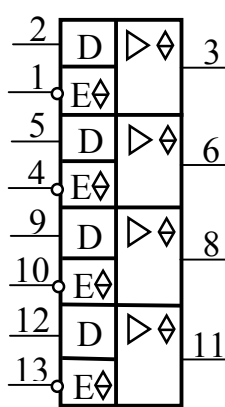
K555ЛП15



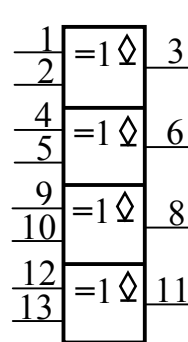
K555ЛП13



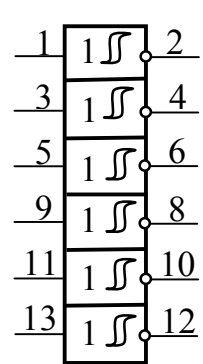
K555ЛП18



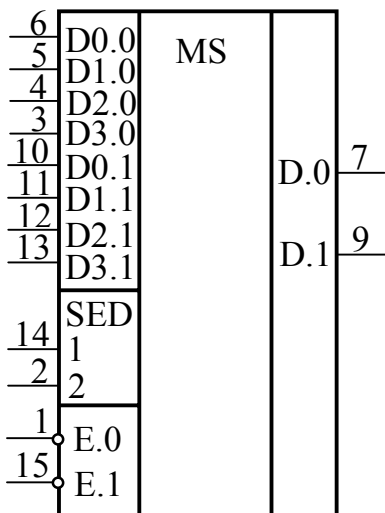
K555ЛП12



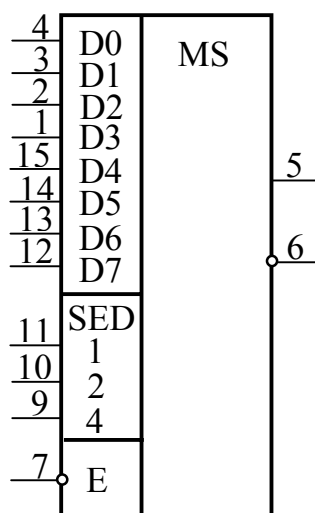
K555ТЛ2



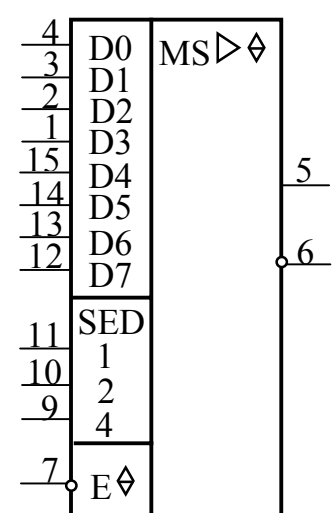
K555КП2



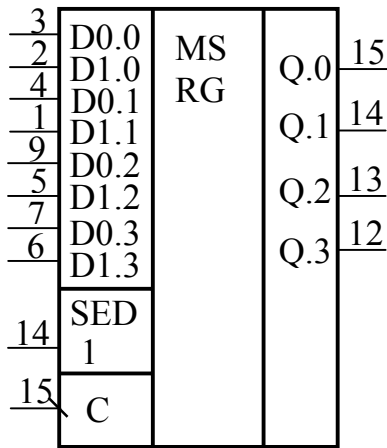
K555КП7



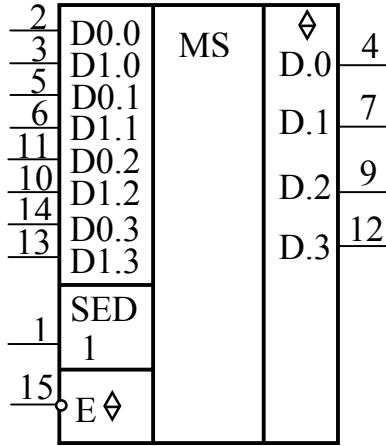
K555КП15



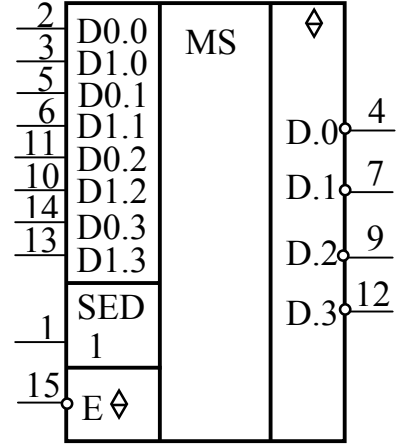
K555КП13



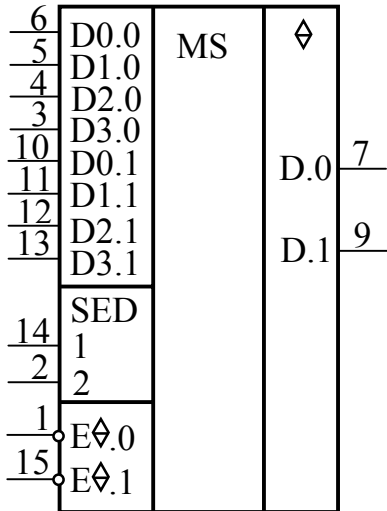
K555КП11



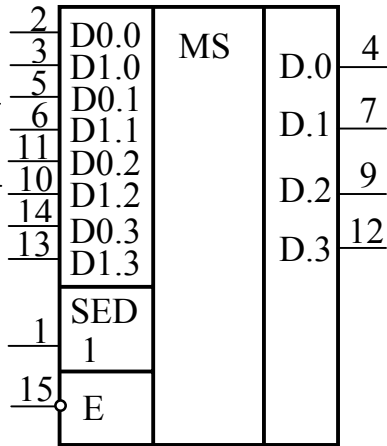
K555КП14



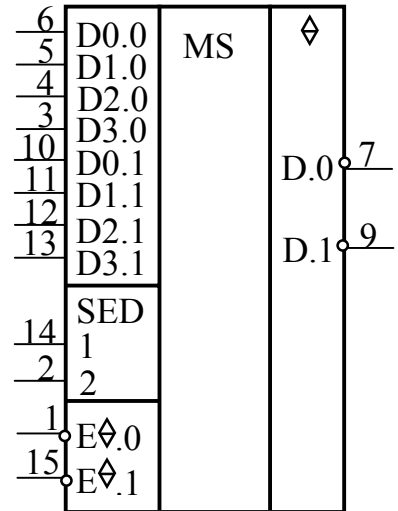
K555КП12



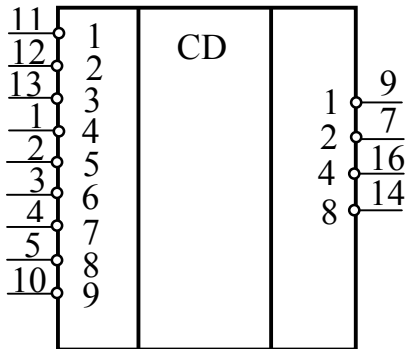
K555КП16



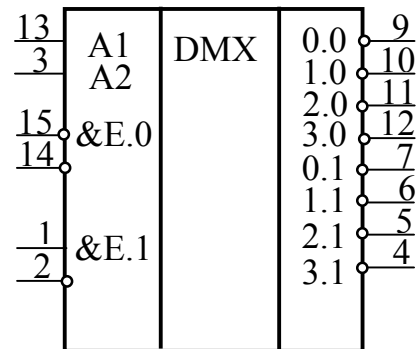
K555КП17



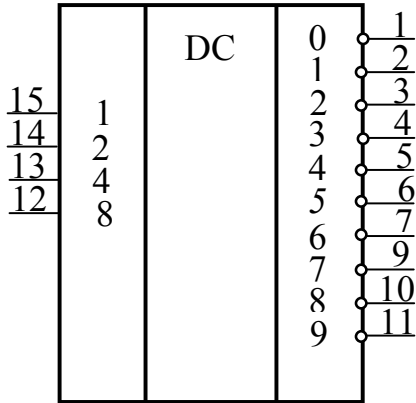
K555ИВ3



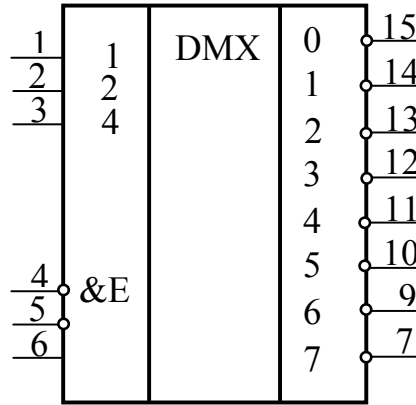
K555ИД4



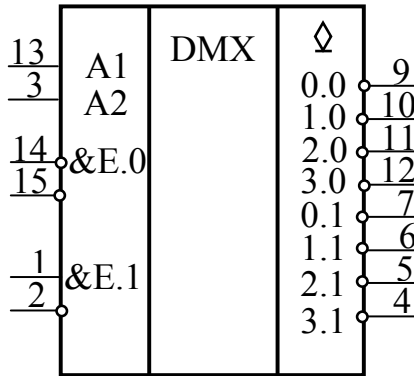
К555ИД6



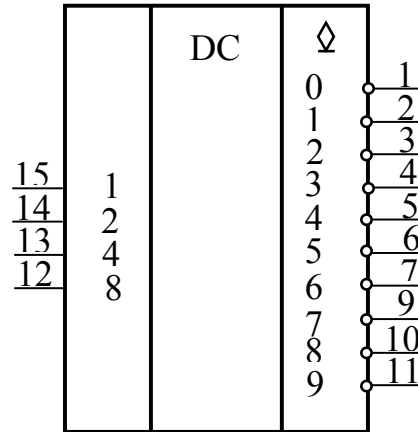
К555ИД7



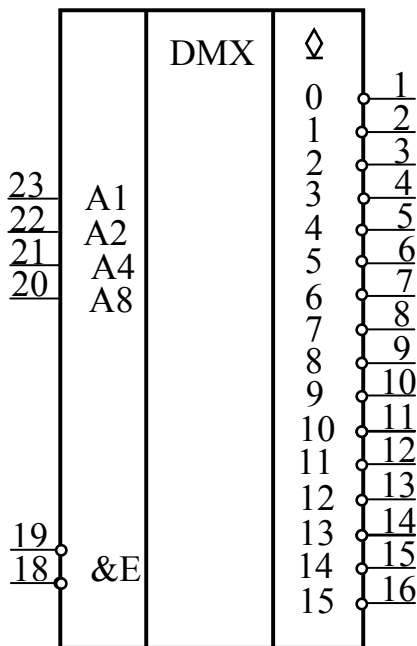
К555ИД5



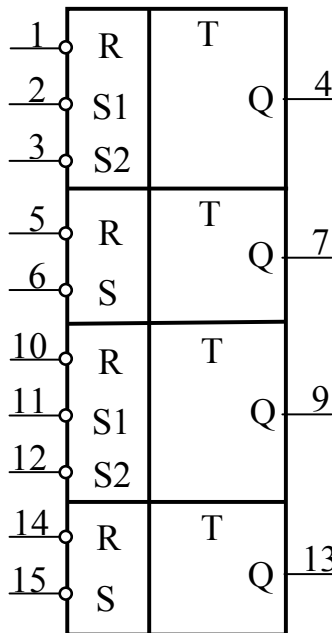
К555ИД10



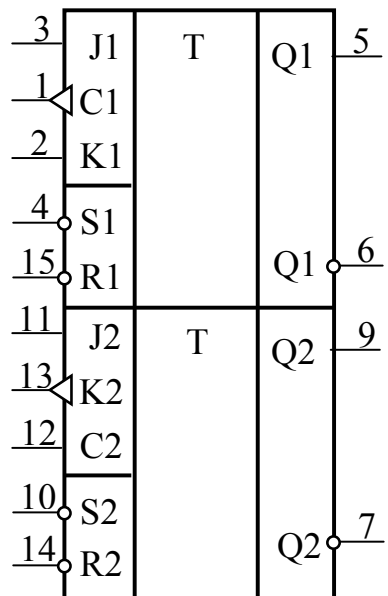
К555ИД19



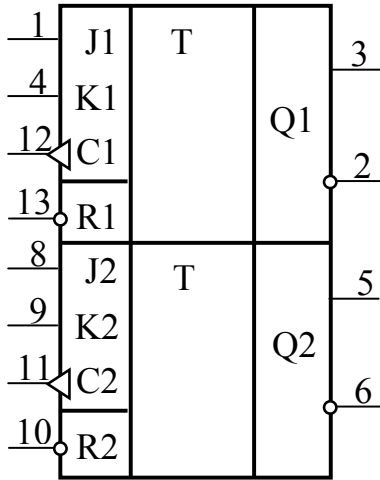
К555ТР2



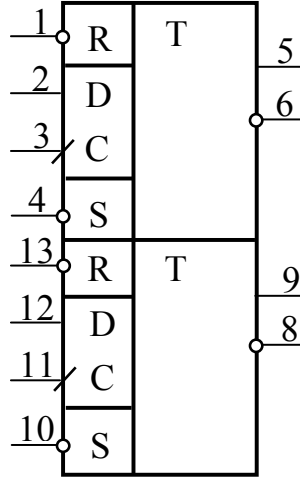
К555ТВ9



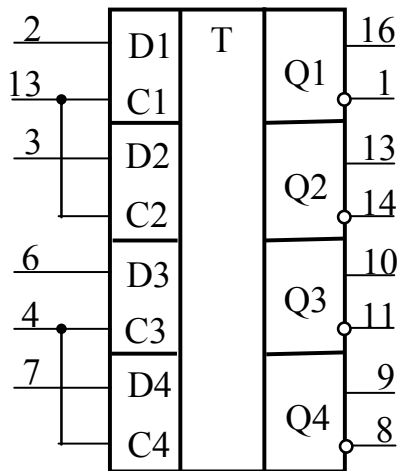
K555TB6



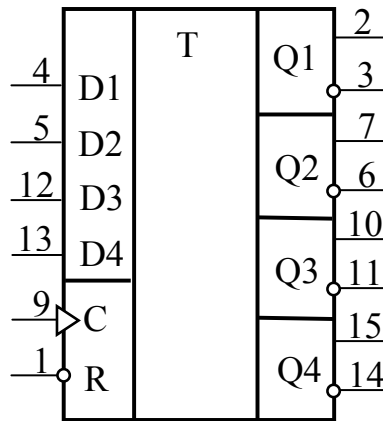
K555TM2



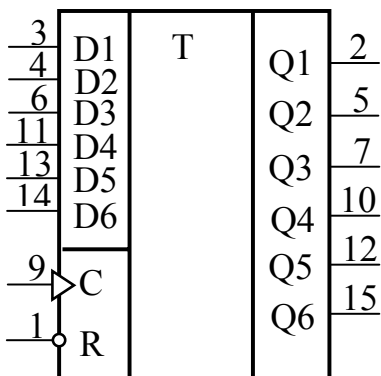
K555TM7



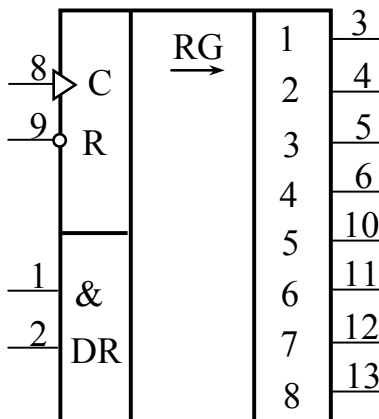
K555TM8



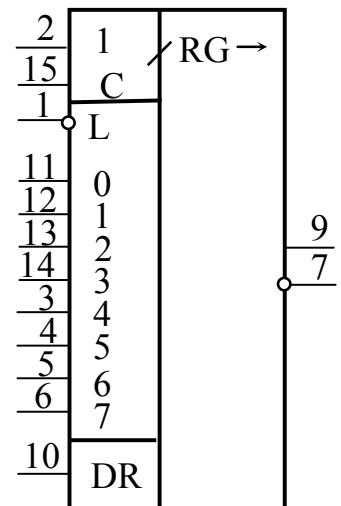
K555TM9

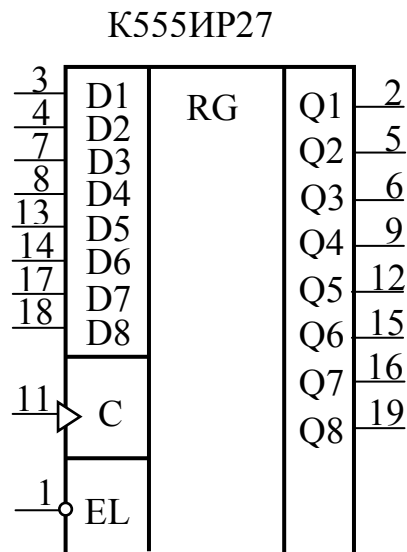
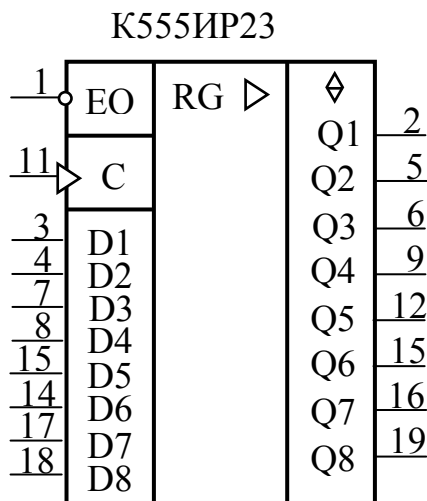
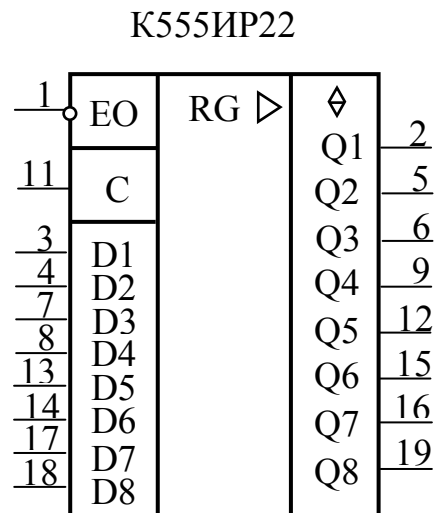
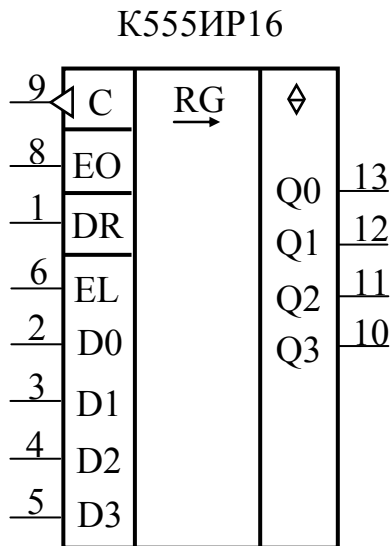
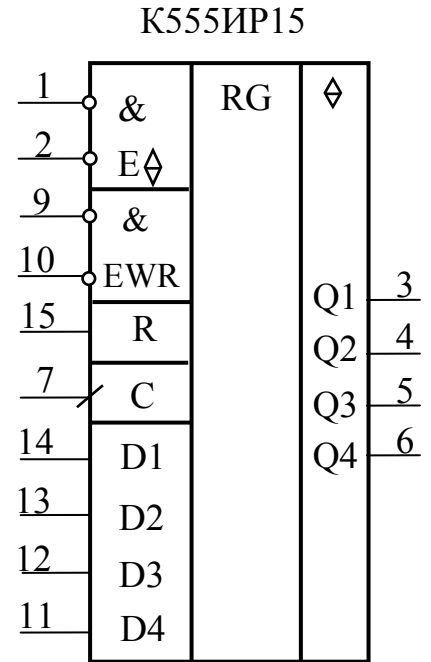
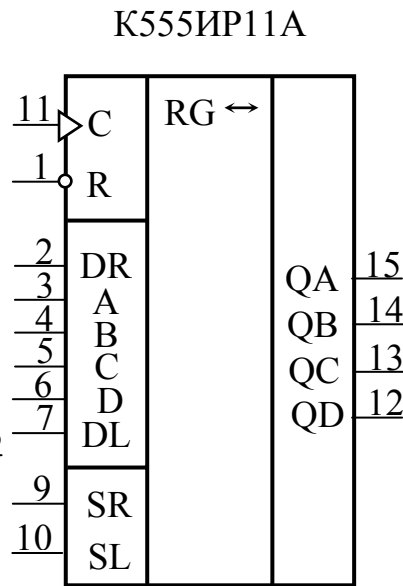
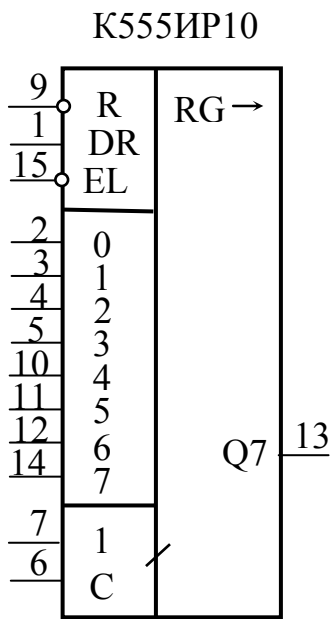


K555IP8

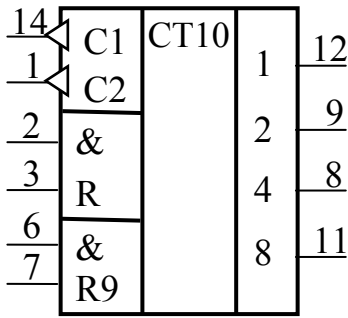


K555IP9

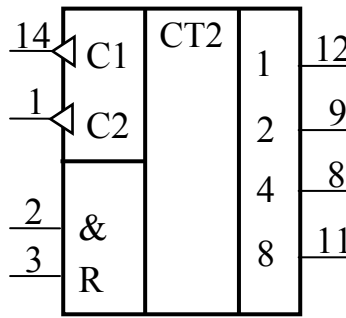




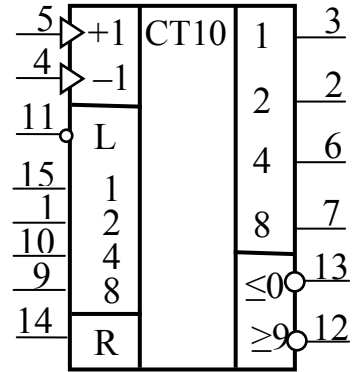
К555ИЕ2



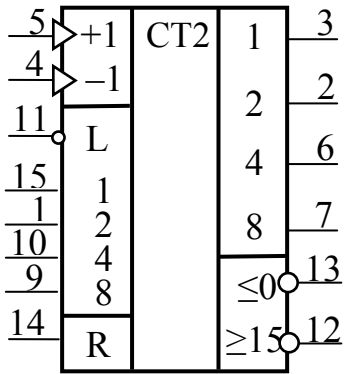
К555ИЕ5



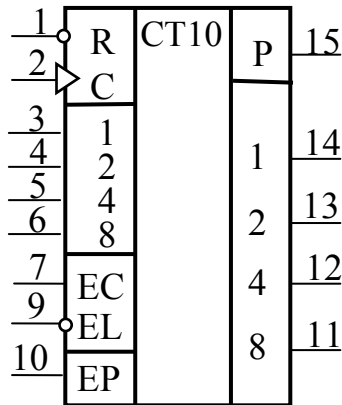
К555ИЕ6



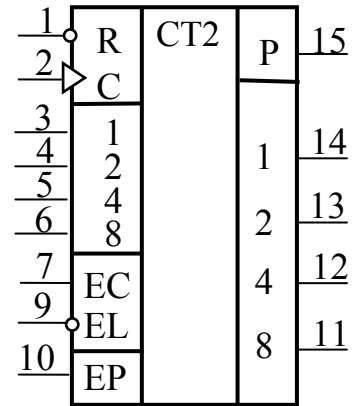
К555ИЕ7



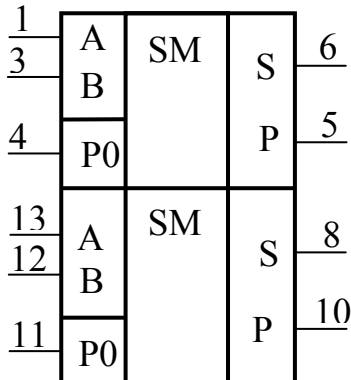
К555ИЕ9



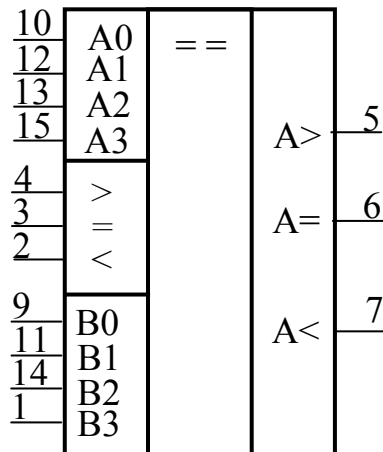
К555ИЕ10



К555ИМ5



К555СП1



К555ИМ6

