

МІНІСТЕРСТВО АГРАРНОЇ ПОЛІТИКИ УКРАЇНИ
КЕРЧЕНСЬКИЙ ДЕРЖАВНИЙ
МОРСЬКИЙ ТЕХНОЛОГІЧНИЙ УНІВЕРСИТЕТ

МІКРОПРОЦЕСОРНІ ПРИСТРОЇ

НАВЧАЛЬНИЙ ПОСІБНИК

Допущено

*Міністерством аграрної політики України як
навчальний посібник для підготовки спеціалістів
із спеціальності 7.092201 "Електричні
системи і комплекси транспортних засобів"
у вищих навчальних закладах 3-4 рівнів
акредитації Мінагрополітики України*

Керч
2006

Рецензенти:

доктор технічних наук, професор **В.М. Захарченко**
(Одеська національна морська академія)

кандидат технічних наук, доцент **А.А. Катюха**
(Таврійська державна агротехнічна академія)

Дворак М.М.

Мікропроцесорні пристрої: Навчальний посібник. - Керч: Видавничий центр КДМТУ, 2006. – 150 с.
Табл.. 8. Іл.. 134

Курс лекцій призначений для студентів напрямку "Електромеханіка" із спеціальності 7.092201 "Електричні системи і комплекси транспортних засобів" по спеціалізації 7.092201.02 "Експлуатація суднових автоматизованих систем".

У лекціях розглянуті питання побудови й експлуатації мікропроцесорних систем керування на основі мікропроцесорного комплексу КР580 і мікроконтролера К1816ВЕ51.

Матеріал лекцій може використовуватися як студентами, що одержують базову освіту по зазначеній спеціальності, так і слухачами відділення перепідготовки ФПК, що одержують нову спеціальність, а також судновими електриками й електромеханіками.

ISBN 966-580-130-9

© Дворак М.М., 2006

© Керченський державний
морський технологічний
університет, 2006

ЗМІСТ

Передмова.....	4
1. МІКРОПРОЦЕСОРНІ СИСТЕМИ КЕРУВАННЯ.....	5
1.1. Принципи побудови й основи роботи мікропроцесорних систем керування.....	5
1.2. Елементна база МПСК.....	7
1.3. Оперативні запам'ятовуючі пристрої. Блоки оперативної пам'яті.....	13
1.4. Постійні запам'ятовуючі пристрої. ПЗП з роздільними і сполученими шинами.....	17
1.5. Архітектура мікропроцесора KP580BM80.....	21
1.6. Типи машинних циклів і слово стану мікропроцесора KP580BM80.....	25
1.7. Командні цикли читання/запису запам'ятовуючих і зовнішніх пристроїв.....	28
1.8. Командний цикл підтвердження переривання. Виконання команди RST.....	34
1.9. Принципові електричні схеми формування шин МПСК.....	37
1.10. Інтерфейс МПСК з ізольованою системою шин.....	39
1.11. Інтерфейс МПСК із спільною системою шин.....	46
1.12. Організація обслуговування запитів переривання з використанням команди RST.....	49
1.13. Програмувальний контролер паралельного інтерфейсу.....	53
1.14. Програмувальний контролер переривань.....	57
1.15. Програмувальний інтервальний таймер.....	65
1.16. МПСК з введенням/виводом аналогової інформації.....	71
1.17. Вихідні каскади МПСК.....	76
2. МІКРОКОНТРОЛЕРНІ СИСТЕМИ КЕРУВАННЯ.....	79
2.1. Архітектура мікроконтролера K1816BE51 (МК51). Організація пам'яті МК51.....	79
2.2. Принципова електрична схема порту введення-виведення МК51. Організація виведення і введення інформації бітами та байтами.....	84
2.3. Схеми підключення зовнішньої пам'яті до МК51.....	90
2.4. Інтерфейс МК51 з великим числом зовнішніх пристроїв.....	95
2.5. Таймер/лічильники МК51. Реалізація витримок часу.....	98
2.6. Система переривань МК51. Використання переривань у програмах.....	103
2.7. Основи організації послідовного інтерфейсу.....	107
2.8. Організація мультиконтролерних систем.....	113
2.9. Мікроконтролерна система керування вантажним ліфтом.....	118
3. ПИТАННЯ ЕКСПЛУАТАЦІЇ МІКРОПРОЦЕСОРНИХ ПРИСТРОЇВ.....	121
3.1. Налагодження апаратних засобів МПСК.....	121
3.2. Налагодження програмного забезпечення МПСК.....	124
3.2. Методи забезпечення стійкості до перешкод.....	127
ДОДАТКИ.....	133
А. Команди мікропроцесора KP580BM80.....	133
Б. Команди мікроконтролера K1816BE51.....	141
Література.....	147
Предметний покажчик.....	148

Передмова

Автоматика сучасних суден базується переважно на мікропроцесорних засобах. Дешевина, надійність, багатоканальність і практично необмежені можливості в реалізації алгоритмів управління є вирішальними аргументами на користь вибору мікропроцесорних систем автоматичного управління. Теоретичні розробки в галузі автоматичного управління, що вважалися складними у впровадженні через недосконалість елементної бази систем автоматики, легко і просто реалізуються на базі мікропроцесорів.

Принципи побудови і робота мікропроцесорних систем керування (МПСК) докорінно відрізняються від всіх інших існуючих систем керування. Роботу МПСК визначає не стільки принципова електрична схема, скільки її програмне забезпечення. У МПСК апаратна і програмна частини зв'язані органічно, одне без другого вони марні. Ця особливість надзвичайно ускладнює діагностику, пошук несправностей і технічне обслуговування МПСК.

В обов'язки суднових електромеханіків входить технічне обслуговування та ремонт пристроїв МПСК. Метою дійсного курсу є вивчення основ побудови і роботи МПСК в тому обсязі, щоб фахівець-електромеханік був здатний читати принципові електричні схеми і програми мікропроцесорних пристроїв, і на такій основі – грамотно їх експлуатувати і ремонтувати.

Навчальний посібник включає:

Частина 1. Мікропроцесорні системи керування.

Частина 2. Микроконтролерні системи керування.

Частина 3. Питання експлуатації мікропроцесорних пристроїв.

Приклади, розглянуті в даному навчальному посібнику, охоплюють основні прийоми побудови схем мікропроцесорних пристроїв і їхнього програмування.

1. МІКРОПРОЦЕСОРНІ СИСТЕМИ КЕРУВАННЯ

1.1. Принципи побудови й основи роботи мікропроцесорних систем керування

МПСК являє собою комплекс технічних і програмних засобів, що здійснюють збір інформації про стан керованого об'єкта, обробку інформації і видачу керуючих сигналів на об'єкт управління. Функціональна схема МПСК приведена на рис.1.1, де ЗП – зовнішні пристрої.

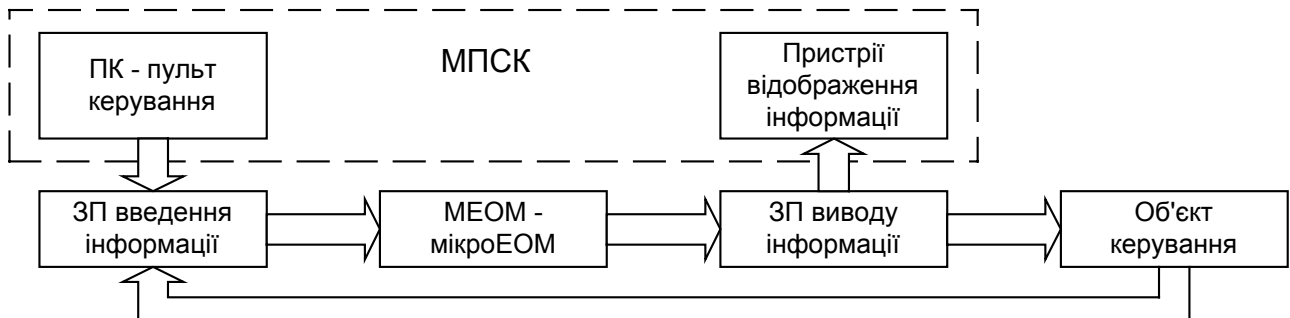


Рис.1.1. Функціональна схема мікропроцесорної системи керування

Ядром МПСК є МЕОМ. Мінімальна конфігурація МЕОМ містить мікропроцесор (МП) і пристрій пам'яті (рис.1.2). Пам'ять підрозділяється на постійну (ПЗП) і оперативну (ОЗП). В комірках ПЗП зберігаються у вигляді двійкових кодів команди програми роботи МПСК. МП виконує ці команди. ПЗП є обов'язковим елементом МПСК. Проміжні результати виконання команд зберігаються у внутрішніх регістрах МП. Великі обсяги інформації результатів виконання команд зберігаються в ОЗП.

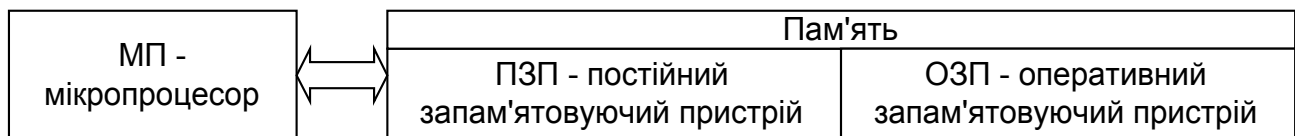


Рис.1.2. Мінімальна конфігурація мікроЕОМ

Робота МП складається в послідовному виконанні команд, зчитаних із ПЗП (рис.1.3). Структурно команда складається з коду операції (КОП) і операндів.

КОП є обов'язковою частиною команди, і він визначає зміст дій у процесі виконання команди і також вказує на наявність операнда. Операнд є необов'язковою частиною команди. Кількість байт операнда (0, 1 чи 2) у команді визначається КОП. Операнд містить інформацію, яка має характер уточнення дій впродовж виконання команди:

- адреси комірок пам'яті і ЗП, з яких відбувається зчитування інформації (у циклі читання) або у які відбувається запис інформації (у циклі запису);
- числові константи;
- умови, що перевіряються;
- адреси переходів і ін.

Операнди, що відносяться до виконуваної команди, розташовуються за адресами комірок ПЗП відразу за коміркою з КОП.

Природне виконання команд – послідовне. Однак можливі безумовні й умовні переходи, наприклад, як показано на рис.1.3, після виконання команди №2 на-

ступною виконується команда № N.

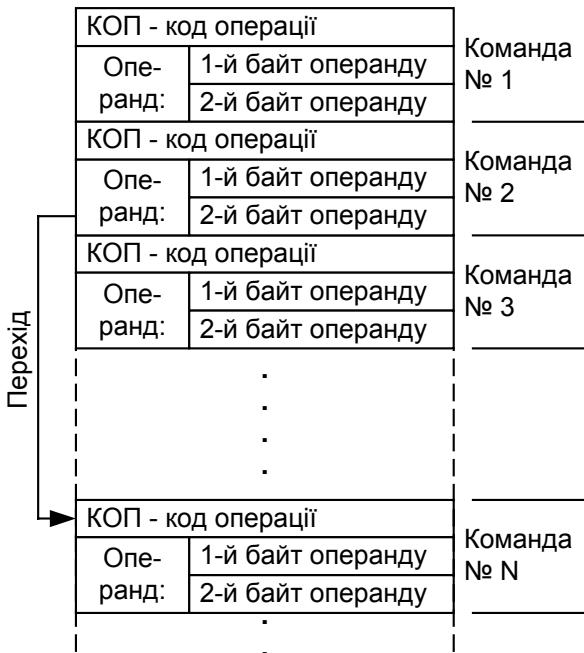


Рис.1.3. Принцип дії МЕОМ

У сигнальному представленні КОП і операнд абсолютно нерозрізнені. Будь-який код, наприклад, 7F, може бути або КОП, або операндом. Однозначність трактування кодів і, отже, правильність виконання команд програми, записаної в ПЗП, досягається завдяки застосуванню початкової установки і скидання МП. Після проходження початкової установки чи скидання у всіх типах МП починається виконуватися команда, що розташована по нульовій адресі ПЗП, причому завжди першим зчитаним кодом буде тільки КОП. Це, так названий, апаратний пуск програми МПСК. Початкова установка відбувається в момент включення живлення процесора. Скидання здійснюється натисканням на кнопку "Скидання", яку мають всі схеми МПСК.

Далі команди виконуються відповідно до їхнього змісту і розташування в ПЗП. Спочатку виконується команда, зчитана з нульової адреси ПЗП. Потім виконується наступна команда, КОП якої міститься за адресою відразу за 2-м операндом попередньої команди (рис.1.3) і т.д.

Структурно МПСК мають шинну (магістральну) організацію зв'язків МП із пам'яттю і ЗП (рис.1.4).

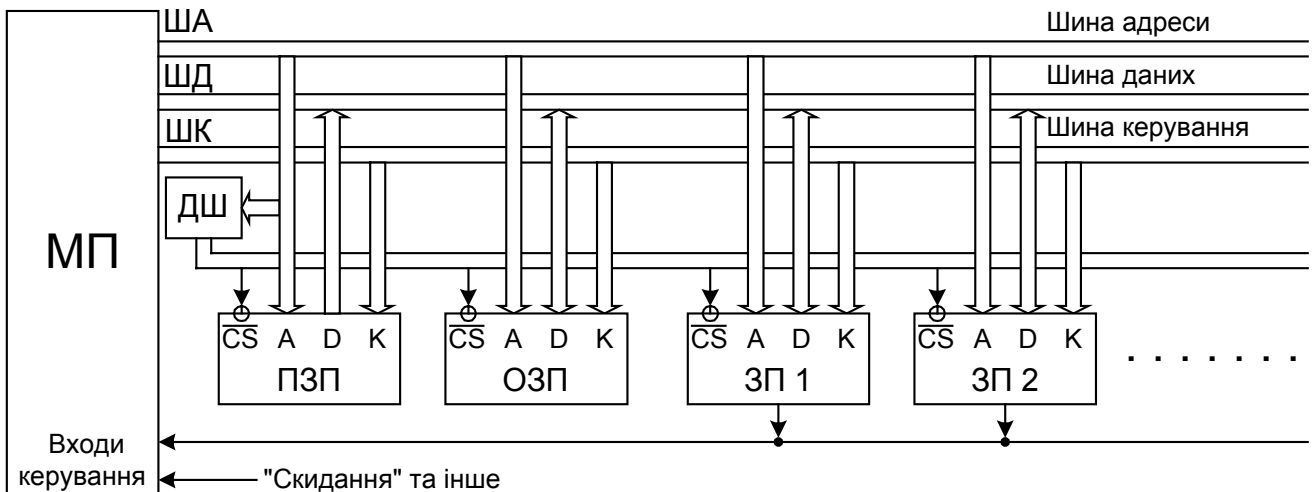


Рис.1.4. Шинна організація МПСК

Шина являє собою сукупність фізичних провідників, об'єднаних по функціональній ідентичності сигналів, переданих по провідниках. У МПСК ШД має звичайно 8 провідників (1 байт), ША – 8 чи 16 провідників (1 байт і 1 слово), розмірність ШК складає 2-5 провідників.

Шинна організація дозволяє будувати МПСК за модульним принципом, відповідно до якого можливе підключення стандартним способом, що зрозуміло із рис.1.4, довільного числа блоків пам'яті і ЗП.

Між МП і блоками пам'яті і ЗП по ШД відбувається обмін даними D. Зв'язок

МП із конкретним пристроєм установлюється з використанням адресної інформації А, переданої по ША. Відносно пристроїв адреса інформація структурно складається з двох частин: адреси пристроїв і адреси комірки пам'яті всередині цих пристроїв. Адреса пристрою формується дешифратором ДШ. Обраний пристрій активізується сигналом \overline{CS} (Chip Select - вибір кристала чипу), у результаті чого цей пристрій виходить на зв'язок із МП. Всі інші пристрої неактивні і зв'язку з МП не підтримують. У МПСК активний рівень сигналу вибору кристала \overline{CS} стандартизований і дорівнює 0. Керуюча інформація, що надходить із ШК, визначає напрямок передачі інформації між МП і пристроями, вибирає для зв'язку або блоки пам'яті, або ЗП, підтверджує переривання й ін.

МП має також входи керуючих сигналів, призначення і кількість яких залежить від типу МП. Стандартними керуючими входними сигналами МП є сигнали скидання, запиту переривання, захоплення шин, зупинки. ЗП активно використовують вхід запиту переривання.

У режимі виводу інформації з МП до ШД може бути підключене будь-яке число блоків пам'яті і ЗП.

У режимі введення інформації в МП до ШД може бути підключено тільки один із блоків чи пам'яті один ЗП. Якщо цього не виконати, то прийнята МП інформація буде неправильною, а одночасно підключені до ШД блоки пам'яті і ЗП вийдуть з ладу.

Питання і завдання

1. Назвіть і охарактеризуйте компоненти, що складають МПСК.
2. Визначте мінімальну конфігурацію мікроЕОМ. Призначення кожного елементу мінімальної конфігурації.
3. Поясніть принцип дії мікроЕОМ. Що таке – "початкова установка"? У якому вигляді команди зберігаються в пам'яті?
4. Дайте визначення шинної організації МПСК. У чому її переваги?
5. Поясніть проходження сигналів у режимі читання пам'яті.
6. Поясніть проходження сигналів у режимі запису в пам'ять.
7. Поясніть проходження сигналів у режимі читання зовнішніх пристроїв.
8. Поясніть проходження сигналів у режимі запису в зовнішній пристрій.

1.2. Елементна база МПСК

Шинна структура МПСК, модульне підключення пам'яті і зовнішніх пристроїв і організація зв'язків між ними і МП висуває особливі вимоги до елементної бази, на якій будуються МПСК. Основна вимога полягає в тому, щоб усі мікросхеми пам'яті і ЗП, з яких інформація передається в МП, були б тристабільними. Тристабільність означає, що вихідний сигнал, крім двох стандартних для всіх цифрових мікросхем значень 0 і 1, має ще третій виключений стан, називаний ще як Z-стан високого опору, коли ніжка мікросхеми відключена як від землі, так і від джерела живлення U_{CC} . Ця вимога пояснюється схемою, приведеної на рис.1.5а.

Якщо ЗП1 видає на ШД сигнал рівня 1, а ЗП2 видає в той же час на ШД сигнал рівня 0, то через відкриті в цьому випадку транзистори VT1.1 і VT2.2 прохо-

дить струм короткого замикання $I_{кз}$, що спалить обидва транзистори. У зв'язку з цим вихідні каскади мікросхем пам'яті і ЗП виконуються за схемою, приведеною на рис.1.5б. Для того, щоб вхідний сигнал DI , що може приймати два значення – 0 чи 1, був переданий на вихід DO , на вхід \overline{OE} (Output Enable – вивід дозволений) потрібно подати сигнал рівня 0. При такому сигналі \overline{OE} транзистори $VT1$ і $VT4$ будуть відкриті, і сигнал DI буде переданий на вивід DO мікросхеми через один із відкритих транзисторів $VT2$ чи $VT3$. При $\overline{OE}=1$ транзистори $VT1$ і $VT4$ будуть закриті, і вивід DO буде відключений як від землі, так і від джерела живлення U_{CC} . У МПСК активний рівень сигналу \overline{OE} стандартизований і дорівнює 0. Тристабільні виводи мікросхем позначаються значком \diamond .

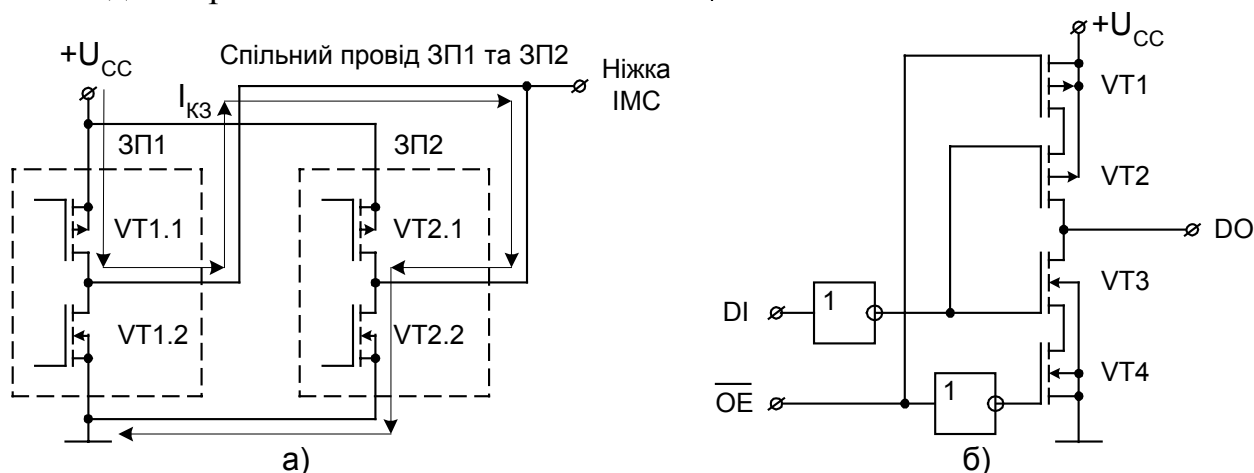


Рис.1.5. ІМС пам'яті та зовнішніх пристроїв з трьома станами виходу

На рис.1.5б приведена схема тристабільного елемента КМЗН-типу. Існують також тристабільні елементи ТТЛ-типу.

На рис.1.6 приведені основні великі інтегральні схеми (ВІС), які застосовуються в схемах МПСК. Усі вони мають тристабільну шину даних.

ВІС типу КР580ВА86 є двонаправленим шинним формувачем (ШФ). Підключається ВІС до шин МП із метою підвищення навантажувальної здатності шин. Характеристики вхідних і вихідних сигналів:

$$U_{ВХ.1} \geq 2 \text{ В при } I_{ВХ.1} = 50 \text{ мкА}; \quad U_{ВХ.0} \leq 0,8 \text{ В при } I_{ВХ.0} = -0,2 \text{ мА};$$

$$U_{ВИХ.1} \geq 2,4 \text{ В при } I_{ВИХ.1} = -5 \text{ мА (порт В) та } I_{ВИХ.1} = -1 \text{ мА (порт А)};$$

$$U_{ВИХ.0} \leq 0,45 \text{ В при } I_{ВИХ.0} = 32 \text{ мА (порт В) та } I_{ВИХ.0} = 10 \text{ мА (порт А)}.$$

Режим роботи ВІС КР580ВА86 визначається сигналами вибору кристала \overline{CS} і напрямку передачі T (Transmit -передавати). При $\overline{CS}=1$ порти А і В виключені. При $\overline{CS}=0$ і $T=0$ здійснюється передача інформації від порту В до порту А, а при $\overline{CS}=0$ і $T=1$ – від порту А до порту В.

Для збереження байта інформації застосовується ВІС паралельного регістру КР580ІР82. Інформація, яка підведена до вхідного порту І регістра, записується в регістр асинхронно при сигналі $STB=1$. При $STB=0$ регістр зберігає інформацію, записану при $STB=1$. Зчитування з вихідного порту О (Output) регістру здійснюється при сигналі $\overline{OE}=0$. Характеристики вихідних сигналів регістра:

$$U_{ВИХ.1} \geq 2,4 \text{ В при } I_{ВИХ.1} = -5 \text{ мА}; \quad U_{ВИХ.0} \leq 0,45 \text{ В при } I_{ВИХ.0} = 32 \text{ мА}.$$

Як видно, при застосуванні регістра, що має велику навантажувальну здатність, немає потреби у застосуванні шинного формувача.

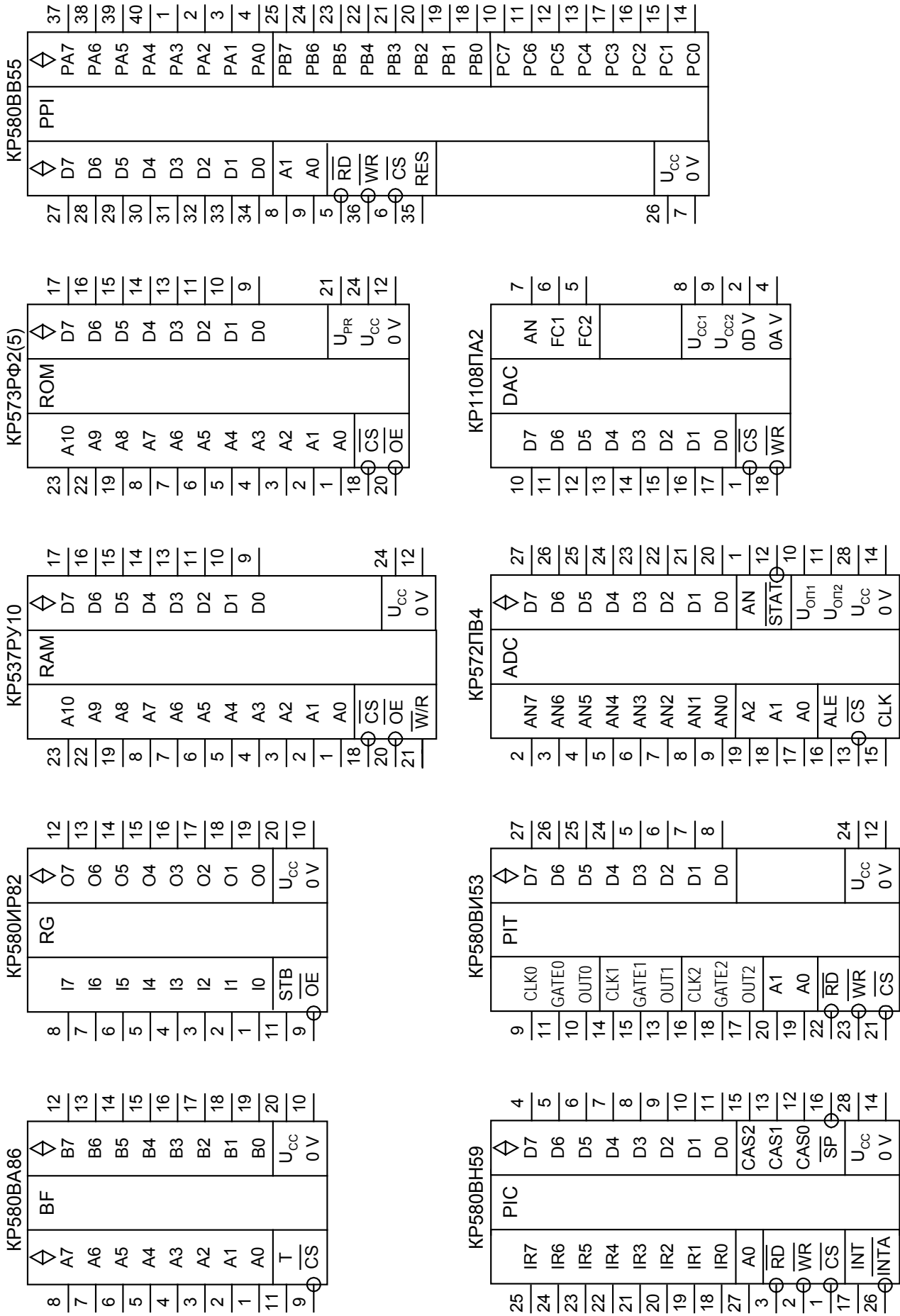


Рис. 1.6. Основні ВІС, які використовуються в мікропроцесорних системах керування

На мал.1.6 приведений ще ряд ВІС, робота яких буде описана далі:

- КР537РУ10 - статичне ОЗП (оперативний запам'ятовуючий пристрій);
- КР573РФ2(5) - ПЗП (постійний запам'ятовуючий пристрій) з ультрафіолетовим способом зтирання інформації;
- КР580ВВ55 - програмувальний паралельний інтерфейс;
- КР580ВН59 - програмувальний контролер переривань;
- КР580ВІ53 - програмувальний інтервальний таймер;
- КР572ПВ4 - 8-входовий аналогоцифровий перетворювач (АЦП);
- КР1108ПА32 - 8-розрядний цифроаналоговий перетворювач (ЦАП).

На рис.1.7 приведені інтегральні мікросхеми (ІМС) 8-розрядних (по ємності шини даних) мікропроцесорів і мікроконтролера. У всіх приведених МП шини адреси і даних тристабільні.

Характеристики вхідних і вихідних сигналів МП типу КР580ВМ80:

$$U_{ВХ.1} \geq 3,3 \text{ В};$$

$$U_{ВХ.0} \leq 0,8 \text{ В};$$

$$U_{Вих.1} \geq 3,7 \text{ В при } I_{Вих.1} = 0,15 \text{ мА}; \quad U_{Вих.0} \leq 0,45 \text{ В при } I_{Вих.0} = 1,4 \text{ мА}.$$

Величини вихідних струмів мікропроцесора малі, тому завжди потрібно застосування шинного формувача або регістру.

Призначення виводів МП і схема включення його в роботу будуть дані далі. Тут розглянемо особливості будівлі ША і ШД мікропроцесорів.

У МП типів КР580ВМ80 і Z80 ША і ШД повні (відповідно 16 і 8 фізичних виводів корпусу (ніжок) мікросхеми МП) і ізольовані. Недоліком такої організації ША і ШД є максимальне число виводів мікросхеми – всього 24 ніжки. Перевагою є простота схеми МЕОМ і максимальна її швидкодія.

У МП типу КР1821ВМ85 ША і ШД повні і сумісні. Число ніжок цих шин дорівнює 16, що є перевагою такої організації ША і ШД. Однак ускладнюється робота МЕОМ на базі цього процесора, функціональна схема якої приведена на мал.1.8. Цикл роботи МЕОМ складається з двох етапів:

1). Сумісна шина працює в режимі ША. По одиничному строб сигналі, що надходять із ШК одночасно на регістри RGH і RGL, повна 16-розрядна адреса фіксується в цих регістрах.

2). Сумісна шина працює в режимі ШД. Пам'ять чи зовнішній пристрій по сигналах, що надходять із ШК, обмінюються інформацією з МП.

Встановлення зв'язку між МП і зовнішнім пристроєм чи пам'яттю відбувається в два етапи. Тому швидкодія в схемі з МП КР1821ВМ85 нижче, ніж у схемі з МП, у якого ША і ШД роздільні.

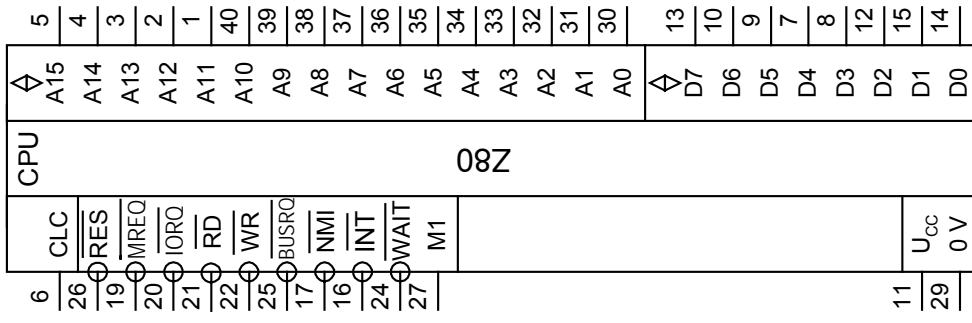
Існують також МП, у яких ША неповна (містить 8 ніжок при ємності шини 16 розрядів), і ША сполучена зі ШД. Кількість ніжок зазначених шин мінімально і дорівнює 8. Корпус такого МП має мінімально можливе число ніжок. Функціональна схема МЕОМ на базі такого МП збігається з рис.1.8, але робота відбувається в 3 етапи, за рахунок чого знижується до мінімуму продуктивність МЕОМ:

1). Сумісна шина працює в режимі ША, на якій виставлений старший байт АН 16-розрядної адреси. По одиничному строб сигналі, що надходить із ШУ на регістр RGH, старший байт АН фіксується в цьому регістрі.

2). Сумісна шина працює в режимі ША, на якій виставлений молодший байт АЛ 16-розрядної адреси. По одиничному строб сигналі, що надходить із ШК на регістр RGL, молодший байт АЛ фіксується в цьому регістрі.



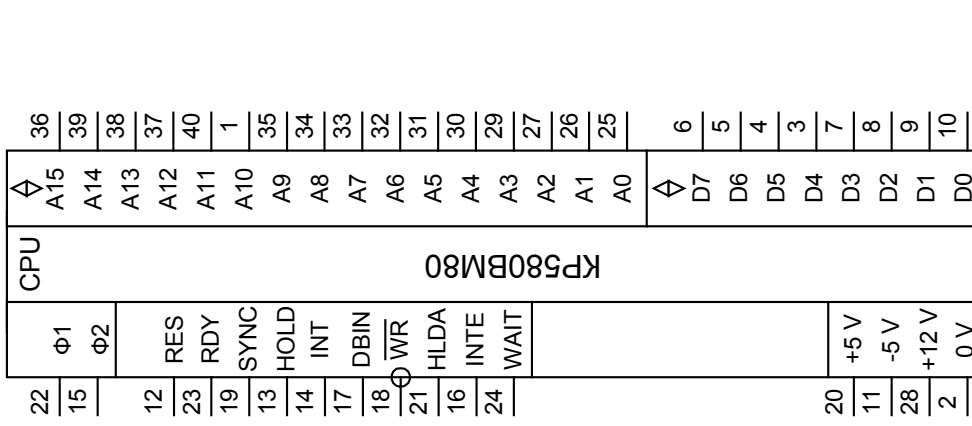
RST скидання загальне
ALE строб адреси зовнішньої пам'яті
EA виключення РІП
PSEN дозвіл читання ЗП



CLC сигнал тактової частоти
M1 МАШИННИЙ ЦИКЛ M1
MREQ ЗАПИТ (звернення до) ПАМ'ЯТІ
IORQ ЗАПИТ (звернення до) ЗП
RD ЧИТАННЯ пам'яті або ЗП
WR ЗАПИС в пам'яті або ЗП
INT ЗАПИТ перевірки загального типу
NMI ЗАПИТ немасковані перевірки
BUSRQ ЗАПИТ захвату шин



CLK сигнал тактової частоти
ALE СТРОБ фіксації адреси
RDY ГОТОВНІСТЬ пам'яті або ЗП до передачі
RD ДОЗВІЛ ЧИТАННЯ даних
WR ДОЗВІЛ ЗАПИСУ даних
IO/M ВИБІР ЗП або пам'яті
TRAP ЗАПИТ немаскованого перевірки
RST5-7 ЗАПИТ перевірки через RST
INTR ЗАПИТ перевірки загального типу
INTA ПІДТВЕРДЖЕННЯ перевірки
HOLD ЗАПИТ захвату шин



RES СКИДАННЯ загальне
RDY ЗП ГОТОВИЙ до передачі
SYNC СИНХРОСИГНАЛ з початку будь-якого циклу
DBIN ДОЗВІЛ ПРИЙОМУ даних
WR ДОЗВІЛ ЗАПИСУ даних
INTE ДОЗВІЛ ПЕРЕРИВАНЬ
INT ЗАПИТ ПЕРЕРИВАНЬ
HOLD ЗАПИТ ЗАХВАТУ шин

Рис.1.7. Мікропроцесори і мікроконтролер КР1816ВЕ51

3). Сумісна шина працює в режимі ШД. Зовнішні пристрої або пам'ять по сигналах, що надходять із ШК, обмінюються інформацією з МП.

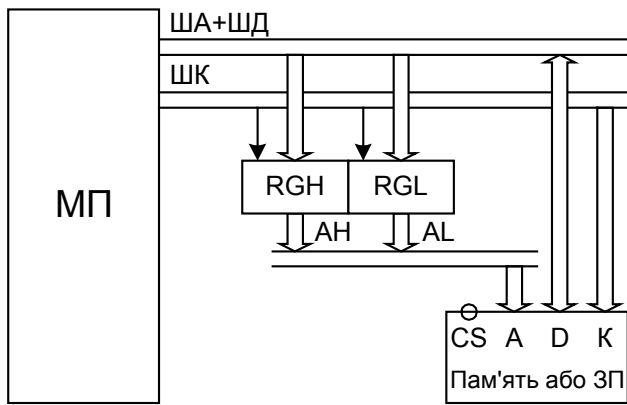


Рис.1.8. МЕОМ, яка має МП
сполученні ША та ШД

Існують також МП, у яких ШД і ША роздільні і ША неповна (містить 8 ніжок при ємності шини 16 розрядів).

Крім описаних ВІС, в схемах МПСК використовуються також прості мікросхеми з наступними особливостями:

1). Тригери найпростіших типів RS і D асинхронні і синхронні. Більш складні тригери застосовуються рідко через те, що їх логіку роботи можна реалізувати в МПСК програмним шляхом.

2). Лічильники, що працюють на додавання або ж віднімання, без попередніх установок.

Замість лічильників у МПСК доцільно застосовувати ВІС КР580ВІ53 програмувального інтервального таймеру, що містить три 16-розрядних лічильники.

3). Мультиплектори і комутатори.

4). Дешифратори, у яких вихідний сигнал має активний рівень 0, а також існує режим відключених виходів, коли на усіх виходах дешифратора встановлюються рівні 1.

5). Будь-які логічні схеми комбінаційного типу.

У всіх цих простих мікросхем у випадку їхнього застосування в схемах збору інформації і введення її в МП вихід повинний мати 3 стани – бути тристабільним. Якщо мікросхеми з таким властивостями немає, то до її виходу варто підключити наведений вище регістр КР580ІР82, оформивши відповідним чином сигнали, що подаються на входи \overline{STB} і \overline{OE} .

Питання і завдання

1. Чому до шин даних неприпустиме підключення елементів із двоштабільним виводом сигналів?
2. Поясніть роботу схеми тристабільного елемента із сигналом 0 на його вході при наявності сигналу 0, який дозволяє вивід, на ніжці \overline{OE} .
3. Поясніть роботу схеми тристабільного елемента із сигналом 1 на його вході при наявності сигналу 0, який дозволяє вивід, на ніжці \overline{OE} .
4. Поясніть роботу схеми тристабільного елемента з будь-яким сигналом на його вході при заборонному сигналі виводу $\overline{OE}=1$.
5. Визначте призначення і приведіть характеристики шинних формувачів і мікросхем регістрів.
6. Приведіть протокол обміну інформацією в МПСК з роздільними шинами адреси і даних.
7. Приведіть протокол обміну інформацією в МПСК зі сполученими шинами адреси і даних.

1.3. Оперативні запам'ятовуючі пристрої. Блоки оперативної пам'яті

Оперативний запам'ятовуючий пристрій (ОЗП; RAM - Random Access Memory) служить для запису в нього, збереження і читання з нього інформації. ОЗП є енергозалежною пам'яттю, так що при вимиканні живлення мікросхеми пам'ять очищується. Дані зберігаються в ОЗП, поки є його живлення. ОЗП є відносно повільною пам'яттю. Шини даних всіх ОЗП тристабільні.

Основні характеристики ОЗП: спосіб збереження інформації, ємність, організація пам'яті, швидкодія й енергоспоживання в режимах запису/читання і збереження.

За способами збереження інформації ОЗП підрозділяються на статичні, динамічні і реєстрові. У статичних ОЗП одиниця інформації – біт – зберігається в RS-тригерах. У динамічних ОЗП одиниця інформації – біт – зберігається в конденсаторах ємністю декілька пікофарад, причому для відновлення напруги конденсатора, що досить швидко розряджається, вводиться операція регенерації пам'яті. Прикладом реєстрового ОЗП є регістр КР580ИР82.

Ємність мікросхем ОЗП вимірюється в бітах, що вказується в позначенні ІМС. Пам'ять ОЗП організується бітами, тетрадами, байтами і словами, відповідно, по 1, 4, 8 і 16 біт інформації на одну адресу комірки пам'яті. Про організацію пам'яті можна довідатися з довідкових даних, а також з розмірності шини даних ОЗП. Ємність ОЗП можна знайти як добуток розміру ШД (1, 4, 8 чи 16) на ємність адресного простору ОЗП, рівної 2^{AN} , де AN – розмір шини адреси ОЗП. Так, приведена на рис.2.2 ІМС статичного ОЗП типу КР537РУ10, має розмір шини даних, рівний 8 (пам'ять організована байтами, тобто інформація записується, зберігається і зчитується байтами), розмір шини адреси AN=11 (від A0 до A10), ємність адресного простору $2^{11}=2048=2K$, ємність ІМС складає $2K \cdot 8$ чи 2 Кбайта. Ємність ОЗП в бітах складає 16 Кбіт, що у позначенні ІМС зазначено як 16К.

Статичні ОЗП мають організацію по 1, 4, 8 і 16 біт на адресу і відносно невелику ємність – до 1 Мбіт (1024 Кбіт) на одну ІМС. Динамічні ОЗП організуються тільки бітами і мають велику ємність – 16 Мбіт і вище.

Швидкодія оцінюється величиною часу циклу запису/читання $t_{цзп(ч)}$ і має порядок десятки-сотні наносекунд.

Енергоспоживання в режимах запису/читання складає десятки-сотні міліватів на одну ІМС ОЗП, у режимі збереження знижується на 2-3 порядки, а при зменшенні напруги живлення мікросхем, коли ще забезпечується зберігання інформації, потужність знижується ще на 2-3 порядки.

Розглянемо мікросхему статичного ОЗП типу КР537РУ10 (рис.1.6 і рис.1.9) з характеристиками: ємність 16К, організація 2К·8, $t_{цзп(чТ)}=110...500$ нс, $P_{зп(чТ)}=350$ мВт при $U_{CC}=5$ В, $P_{збер}=0,6...1...1,0$ мкВт при $U_{збер}=2$ В.

Це ОЗП має ША розміром 11 біт, двонаправлену ШД розміром 8 біт=1 байт (від D0 до D7), ніжку \overline{CS} вибору кристала, ніжку \overline{OE} дозволу виводу інформації з ОЗП і ніжку $\overline{W/R}$ керування записом/читанням пам'яті, причому при $\overline{W/R} = 0$ проводиться запис в ОЗП, а при $\overline{W/R} = 1$ - читання ОЗП.

Таблиця режимів роботи ІМС і діаграми сигналів при читанні і запису ОЗП приведені на рис.1.9. Необхідна послідовність і тривалість сигналів на діаграмах

визначається змістом машинних циклів МП і схемою МЕОМ. Докладно це питання розглядається на рис.1.20 і рис.1.26.

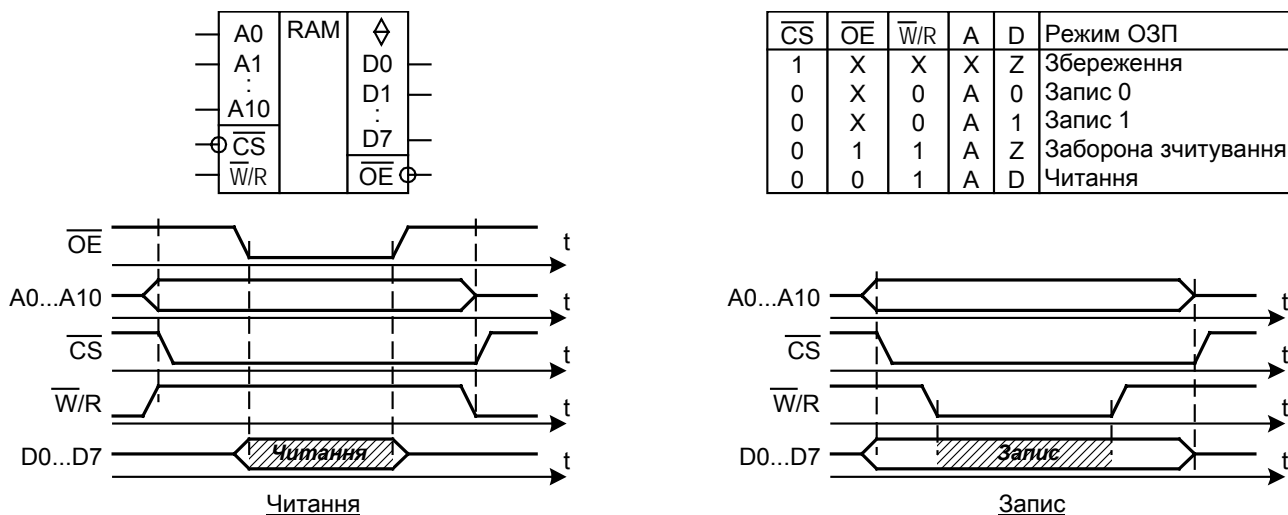


Рис.1.9. Мікросхема статичного ОЗП типу КР537РУ10 ємністю 2К*8

З декількох корпусів ІМС створюються блоки оперативної пам'яті великої інформаційної ємності. Так, на рис.1.10 приведена схема ОЗП ємністю 8 Кбайт, складеного з чотирьох ІМС DD1...DD4 типу КР537РУ10 і дешифратора DD5. Орієнтуючись на використання в МЕОМ МП типу КР580ВМ80, приведемо команди читання і запису комірок цього блоку пам'яті і розберемо їхнє виконання на сигнальному рівні, що відбито на вищенаведених діаграмах.

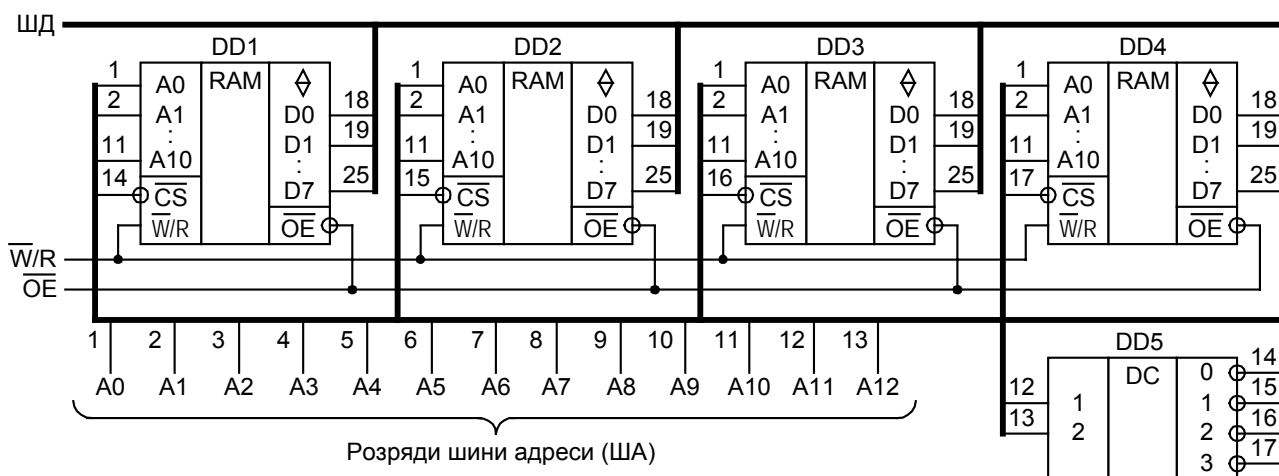


Рис.1.10. Блок статичного ОЗП ємністю 8 Кбайт

Розподіл адрес комірок пам'яті по ІМС блоку має вид:

ІМС	Діапазон адресів			
	Двійкові адреси		16-річні адреси	
	Мінімальна адреса	Максимальна адреса	Мін. адреса	Макс. адреса
DD1	0000.0000.0000.0000	0000.0111.1111.1111	0000	07FF
DD2	0000.1000.0000.0000	0000.1111.1111.1111	0800	0FFF
DD3	0001.0000.0000.0000	0001.0111.1111.1111	1000	17FF
DD4	0001.1000.0000.0000	0001.1111.1111.1111	1800	1FFF

Двійкові адреси для зручності їхнього сприйняття розбиті на тетради, які одна від одної відокремлюються крапками. Шістнадцятеричні адреси отримують-

ся заміною зазначених тетрад на символи 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F шістнадцятеричної системи числення.

Команда читання змісту комірки пам'яті з адресою 1C5B і пересилання результату в акумулятор МП має вигляд:

LDA 1C5B (в асемблері)

і 3A 5B 1C (в машинних кодах).

У цьому записі 3A – код операції (КОП) команди LDA (пряме завантаження в акумулятор вмісту комірки, адреса якої зазначена у 2-м та 3-м байтах команди), а 5B1C – операнд, що є записом адреси комірки 1C5B пам'яті, вміст якої потрібно переслати в акумулятор МП. За правилами синтаксису команд МП КР580ВМ80 в операнді записується спочатку молодший байт адреси комірки пам'яті, а потім старший. У природному записі адреси старший байт розташовується поперед молодшого.

Комірка з адресою 1C5B знаходиться в ІМС DD4.

Етапи виконання команди LDA 5B1C:

1). МП виставляє на ША адресу 1C5BH=0001.1100.0101.1011. Біти цієї адреси використовуються в схемі блоку пам'яті (рис.1.10) таким чином:

Біти адреси	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Адреса	0	0	0	1.	1	1	0	0.	0	1	0	1.	1	0	1	1
Використання біт адреси	Не використовуються			На вхід DD5		На адресні входи всіх ІМС блоку пам'яті										

Одночасно встановлюється сигнал читання $\overline{W}/R = 1$.

2). На код 11, що надійшов на вхід дешифратора DD5, на його виході 3 встановлюється активний сигнал 0. По проводу 17 сигнал 0 надходить на ніжку \overline{CS} ІМС DD4, що переходить в активний режим, а інші ІМС пам'яті залишаються неактивними. В активній ІМС DD4 вибирається комірка з адресою 45BH = 100.0101.1011B.

3). Через якийсь час на внутрішній шині даних ІМС DD4 устанавлюються дійсні дані комірки пам'яті, які можна читати.

4). МП формує імпульс $\overline{OE} = 0$, і інформація з внутрішньої ШД надходить на вихід ІМС, що з'єднаний зі ШД МП. Вміст із комірки пам'яті ІМС DD4 з адресою 45BH передається в акумулятор мікропроцесора.

5). МП знімає із ША адресу 1C5B и одночасно знімається сигнал читання $\overline{W}/R = 0$.

Команда запису вмісту акумулятора МП у комірку пам'яті з адресою 0F3D має вигляд:

STA 0F3D (в асемблері)

і 32 3D 0F (в машинних кодах).

У цьому записі 32 – код операції (КОП) команди STA, а 3D0F – операнд, що є записом адреси комірки 0F3D пам'яті, у яку потрібно переслати вміст акумулятора МП. У записі операнда застосоване згадане вище правило синтаксису.

Комірка з адресою 0F3D знаходиться в ІМС DD2.

Етапи виконання команди STA 0F3D:

1). МП виставляє на ША адресу 0F3DH=0000.1111.0011.1101B. Біти цієї адреси використовуються відповідно до принципової схеми блоку таким чином:

Біти адреси	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Адреса	0	0	0	0.	1	1	1	1.	0	0	1	1.	1	1	0	1
Використання біт адреси	Не використовуються			На вхід DD5		На адресні входи всіх ІМС блоку пам'яті										

Одночасно на ШД МП виводяться дані з акумулятора.

2). На код 01, що надійшов на вхід дешифратора DD5, на його виході 1 встановлюється активний сигнал 0. По проводу 15 сигнал 0 надходить на ніжку \overline{CS} ІМС DD2, що переходить в активний режим, а інші ІМС пам'яті залишаються неактивними. В активній ІМС DD2 вибирається комірка з адресою 73DH = 111.0011.1101B.

3). Через якийсь час проходить імпульс запису $\overline{W/R} = 0$. Дані зі ШД МП переписуються в комірку пам'яті ІМС DD2 з адресою 73D.

4). МП знімає із ША адресу 0F3D, слідом за якою знімається сигнал \overline{CS} .

Розглянемо мікросхему динамічного ОЗП типу КР565РУ6 (рис.1.11) з характеристиками: ємність 16К, організація 16К·1, $t_{ц,зп(чт)}=150\dots250$ нс, $P_{зп(чт)}=160$ мвт при $U_{CC}=5$ В, $P_{збер}=21$ мвт при $U_{збер}=5$ В.

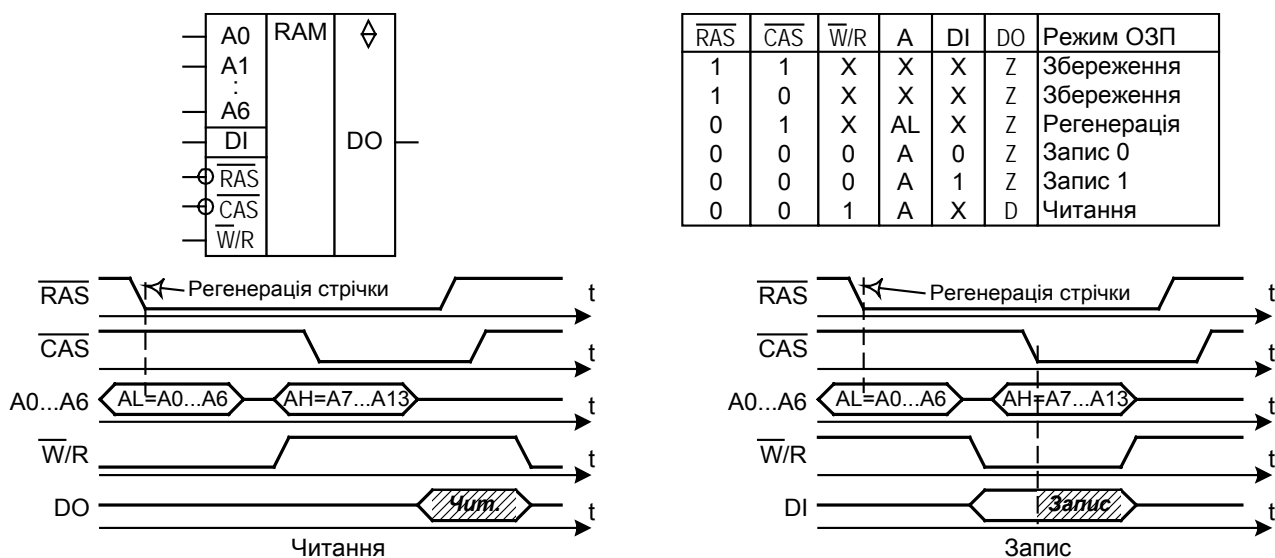


Рис.1.11. Мікросхема динамічного ОЗП типу КР565РУ6 ємністю 16К*1

Цей ОЗП має мультиплексну ША розміром 7 біт (від A0 до A6), роздільні ШД (на введення DI і вивід DO) розміром 1 біт кожна, вхід $\overline{W/R}$ керування записом/читанням пам'яті, причому при $\overline{W/R} = 0$ проводиться запис в ОЗП, а при $\overline{W/R} = 1$ - читання ОЗП. Масив комірок пам'яті усередині ІМС організований у вигляді квадрата зі сторонами, рівними $2^7=128$. Загальна ємність дорівнює $128 \cdot 128 = 2^{14} = 16384$ одиниць біт, тобто 16 Кбіт.

Адресація комірок пам'яті через 7 розташованих на корпусі ІМС ніжок ША здійснюється в два такти:

- спочатку вводяться молодші 7 розрядів $AL=A0\dots A7$ адреси, що стробуються зрізом сигналу RAS (рядка квадратного масиву пам'яті) і запам'ятовуються

в сімох молодших бітах внутрішнього 14-розрядного регістра адреси;

- потім вводяться старші 7-розрядів $AH=A8\dots A13$ адреси, що стробуються зрізом сигналу \overline{CAS} (стовпця квадратного масиву пам'яті), але запам'ятовується вже в сімох старших бітах внутрішнього 14-розрядного регістра адреси.

Далі режим чи читання, чи запису залежить від значення сигналу на вході $\overline{W/R}$, як показано на діаграмах сигналів на рис.1.11.

У момент проходження зрізу сигналу \overline{RAS} відбувається регенерація комірок рядка масиву пам'яті, організованого квадратом. При регенерації напруга на запам'ятовуючих конденсаторах комірок пам'яті ІМС відновлюється до номінального рівня. Отже, при всякому звертанні до ОЗП відбувається автоматично регенерація всього рядка, у якій розташована комірка, до якої звертаються. Для даної ІМС регенерація повинна проходити через кожні 2 мс. Для гарантованої регенерації всіх комірок динамічного ОЗП провадиться примусова регенерація, шляхом звертання до рядків (активізацією сигналу \overline{RAS}) через інтервали часу, що не перевищують 2 мс.

Динамічні ОЗП мають велику ємність, але вимагають спеціального контролера, що керує регенерацією і читанням/записом при використанні тих же сигналів, що забезпечують взаємодію мікропроцесора і ІМС статичних ОЗП, ІМС ПЗП, зовнішніх пристроїв.

Питання і завдання

1. Назвіть формати організації оперативної пам'яті і типи ОЗП по виду запам'ятовуючих комірок.
2. Як визначити ємність ОЗП (у бітах, байтах, словах) по позначенню його мікросхеми?
3. Поясніть діаграми сигналів у циклі читання ОЗП статичного типу.
4. Поясніть діаграми сигналів у циклі запису в ОЗП статичного типу.
5. Поясніть діаграми сигналів у циклі читання ОЗП динамічного типу.
6. Поясніть діаграми сигналів у циклі запису в ОЗП динамічного типу.
7. Поясніть призначення дешифратора в схемі блоку статичного ОЗП. Укажіть діапазон адрес (адресний простір) для мікросхем блоку оперативної пам'яті.
8. Завдяки чому об'єднання адресних портів ІМС ОЗП не перешкоджає встановленню зв'язку тільки з однієї, обраною, коміркою блоку пам'яті?
9. Завдяки чому об'єднання портів даних ІМС ОЗП не перешкоджає встановленню зв'язку тільки з однієї, обраною, коміркою блоку пам'яті?
10. Дайте характеристику керуючим сигналам: у який момент циклу читання і записи і який рівень вони повинні приймати?

1.4. Постійні запам'ятовуючі пристрої. ПЗП з роздільними і сполученими шинами

Постійний запам'ятовуючий пристрій (ПЗП; ROM – Read Only Memory) служить для тривалого збереження в ньому інформації і читання її при виконанні програми. ПЗП є енергонезалежною пам'яттю, і при вимиканні живлення мікросхеми вміст пам'яті зберігається. Дані записуються в ПЗП при програмуванні ІМС.

ПЗП є відносно швидкою пам'яттю.

Основні характеристики ПЗП: спосіб програмування, ємність, організація пам'яті і шин, швидкодія, енергоспоживання і наявність біт захисту від несанкціонованого читання інформації з ПЗП. Бітом захисту забезпечуються також ПЗП, що входять до складу мікроконтролерів.

По способу програмування ПЗП підрозділяються на масочні (ROM), однократно програмувальні (PROM), багаторазового електричного програмування зі стиранням ультрафіолетовим світлом (EPROM) і електричним стиранням (EEPROM).

Масочні ПЗП програмуються на заводі-виготовлювачі. Інформацію, записану в масочний ПЗП, називають "прошиванням". Ці ПЗП використовуються як носії постійних програм, фізичних і математичних констант. Приклади: контролери принтерів, сканерів, клавіатури, дисплеїв, магнітофони, телевізори, електронні годинники, ігрові приставки і т.п. Літерне позначення масочних ПЗП - PE.

ПЗП типу PROM у незапрограмованому виді являють собою на кристалі сукупність вертикальних і горизонтальних провідників, з'єднаних між собою в точках перетинання перемичками. Перемичками можуть бути провідники, діоди, транзистори. Процес програмування даного ПЗП складається в перепалюванні потрібних перемичок шляхом пропущення через них великого струму. Тоді цілим і перепаленим перемичкам відповідають різні логічні рівні сигналів – 0 чи 1. Літерне позначення цих ПЗП – PT.

ПЗП типів EPROM (літерне позначення - PΦ) і EEPROM (літерне позначення - PP) програмуються напругою 18...26 V. Інформація, записана в ці ПЗП з часом може зіпсуватися (спотворитися). Гарантійний термін збереження інформації в запрограмованому ПЗП складає від десятків тисяч годин до 15 років. Число циклів перепрограмування складає 10...100 для PΦ і 100...10000 для PP. Перед перепрограмуванням ПЗП типу PΦ мікросхема витягається з плати й опромінюється ультрафіолетом протягом 30...60 хвилин, уся раніше записана в ній інформація стирається. Перепрограмування ПЗП типу PP може провадитися без витягу мікросхеми з плати, стиратися може інформація в окремих комірках пам'яті по обраній адресі. Незважаючи на переваги в програмуванні ПЗП PP типу перед PΦ типом, ІМС PΦ типів істотно дешевші.

Ємність мікросхем ПЗП вимірюється в бітах, що вказується в позначенні ІМС. Пам'ять ПЗП організується тетрадами, байтами і словами, відповідно, по 4, 8 і 16 біт інформації на одну адресу комірки пам'яті.

Швидкодія оцінюється величиною часу циклу читання $t_{цчт}$ і має порядок десятки-сотні наносекунд.

Енергоспоживання складає десятки-сотні міліватів на одну ІМС ПЗП.

Шини адреси і даних виконуються роздільними і сполученими. У всіх типів ПЗП ШД тристабільна.

Розглянемо мікросхеми ПЗП з роздільними системами шин (рис.1.12).

У цих мікросхем, крім фізично розділених шин адреси і даних, маються також керуючі входи: вхід \overline{CS} вибору кристала, вхід \overline{OE} для дозволу виводу інформації з ПЗП. До ІМС підводиться постійно напруга живлення U_{CC} , і для програмування ПЗП - напруга U_{PR} .

Таблиця режимів роботи ІМС і діаграми сигналів при читанні ПЗП приведені на рис.1.12. Необхідна послідовність і тривалість сигналів на діаграмах визначається змістом машинних циклів МП і схемою МЕОМ. Ці діаграми схожі на діаг-



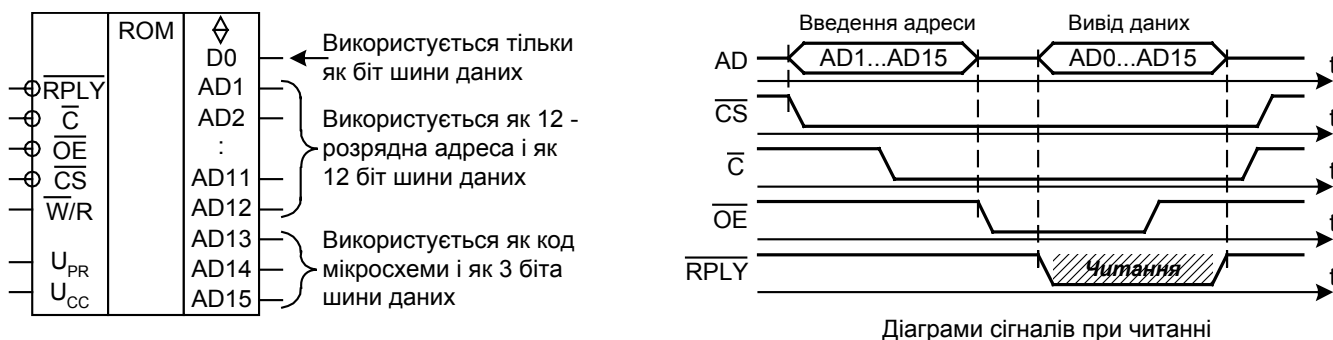
Рис.1.12. Мікросхеми ПЗП з роздільними шинами адреси і даних

рами для режиму читання статичних ОЗП (рис.1.9). Для збільшення ємності постійної пам'яті з декількох корпусів ІМС ПЗП утворюють блоки постійної пам'яті.

Розглянемо мікросхему ПЗП типу K573PФ3 зі сполученими системами шин адреси і даних (рис.1.13). У цієї ПЗП виводи ША є одночасно і виводами частини розрядів ШД. За рахунок такого сполучення скорочується загальне число ніжок на корпусі мікросхеми. При читанні з ПЗП сполучена шина спочатку працює як ША, потім – як ШД. Таке переключення із ША на ШД називається мультиплексуванням сполученої шини.

Розмір ШД – 16 розрядів (від AD0 до AD15). Розмір ША – 12 розрядів (від AD1 до AD12), що адресується $2^{12}=4096$ комірок пам'яті. Отже, ПЗП має організацію $4K \cdot 16=4K$ слів і ємність 65536 біт чи 64 Кбіт.

Крім 12 розрядів, якими адресуються комірки пам'яті усередині ІМС, мають ще 3 розряди (від AD13 до AD15), що використовуються при виборі ІМС, котрі входять у блок пам'яті.



Сигнали програмування мікросхеми K573PФ3

\overline{CS}	\overline{OE}	U_{PR}	Режим програмування
1	0	13 V	Запис даних у пам'ять
0	1	13 V	Запис коду мікросхеми

Рис.1.13. Мікросхема ПЗП типу K573PФ3 с мультиплексними шинами адреси та даних

Призначення виводів керуючих сигналів ІМС K573PФ3:

\overline{CS} - вхід синхроімпульсів;

\overline{OE} - вхід дозволу читання ПЗП;

\overline{CS} - вхід вибору кристалу;

$\overline{W/R}$ - вхідний сигнал дозволу програмування ІМС ($\overline{W/R} = 0$) і читання інформації з ПЗП ($\overline{W/R} = 1$);

\overline{RPLY} - вихідний сигнал, що стробує вивід даних із ПЗП на сполучену шину.

Завдяки 3 розрядам (від AD13 до AD15) спрощується об'єднання ІМС K573PФ3 у блоки пам'яті, тому що немає необхідності в застосуванні дешифратора. У приведеному на рис.1.14 блоці ПЗП, що складається з ІМС DD3, DD4,..., по адресних входах AD13... AD15 мікросхеми DD3 записаний (при програмуванні) код 000, мікросхеми DD4 - записаний код 001 і т.д. Розподіл адрес по мікросхемах блоку ПЗП має вигляд:

Біти адреси*	Мінімальна адреса ІМС															Максимальна адреса ІМС														
	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DD3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	
DD4	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1		
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:		
DD10	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1		
Використання адреси	Код ІМС			Адреса комірки пам'яті всередині ІМС												Код ІМС			Адреса комірки пам'яті всередині ІМС											

* Біт 0 адреси заводиться через AD1, біт 1 - через AD2 і т.д.

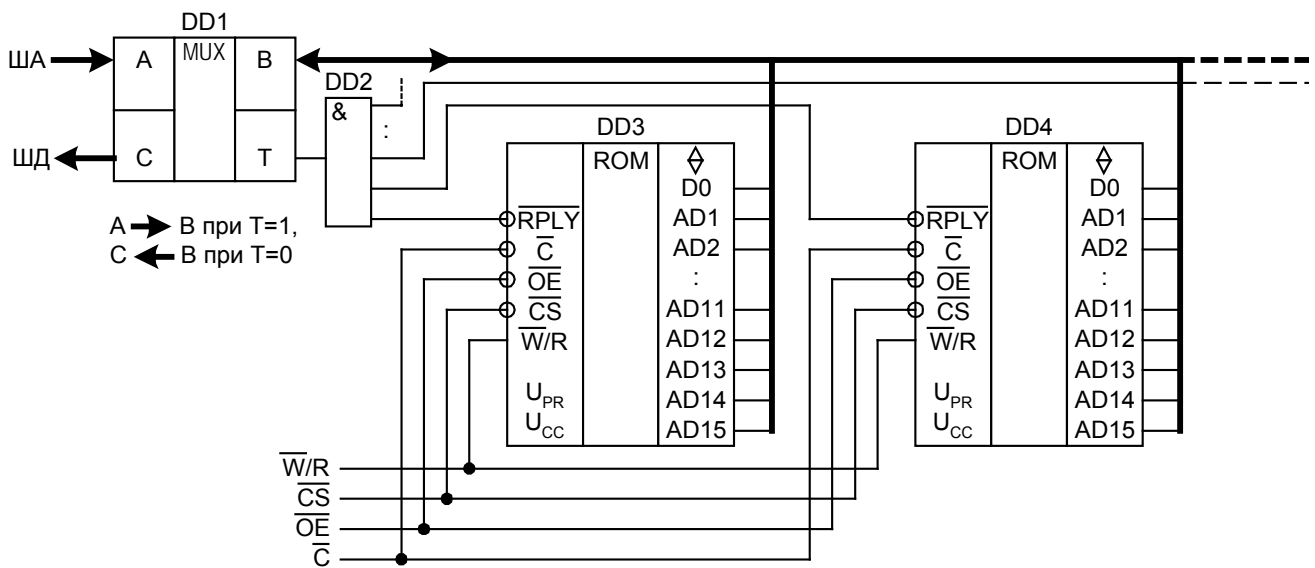


Рис.1.14. Блок ПЗП на основі мікросхеми K573PФ3

У блок ПЗП входять мультиплексор DD1 і елемент "І" (DD2) на 8 входів. Напрямок передачі мультиплексора визначається сигналом Т.

Якщо, наприклад, потрібно прочитати інформацію із комірки з адресою 0B7CH (у двійковому виді – 0000.1011.0111.1100B, і комірка знаходиться в ІМС DD3), те читання буде складатися з наступних етапів:

1). МП виставляє 15-розрядну адресу (від AD1 до AD15) і сигнал $\overline{CS} = 0$. Тому що сигнал Т=1, мультиплексор DD1 з'єднує сполучені шини ІМС DD3...DD10 с ША МП. Кодом 000 старших біт адреси з блоку ІМС DD3...DD10 активізується тільки ІМС DD3.

2). По завершенні деякого часу, рівному часу перехідних процесів у ІМС

DD3, посилається сигнал $\overline{CS} = 0$ синхронізації. Адреса фіксується у внутрішньому регістрі адреси IMC DD3.

3). МП знімає адресу і посилає сигнал читання $\overline{OE} = 0$.

4). Через деякий час, рівний часу переходних процесів у IMC DD3, з DD3 посилається сигнал $\overline{RPLY} = 0$. Сигналом $T=0$ мультиплексор DD1 з'єднує сполучену шину IMC блоку пам'яті зі ШД МП. 16-розрядні дані (від AD0 до AD15) надходять у МП по фронту сигналу \overline{OE} (переходу з 0 у 1).

5). МП знімає сигнали \overline{CS} і \overline{C} .

Цикл читання завершений.

Питання і завдання

1. Назвіть формати організації постійної пам'яті і типи ПЗП по способах їхнього програмування.
2. Як визначити ємність ПЗП (у бітах, байтах, словах) по позначенню його мікро-схеми?
3. Поясніть діаграми сигналів у циклі читання ПЗП з роздільними шинами адреси і даних.
4. Поясніть діаграми сигналів у циклі читання ПЗП з мультиплексними (сполученими) шинами адреси і даних.

1.5. Архітектура мікропроцесора типу КР580ВМ80

У МПСК використовуються різні типи мікропроцесорів. Усі вони працюють практично однаково. Вибір МП типу КР580ВМ80 продиктований тим, що його архітектура стала базовою для всіх наступних поколінь МП, застосовуваних у МПСК, а також разом з ним уперше був розроблений закінчений набір інтерфейсних схем: РРІ, РІС, РІТ і ін. (рис.1.6). Освоївши цей МП і комплект інтерфейсних схем, можна самостійно освоїти інші їхні типи.

Структурна схема МП КР580ВМ80 приведена на рис.1.15.

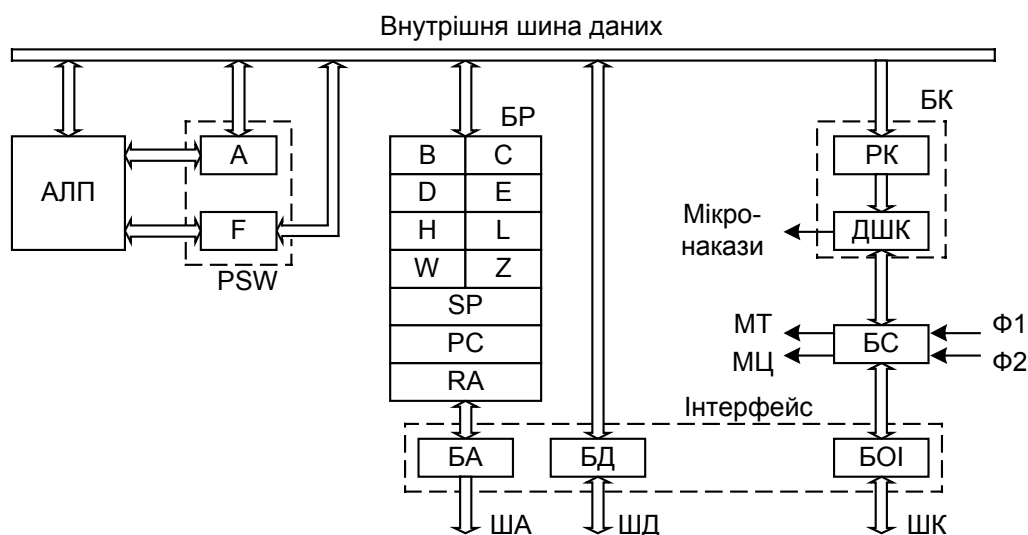


Рис.1.15. Структурна схема мікропроцесора КР580ВМ80

Блоки МП мають наступне функціональне призначення:

АЛП (арифметико-логічний пристрій) забезпечує виконання логічних (додавання, множення, інверсія і зсув) і арифметичних (додавання і віднімання) операцій над 8-розрядними даними. АЛП програмно недоступно.

А (акумулятор) є програмно доступним 8-розрядним регістром універсального призначення, що використовується АЛП при виконанні ним логічних і арифметичних операцій і в А зберігається підсумковий результат. Через А здійснюється обмін інформацією з пам'яттю і зовнішніми пристроями.

F (регістр прапорів) є 8-розрядним регістром, у якому зберігаються ознаки (прапори) результатів виконання команд (рис.1.16).

Біти регістра F	D7	D6	D5	D4	D3	D2	D1	D0
Прапори регістра F	S	Z	-	AC	-	P	-	C

Рис.1.16. Структура регістра прапорів

Призначення прапорів:

S (Sign) – прапор знака, що залежить від значення 7-го біту збереженого в акумуляторі результату виконання команди: якщо цей біт дорівнює 0, то результат вважається позитивним з інтервалу від 0 до 127, якщо біт є 1, то результат вважається негативним інтервалу від -1 до -128. Правило, згідно якому утворюються коди негативних чисел, розглянуто у темі 19 (с.89). S=0 для позитивного і S=1 для негативного знака результату.

Z (Zero) – прапор нуля. Z=1, якщо результат поточної операції, що збережений в акумуляторі, дорівнює нулю.

C (Carry) – прапор переносу. Встановлюється в 1 при виникненні переносу в АЛП зі старшого розряду в арифметичних операціях, операціях порівняння двох чисел, десяткової корекції.

AC (Auxiliary carry) – прапор допоміжного переносу. Встановлюється в 1 при виникненні переносу з третього розряду в арифметичних операціях над даними розміром в один байт, операціях порівняння двох чисел, десяткової корекції.

P (Parity) – прапор парності. Встановлюється в 1, якщо код результату поточної операції, що містить в акумуляторі, має парне число одиниць.

З усіх прапорів регістра F програмно доступний тільки прапор переносу C.

БР – блок регістрів. Блоки регістрів класифікуються по розрядності і програмній приступності.

B, C, D, E, H, L – блок програмно доступних 8-розрядних регістрів загального призначення (РОН). Ці регістри можуть бути об'єднані в пари BC, DE і HL, що є 16-розрядними і також програмно доступними. Регістр HL використовується в ряді команд як показчик M адреси пам'яті.

PSW – 16-розрядний регістр слова стану програми, що є об'єднанням акумулятора А і регістра прапорів F ($PSW=A+F$).

W, Z – програмно недоступні 8-розрядні регістри. Ці регістри використовуються для прийому і тимчасового збереження в них 2-го і 3-го байтів операнда.

SP (Stack Pointer) – показчик стека. У цьому регістрі зберігається адреса комірки ОЗП, називаною вершиною стека. Регістр SP програмно доступний.

PC (Program Counter) – лічильник команд. У цьому регістрі встановлюється адреса комірки ПЗП, з якої провадиться в поточному машинному циклі читання одного з байтів коду команди (див. рис.1.3). PC програмно доступний. При включенні живлення процесора чи скиданні в PC записується адреса 0000H=0000.0000.0000.0000B.

RA (Register Address) – регістр адреси, що активна і яка виставлена на ніжки

ША. У фазі читання команди в RA пересилається вміст лічильника команд PC. У фазі виконання команди в залежності від її типу вміст регістра RA формується зі вмісту одного з вищеописаних регістрів (A, B, D, E, H, L, W, Z, SP, PC). Регістр RA програмно недоступний.

БК – блок керування мікропроцесором.

РК – регістр команд. На фазі читання команди в нього завантажується КОП.

ДШК – дешифратор команд, у якому розшифровується КОП. У результаті цієї розшифровки:

- визначається кількість байт операнду команди;
- визначається кількість і тип машинних циклів (МЦ) команди, кількість машинних тактів (МТ) усередині кожного МЦ;
- визначається вміст кожного МТ.

Під час виконання МТ і МЦ із ДШК виходять тактові сигнали мікронаказів на всі блоки МП. ДШК є тактованим комбінаційним пристроєм. У ДШК зашиті всі команди мікропроцесора.

БС – блок синхронізації. Є тактованим зовнішніми імпульсами $\Phi 1$ і $\Phi 2$ пристроєм, що формує сигнали МТ і МЦ відповідно до програми, отриманої від ДШК, і одночасно тактує роботу ДШК.

$\Phi 1$ і $\Phi 2$ – синхроімпульси, вироблювані зовнішнім генератором імпульсів. Частота генератора в 9 разів вище частоти синхроімпульсів. П'ять можливих варіантів параметрів синхроімпульсів $\Phi 1$ і $\Phi 2$ приведені на рис.1.17. Амплітуда імпульсів $\Phi 1$ і $\Phi 2$ складає +12 В. Частота проходження імпульсів $\Phi 1$ і $\Phi 2$ дорівнює 2,5 МГц, а період - 0,4 мкс=400 нс.

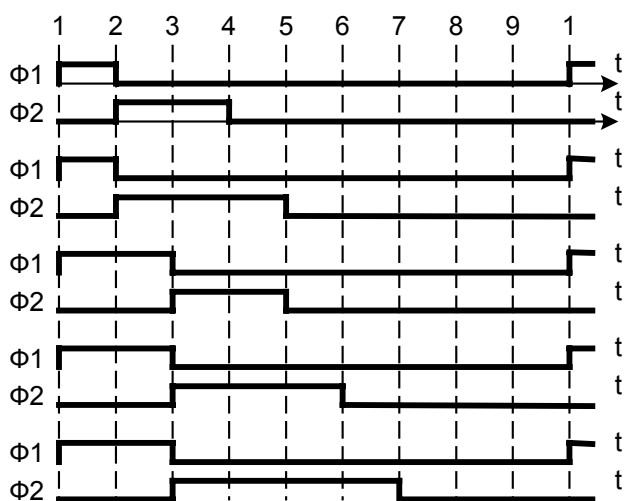


Рис.1.17. Графіки синхроімпульсів

нуються, визначається в ДШК.

Інтерфейсний блок забезпечує зв'язок МП із пам'яттю і зовнішніми пристроями. У нього входять буфер адреси (БА), буфер даних (БД) і блок обміну інформацією (БОІ). Буферні блоки БА и БД забезпечують підсилення струму і таким чином підвищують навантажувальну здатність шин адреси і даних. Функції БОІ:

- сприймає сигнал скидання RES, активний 1;
- формує для зовнішніх пристроїв і пам'яті синхросигнал SYNC (активний 1), сигнали \overline{DWIN} (ДОЗВІЛ ПРИЙОМУ, який підтверджує те, що МП приймає інформацію із ШД; активний 1), \overline{WR} (ДОЗВІЛ ЗАПИСУ, який підтверджує те, що

МТ – машинний такт - є мінімальним інтервалом машинного часу, протягом якого відбувається зміна стану хоча б в одному блоці мікропроцесора. Тривалість МТ дорівнює періоду проходження імпульсів $\Phi 1$ і $\Phi 2$.

МЦ – машинний цикл - являє собою сукупність із МТ. У кожному МЦ мікропроцесор звертається для читання чи запису або до пам'яті, або до зовнішнього пристрою.

У командах міститься від 1 до 5 МЦ, кожний з яких складається з 3...5 МТ. Вміст МЦ і МТ команд, що вико-

МП виводить інформацію на ШД; активний 0);

- обслуговує переривання, захоплення шин і режим чекання МП.

На переривання задіяно два виводи МП – INT (ЗАПИТ ПЕРЕРИВАННЯ, активний 1) і INTE (ДОЗВІЛ ПЕРЕРИВАНЬ, активний 1). INT є вхідним сигналом, що надходить із зовнішнього пристрою з вимогою термінового (позачергового) його обслуговування. МП може обслужити цей запит за умови, що в програмі виконана команда EI дозволу обслуговування запиту переривання. З початком обслуговування переривання МП повідомляє сигналом INTE=0 усім ЗП те, що сигнали запитів переривань по входу INT ігноруються. Режим переривань широко використовується в МПСК.

На захоплення шин задіяно два виводи МП – HOLD (ЗАПИТ ЗАХОПЛЕННЯ, активний 1) і HLDA (ПІДТВЕРДЖЕННЯ ЗАХОПЛЕННЯ, активний 1). HOLD є вхідним сигналом, що надходить із зовнішнього пристрою з вимогою надати йому право керувати всіма шинами МЕОМ – ША, ШД і ШК. Такий режим на практиці виникає у випадку, коли зовнішній пристрій повинний передати дуже великий обсяг інформації в ОЗП, наприклад з компакт-диску, вінчестера. Щоб прискорити цей процес, інформація передається з джерела в ОЗП не через МП, а прямо з використанням для цього простих і швидко виконуваних команд. Режим захоплення шин називають також режимом прямого доступу до пам'яті (ПДП). Пристрій, що виконує таку передачу інформації, називається контролером ПДП і має у своєму розпорядженні такі команди пересилання даних. У випадку надання ПДП МП переводить свої шини в 3-й стан і виставляє сигнал HLDA, після якого зовнішній пристрій одержує право ПДП. Цей режим у МПСК не використовується, тому що обсяги оперативної інформації в МПСК завжди дуже малі і не перевищують декількох сотень байт.

На режим чекання МП задіяно два виводи МП – RDY (ГОТОВИЙ, активний 1) і WAIT (ЧЕКАННЯ, активний 1). Сигнал RDY є вхідним, а WAIT – вихідним. Якщо режим чекання не використовується, то на вхід RDY подається постійний сигнал 1, інакше до входу RDY підключається ЗП. Режим чекання вводиться у випадку виконання програми обміну інформацією між МП і ЗП низької швидкодії, наприклад з клавіатурою, принтером і т.п. Робота з такими пристроями має ту особливість, що ЗП відповідає на сигнали від МП із запізнюванням. Тому потрібно перервати виконання програми обміну з "повільним" ЗП доти, поки не буде отримана від нього відповідь. ЗП, установивши RDY=0, зупиняє виконання поточної команди, а МП видає сигнал WAIT=1, що сприймається ЗП як підтвердження зупинки виконання програми і чекання відповіді ЗП. Як тільки ЗП буде готовий до передачі порції інформації, воно виставить RDY=1, і відновить роботу перервана команда (операція) обміну інформації. У МПСК режим чекання застосовується в операціях налагодження і дозволяє організувати роботу МП із зупинками після виконання чергової команди чи чергового циклу.

Питання і завдання

- 1. Які елементи в мікропроцесорі складає обчислювальне ядро? Поясніть призначення і функції кожного елемента.*
- 2. Що таке - програмно доступні і недоступні регістри? Приведіть класифікацію регістрів мікропроцесора за цією ознакою.*

3. Поясніть призначення і функції кожного регістра блоку БР.
4. Що таке – адреса, що виконується? Які існують варіанти його визначення?
5. Поясніть призначення елементів блоку керування (БК).
6. Поясніть призначення блоку синхронізації(БС). Що таке – МТ і МЦ?
7. Назвіть призначення блоків інтерфейсу. Які сигнали керування читанням і записом мають в МП?
8. Які сигнали керування перериваннями мають в МП?
9. Які сигнали керування захопленням шин (прямого доступу до пам'яті) мають в МП?
10. Які сигнали керування режимом чекання мають в МП?

1.6. Типи машинних циклів і слово стану мікропроцесора КР580ВМ80

Усі команди МП виконує по машинних циклах. МЦ і МТ нумеруються як М1, М2,...М5 і Т1, Т2,...Т5. У довідкових даних по командах (додаток 1) вказуються розміри команд у байтах (Б), циклах (Ц) і тактах (Т). Величина Б, яка дорівнює 1, 2 чи 3, указує, скільки комірок ПЗП займає команда, причому в першій комірці ПЗП записується код операції (КОП), а в наступних – операнд. Величина Т, яка дорівнює 4...18, є характеристикою часу виконання команди в тактах. Якщо період тактових сигналів дорівнює 0,4 мкс і, наприклад, команда STA містить 13 тактів, то час виконання її складає 5,2 мкс.

Сукупність МЦ утворюють командний цикл (КЦ). КЦ складається з наступних один за одним двох фаз - фази читання і фази виконання команди (рис.1.18).

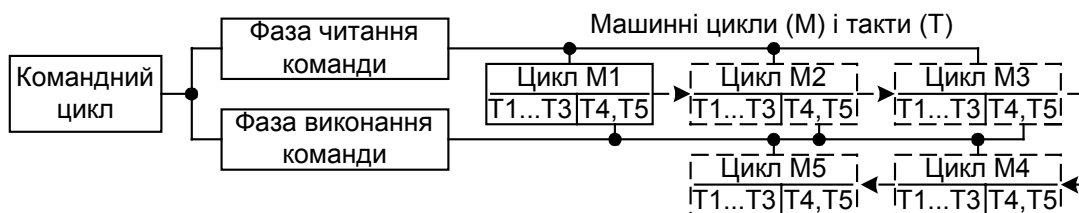


Рис.1.18. Фази циклу команди

Фаза читання завжди містить МЦ М1, у якому відбувається вибірка коду операції (КОП) із ПЗП. У тактах Т1...Т3 циклу М1 КОП вводиться в регістр команд, а в тактах Т4 і Т5 відбувається дешифрація КОП. У фазі читання можливе виконання ще двох циклів М2 і М3, у яких зчитуються з ПЗП байти операнда команди і поміщаються в тимчасові регістри W та Z.

Фаза виконання впливає після фази читання. У залежності від виду команди початок фази виконання може мати п'ять варіантів (рис.1.18) із введенням понад МЦ фази читання нових МЦ чи без них. В останньому випадку команда оперує з даними, що знаходяться всередині ІМС процесора.

У кожному машинному циклі процесор виходить на зв'язок або з пам'яттю, або зі зовнішнім пристроєм. Для такого зв'язку має бути сформовано відповідний керуючий сигнал. Сукупність керуючих сигналів становить шину керування ШК.

Усі МЦ, незважаючи на їхні функціональні відмінності, мають однакову структуру і спосіб виконання (рис.1.19). На першому такті (Т1) будь-якого МЦ мікропроцесор видає на ШД слово стану процесора СС, у якому повідомляє тип ци-

клу. По сигналу "Строб запису СС" воно переписується в реєстр слова стану РСС. Весь цей час двонаправлений шинний формувач (ДШФ), на який надходить сигнал DBIN=0, знаходиться в стані виводу інформації з МП.

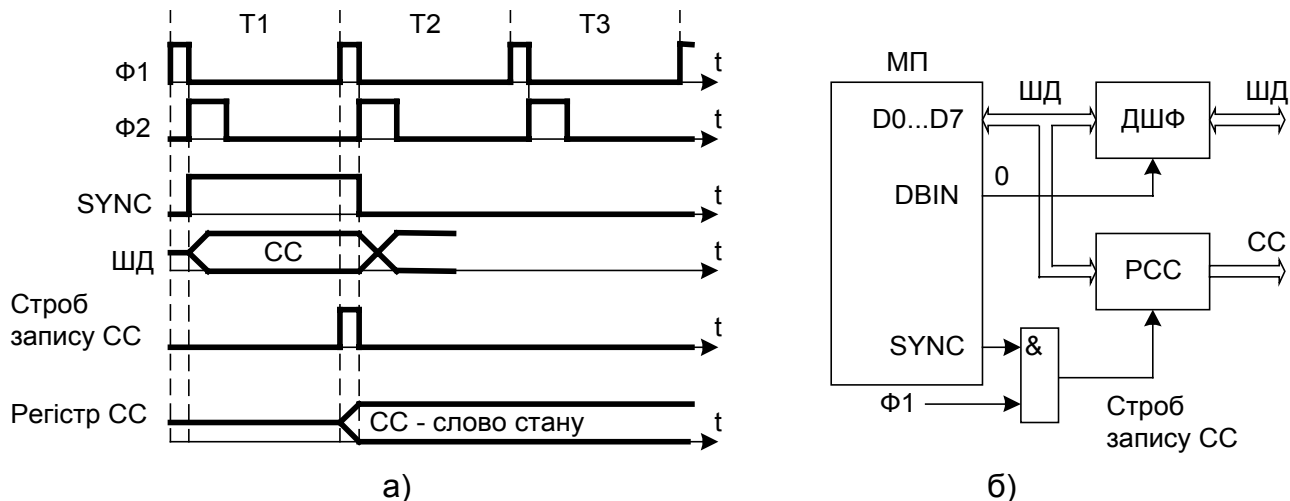


Рис.1.19. Функціональна схема і діаграма запису слова стану процесора

У наступних за T1 тактах вид мікрооперацій залежить від команди, що виконується, і від вмісту СС. Призначення розрядів СС приведено в таблиці 1.1.

Таблиця 1.1

Біт	Назва біта	Призначення біта
D7	Пам'ять - читання пам'яті	Активний сигнал 1 указує на те, що зчитується байт даних з пам'яті, причому читання буде стробовано сигналом MEMR (рис.1.20)
D6	Введення із зовнішнього пристрою	Активний сигнал 1 указує на те, що на ША знаходиться адреса ЗП, а зі ШД вводяться в акумулятор дані, причому введення буде стробовано сигналом $\overline{I/OR}$ (рис.1.20)
D5	M1	Активний сигнал 1 указує на те, що виконується цикл M1 читання КОП
D4	Вивід у зовнішній пристрій	Активний сигнал 1 указує на те, що на ША знаходиться адреса ЗП, а на ШД - вміст акумулятора, запис якого у ЗП буде стробовано сигналом $\overline{I/OW}$ (рис.1.20)
D3	ПЗуп - підтвердження зупинки	Активний сигнал 1 указує на те, що МП перейшов у стан ЗУПИНКИ, що ініціюється програмно по команді HLT
D2	Стек	Активний сигнал 1 указує на те, що на ША знаходиться адреса комірки стека, розташованої в ОЗП
D1	Запис в ОЗП чи зовнішній пристрій	Активний сигнал 0 указує на те, що в поточному МЦ провадиться запис даних в ОЗП чи у ЗП. У протилежному випадку буде читання з пам'яті чи ЗП
D0	ППр - підтвердження переривання	Активний сигнал 1 разом із сигналом DBIN використовується для стробування команди RST, що зчитується з ЗП, які запросили переривання (рис.1.26)

Машинні цикли МП КР580ВМ80 можна розбити на 10 типів у залежності від сполучення сигналів СС. Типи машинних циклів приведені в таблиці 1.2.

Слово стану процесора використовується для формування сигналів шини

керування ШК.

Крім природного виконання команд, зчитаних із ПЗП, за схемою, приведеною на рис.1.3, можливі особливі стани, як ПЕРЕРИВАННЯ, ЗАХОПЛЕННЯ, ЧЕКАННЯ й ЗУПИНКА.

У стан ПЕРЕРИВАННЯ МП переходить при надходженні сигналу INT=1. МП закінчує виконання поточної команди і виконує командний цикл "Підтвердження переривання". У циклі M1 код операції зчитується не з ПЗП, а з зовнішнього пристрою, що запросив переривання.

У стан ЗАХОПЛЕННЯ МП переходить при надходженні сигналу HOLD=1. Далі МП закінчує виконання поточного МЦ команди і переводить свої ША і ШД у третій стан. Зовнішній пристрій, що запросив ЗАХОПЛЕННЯ, одержує прямий доступ до пам'яті. Після закінчення дії сигналу HOLD МП продовжує виконувати відкладений МЦ.

Таблиця 1.2

№	Назва машинного циклу	D7 - Пам'ять	D6 - Введення	D5 - M1	D4 - Вивід	D3 - ПЗуп	D2 - Стек	D1 - Запис	D0 - ШПр
1	Вибір коду операції – цикл M1	1	0	1	0	0	0	1	0
2	Читання з пам'яті	1	0	0	0	0	0	1	0
3	Запис у пам'ять	0	0	0	0	0	0	0	0
4	Читання зі стека	1	0	0	0	0	1	1	0
5	Запис у стек	0	0	0	0	0	1	0	0
6	Введення з зовнішнього пристрою	0	1	0	0	0	0	1	0
7	Вивід у зовнішній пристрій	0	0	0	1	0	0	0	0
8	Підтвердження переривання	0	0	1	0	0	0	1	1
9	Підтвердження зупинки	1	0	0	0	1	0	1	0
10	Підтвердження переривання в режимі "Зупинка"	0	0	1	0	1	0	1	1

У стан ЧЕКАННЯ МП переходить при надходженні сигналу RDY=0. Далі МП після виконання такту T2 припиняє виконання поточного МЦ. МП не відключається від шин і ніяких операцій над перерваною командою не виконує. Після закінчення дії сигналу RDY МП продовжує виконувати відкладений МЦ.

У стан ЗУПИНКА МП переходить при виконанні команди HLT. Після МЦ M1 виконується МЦ "Підтвердження зупинки", після 2-го такту якого МП переходить у режим, подібний до стану ЧЕКАННЯ. Вивести зі стану ЗУПИНКА можна трьома способами:

- 1). Подати сигнал запиту захоплення шин HOLD=1.
- 2). Подати сигнал запиту переривання INT=1.
- 3). Подати сигнал скидання RES=1.

Питання і завдання

1. Що таке – командний і машинний цикли, фази командного циклу і машинні такти?
2. Із чим зв'язується кількість машинних циклів команди?

3. Який зміст машинних циклів, що входять у фазу читання?
4. Що таке – слово стану процесора? Поясніть діаграму і функціональну схему запису слова стану.
5. Назвіть типи і приведіть характеристику машинних циклів МП.
6. Назвіть типи і приведіть характеристику особливих станів МП.

1.7. Командні цикли читання/запису запам'ятовуючих і зовнішніх пристроїв

Усі команди МП виконуються по циклах. В усіх командах у 1-м циклі М1 із ПЗП зчитується КОП – код операції команди. В інших циклах є обов'язкове звертання або до пам'яті, або до зовнішніх пристроїв. Розглянемо докладніше цикли команд читання/запису запам'ятовуючих і зовнішніх пристроїв (рис.1.20). На діаграмах фронт синхроімпульсу $\Phi 2$ небагато зміщений вправо щодо зрізу синхросигналу $\Phi 1$ для того, щоб було простіше зв'язувати появу будь-яких інших сигналів із фронтами і зрізами імпульсів $\Phi 1$ і $\Phi 2$. Насправді такого зрушення синхросигналів $\Phi 1$ і $\Phi 2$ немає (рис.1.17).

Цикл М1 (рис.1.20а і рис.1.20б)

У 1-м такті $T1$ по фронту синхросигналу $\Phi 2$ мікропроцесор виставляє синхросигнал $SYNC=1$. Одночасно на ША виставляється адреса комірки ПЗП, у якій міститься КОП команди, а на ШД у режимі виводу інформації з МП виставляється $CC1$ машинного циклу "Вибір коду операції" (табл.1.2).

У 2-м такті $T2$ протягом часу дії синхроімпульсу $\Phi 1$ разом із сигналом $SYNC$ через логічний елемент $2I$ формується імпульс стробу запису $CC1$ у РСС (регістр CC). У $CC1$ установлений біт $D7=1$. По фронту синхросигналу $\Phi 2$:

- 1) знімається сигнал $SYNC$, закриваючи тим самим повторні записи в РСС;
- 2) виставляється сигнал $DBIN=1$ (ДОЗВІЛ ПРИЙОМУ);
- 3) ШД переключається на прийом інформації;
- 4) шинний формувач ШФ під дією сигналу $DBIN=1$ переключається на передачу інформації від ПЗП в МП;
- 5) логічним елементом $2I-NI$ із сигналів $DBIN=1$ і $D7=1$ (біт $D7$ узятий із РСС), формується керуючий сигнал \overline{MEMR} "Читання пам'яті", активний 0. Сигнал \overline{MEMR} є сигналом шини керування МПСК (рис.1.4).

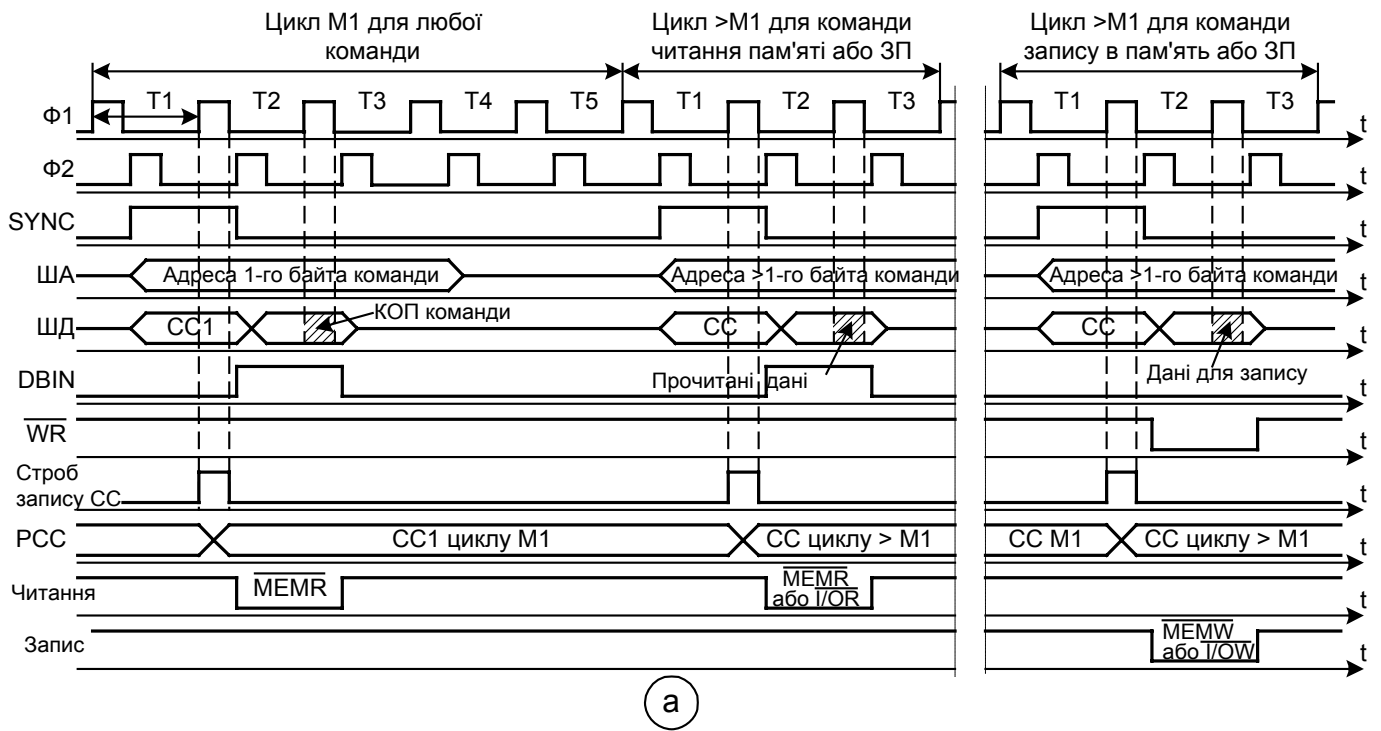
ПЗП за адресою, що міститься на ША, при наявності сигналу, що \overline{MEMR} дозволяє читання, виставляє на ШД байт даних, що є КОП.

У 3-м такті $T3$ протягом часу дії синхроімпульсу $\Phi 1$ відбувається пересилання КОП у РК (регістр команд, рис.1.15). По фронту синхроімпульсу $\Phi 2$:

- 1) ШД МП переводиться у виключений (третій) стан;
- 2) знімається сигнал $DBIN$, після чого ШФ переключається на режим виводу інформації із МП;
- 3) знімається сигнал \overline{MEMR} читання пам'яті, після чого виходи ІМС ПЗП переводяться в 3-й стан, і вона відключається від ШД.

Одночасно в такті $T3$ починається дешифрація КОП, що, у залежності від умісту КОП, може продовжуватися в тактах $T4$ і $T5$.

Діаграми сигналів команд мікропроцесора



Структурні схеми виконання команд мікропроцесора

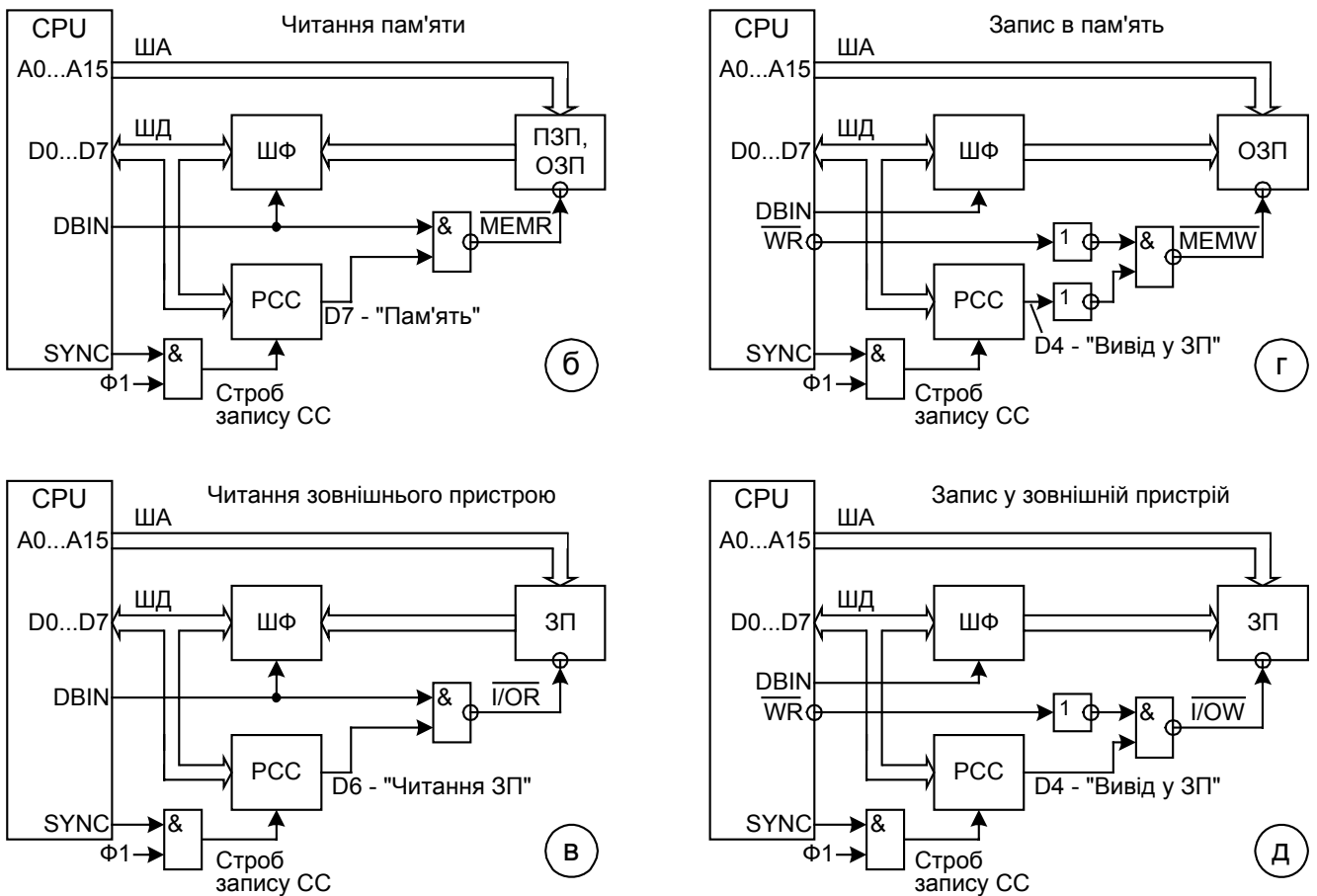


Рис.1.20. Чтение заповнюючих і зовнішніх пристроїв та запис до них інформації

Читання пам'яті (рис.1.20а і 1.20б)

У циклі М2 з пам'яті може зчитуватися:

- 1) із ПЗП 1-й байт операнда, наявність якого встановлюється в результаті дешифрації КОП;
- 2) із ПЗП чи ОЗП байт даних, що потрібно для виконання команди, КОП якої розшифрований у циклі М1.

Діаграми сигналів циклу М2 і функціональна схема читання збігаються з їх видом у циклі М1 з тією відмінністю, що виставляється або СС2 машинного циклу "Читання з ЗУ", або СС4 циклу "Читання зі стека". В обох циклах біт D7=1, тому сформується сигнал $\overline{MEMR}=0$, належна ІМС пам'яті відкриється для читання, і зчитані дані будуть відправлені в МП.

Якщо в наступних циклах М3...М5 у виконання команди буде потрібно читання з пам'яті, то відбуватися воно буде так само, як відбувалося в циклі М2.

Приклад 1. Переслати константу А4Н в регістр В.

Для пересилання використовуємо команду MVI В.

Ділянка програми, що виконує зазначене пересилання, приведений на рис.1.21 (усі коди 16-річні, адресу 08С9 розташування команди в адресному просторі ПЗП прийнятий довільно).

Адреса	Код команди	Мітка	Мнемокод	Коментарі
08С9	06 А4		MVI В, А4	Пересилання вмісту 2-го байта А4 команди в регістр приймач В

Рис.1.21. Рядок з командою MVI В у програмі МПСК

Етапи виконання команди MVI В:

1). У циклі М1 на ША виставляється код 08С9, що береться з лічильника команд РС (рис.1.15). З комірки ПЗП з адресою 08С9 зчитується код 06, що є КОП, і пересилається в регістр команд РК. Код 06 розшифровується в ДШК і встановлюється те, що команда MVI В с кодом 06 складає два байти і буде виконуватися за 2 МЦ і 7 тактів (Додаток А).

2). Інкрементується (збільшується на 1) вміст лічильника команд РС: РС=08СА. Виконується цикл М2: на ША виставляється код 08СА, взятий із РС, і з комірки ПЗП з адресою 08СА зчитується код А4, що пересилається в тимчасовий регістр W.

3). До завершення циклу М2 виконується команда MVI В – константа А4 пересилається в регістр В.

4). Інкрементується вміст РС, у ньому встановлюється адреса 08СВ. По цій адресі розташовується КОП наступної команди.

При виконанні розглянутої команди треба було 2 звертання до ПЗП.

Читання зовнішнього пристрою (рис.1.20а і 1.20в)

Читання ЗП відбувається при виконанні команди IN <№ ЗП>. Ця команда складає два байти, тому в циклі М2 буде зчитування з ПЗП 2-го байта команди – операнда.

У циклі М3 для виконання команди буде зроблене зчитування даних з ЗП. У РСС запишеться слово стану СС6 "Читання з ЗП". У цьому слові стану біт D6=1. Логічним елементом 2І-НІ із сигналів DBIN=1 і D6=1, узятому з РСС, формується

керуючий сигнал $\overline{I/OR}$ "Читання ЗП", активний 0. З ЗП, адреса якого виставлена на ША, зчитані дані через ШФ і ШД надійдуть у МП.

Сигнал $\overline{I/OR}$ є сигналом шини керування МПСК (рис.1.4).

Приклад 2. Зчитати інформацію з ЗП, що має адресу 47.

Ділянка програми, що виконує зазначене пересилання, приведена на рис.1.22 (усі коди 16-річні).

Адреса	Код команди	Мітка	Мнемокод	Коментарі
05DE	DB 47		IN 47	Введення в акумулятор умісту порту, 8-бітна адреса 47 якого зазначена у 2-м байті команди

Рис.1.22. Рядок з командою IN 47 у програмі МПСК

Етапи виконання команди IN 47:

1). У циклі M1 на ША виставляється код 05DE, що береться з лічильника команд PC (рис.1.15). З комірки ПЗП з адресою 05DE зчитується код DB, що є КОП, і пересилається в регістр команд РК. Код DB розшифровується в ДШК і встановлюється те, що команда IN 47 с кодом DB складає два байти і буде виконуватися за 3 МЦ і 10 тактів (Додаток А).

2). Інкрементується (збільшується на 1) уміст лічильника команд PC: PC=05DF. Виконується цикл M2: на ША виставляється код 05DF, взятий із PC, і з комірки ПЗП з адресою 05DF зчитується код 47, що пересилається в тимчасовий регістр W.

3). Виконується цикл M3: код 47, взятий з тимчасового регістра W, виставляється на ША, сигналом $\overline{I/OR} = 0$ ЗП з номером 47 підключається до ШД і інформація з ЗП пересилається в акумулятор А мікропроцесора.

4). Інкрементується вміст PC, у ньому встановлюється адреса 05E0. По цій адресі розташовується КОП наступної команди.

При виконанні розглянутої команди треба було 2 звертання до ПЗП й одне - до ЗП.

Запис у пам'ять (рис.1.20а і 1.20г)

У циклах M2 і M3, може бути зроблене зчитування байта операнда команди, а може бути зроблений запис даних в ОЗП. Далі розглянемо варіант запису даних в ОЗП, тому що читання операнда було розглянуто вище.

У 1-м такті T1 по фронту синхросигнала Ф2 мікропроцесор виставляє синхросигнал SYNC=1. Одночасно на ША виставляється адреса комірки ОЗП, у яку потрібно записати дане. На ШД, що утримується сигналом DBIN=0 у стані виводу інформації з МП, виводиться або СС3 машинні цикли "Запис у пам'ять", або СС5 машинного циклу "Запис у стек" (табл.1.2).

У 2-м такті T2 протягом часу дії синхроімпульсу Ф1 разом із сигналом SYNC через логічний елемент 2I формується імпульс строга запису СС у РСС (регістр СС). У СС3 і СС5 установлений біт D4=0. По фронту синхросигнала Ф2:

- 1) знімається сигнал SYNC, закриваючи тим самим повторні записи в РСС;
- 2) встановлюється активний рівень 0 сигналу \overline{WR} (ДОЗВІЛ ЗАПИСУ);
- 3) логічним елементом 2I-НІ із сигналів $\overline{WR}=0$ і D4=0, узятих із РСС, фор-

мується керуючий сигнал \overline{MEMW} "Запис у пам'ять", активний 0. Сигнал \overline{MEMW} є сигналом шини керування МПСК (рис.1.4).

У 3-м такті ТЗ протягом часу дії синхроімпульсу $\Phi 1$ відбувається пересилання інформації з МП в ОЗП. По фронту синхроімпульсу $\Phi 2$:

1) ШД МП переводиться у виключений (третій) стан;

2) сигнал \overline{WR} переводиться в стан 1, після чого знімається сигнал \overline{MEMW} запису в пам'ять.

Приклад 3. Переслати в комірку ОЗП з адресою 0F3DH вміст акумулятору А.

Ділянка програми, що виконує зазначене пересилання, приведена на рис.1.23 (усі коди 16-річні).

Адреса	Код команди	Мітка	Мнемокод	Коментарі
08C2	32 3D 0F		STA 0F3D	Пряме завантаження комірки, адреса 0F3D якої зазначений у 2-м і 3-м байтах команди, умістом А

Рис.1.23. Рядок з командою STA 0F3D у програмі МПСК

Етапи виконання команди STA 0F3D:

1). У циклі М1 на ША виставляється код 08C2, що береться з лічильника команд РС (рис.1.15). З комірки ПЗП з адресою 08C2 зчитується код 32, що є КОП, і пересилається в регістр команд РК. Код 32 розшифровується в ДШК і встановлюється те, що команда STA 0F3D с кодом 32 складає три байти і буде виконуватися за 4 МЦ і 13 тактів (Додаток А).

2). Інкрементується (збільшується на 1) вміст лічильника команд РС: РС=08C3. Виконується цикл М2: на ША виставляється код 08C3, узятий із РС, і з комірки ПЗП з адресою 08C3 зчитується код 3D, що пересилається в тимчасовий регістр W.

3). Інкрементується (збільшується на 1) уміст лічильника команд РС: РС=08C4. Виконується цикл М3: на ША виставляється код 08C4, і з комірки ПЗП з адресою 08C4 зчитується код 0F, що пересилається в тимчасовий регістр Z.

4). Виконується команда STA 0F3D у наступному циклі М4: на ША виставляється узятий з тимчасових регістрів W і Z МП адреса 0F3D комірки ОЗП, у яку пересилається вміст акумулятора А.

5). Інкрементується вміст РС, у ньому встановлюється адреса 08C5. По цій адресі розташовується КОП наступної команди.

При виконанні розглянутої команди треба було 3 звертання до ПЗП й одне звертання до ОЗП.

Запис у зовнішній пристрій (рис.1.20а і 1.20д)

Запис у ЗП відбувається при виконанні команди OUT <№ ЗП>. Ця команда складає два байти, тому в циклі М2 буде зчитування з ПЗП 2-го байта команди – операнда.

У циклі М3 у виконання команди буде зроблений запис даних у ЗП. У РСС запишеться слово стану СС7 "Запис у ЗП". У цьому слові стану біт D4=1. Логічним елементом 2I-НІ із сигналів $\overline{WR}=0$ і D4=1, узятих з РСС, формується керую-

чий сигнал $\overline{I/O\overline{W}}$ "Запис у ЗП", активний 0. Сигнал $\overline{I/O\overline{W}}$ є сигналом шини керування МПСК (рис.1.4).

Приклад 4. Переслати вміст акумулятора у ЗП, що має адресу 47.

Ділянка програми, що виконує зазначене пересилання, приведений на рис.1.24 (усі коди 16-річні).

Адреса	Код команди	Мітка	Мнемокод	Коментарі
05E4	D3 47		OUT 47	Вивід вмісту акумулятора А в порт, 8-бітна адреса 47 якого зазначена у 2-м байті команди

Рис.1.24. Рядок з командою OUT 47 у програмі МПСК

Етапи виконання команди OUT 47:

1). У циклі М1 на ША виставляється код 05E4, що береться з лічильника команд РС (рис.1.15). З комірки ПЗП з адресою 05E4 зчитується код D3, що є КОП, і пересилається в регістр команд РК. Код D3 розшифровується в ДШК і встановлюється те, що команда OUT 47 с кодом D3 складає два байти і буде виконуватися за 3 МЦ і 10 тактів (Додаток А).

2). Інкрементується (збільшується на 1) вміст лічильника команд РС: РС=05E5. Виконується цикл М2: на ША виставляється код 05E5, узятий із РС, і з комірки ПЗП з адресою 05E5 зчитується код 47, що пересилається в тимчасовий регістр W.

3). Виконується цикл М3: код 47 виставляється на ША, сигналом $\overline{I/O\overline{W}} = 0$ ЗП з номером 47 підключається до ШД і інформація з акумулятора пересилається в цей зовнішній пристрій.

4). Інкрементується вміст РС, у ньому встановлюється адреса 05E6. По цій адресі розташовується КОП наступної команди.

При виконанні розглянутої команди треба було 2 звертання до ПЗП й одне - до ЗП.

Питання і завдання

1. Поясніть діаграми сигналів і структурну схему при виконанні 1-го циклу М1.
2. Поясніть діаграми сигналів і структурну схему при виконанні команди читання пам'яті.
3. Поясніть діаграми сигналів і структурну схему при виконанні команди запису в пам'ять.
4. Поясніть діаграми сигналів і структурну схему при виконанні команди читання зовнішнього пристрою.
5. Поясніть діаграми сигналів і структурну схему при виконанні команди запису в зовнішній пристрій.
6. У яких випадках формується керуючий сигнал \overline{MEMR} ?
7. У яких випадках формується керуючий сигнал \overline{MEMW} ?
8. У яких випадках формується керуючий сигнал $\overline{I/OR}$?
9. У яких випадках формується керуючий сигнал $\overline{I/O\overline{W}}$?

1.8. Командний цикл підтвердження переривання. Виконання команди RST

У МП мається можливість перервати виконання поточної програми і перейти до виконання більш термінової, важливої програми, що називається підпрограмою обслуговування переривання. При цьому остання команда поточної програми виконується до кінця, що іде за нею команда не виконується, а переводиться в ранг відкладеної команди. Адреса відкладеної команди зберігається в стеці. Після завершення виконання підпрограми, МП повертається до виконання відкладеної команди.

Стеком називається область ОЗП, інформація в якій записується і зчитується спрощеним способом за правилом – "перший увійшов, останнім вийшов". За цим правилом обмін інформацією з ОЗП прискорюється в кілька разів, але виключається довільний доступ до комірок стека. На рис.1.25 показане заповнення стека і зчитування з нього інформації на прикладі чотирьох байт даних:

Адреси комірок ОЗП	Порядок запису даних у комірки ОЗП (стеку)	Порядок зчитування даних з комірок ОЗП (стеку)
SP	Початкова адреса – "вершина стека"	
SP-1	1-й збережений у стеці байт	4-й зчитаний зі стека байт
SP-2	2-й збережений у стеці байт	3-й зчитаний зі стека байт
SP-3	3-й збережений у стеці байт	2-й зчитаний зі стека байт
SP-4	4-й збережений у стеці байт	1-й зчитаний зі стека байт

Рис.1.25. Порядок запису в стек і зчитування зі стека

На початку програми МПСК в показчик стека SP за допомогою команди LXI SP завантажується адреса 1-ої комірки стека. Початкова адреса називається "вершиною стека".

Запис 1-го байта в стек супроводжується попереднім декрементом значення SP показчика стека і за адресою SP-1 зберігається 1-й байт.

Запис 2-го і всіх наступних байт супроводжується попереднім декрементом значення SP. Адреси стека зменшуються відносно його вершини.

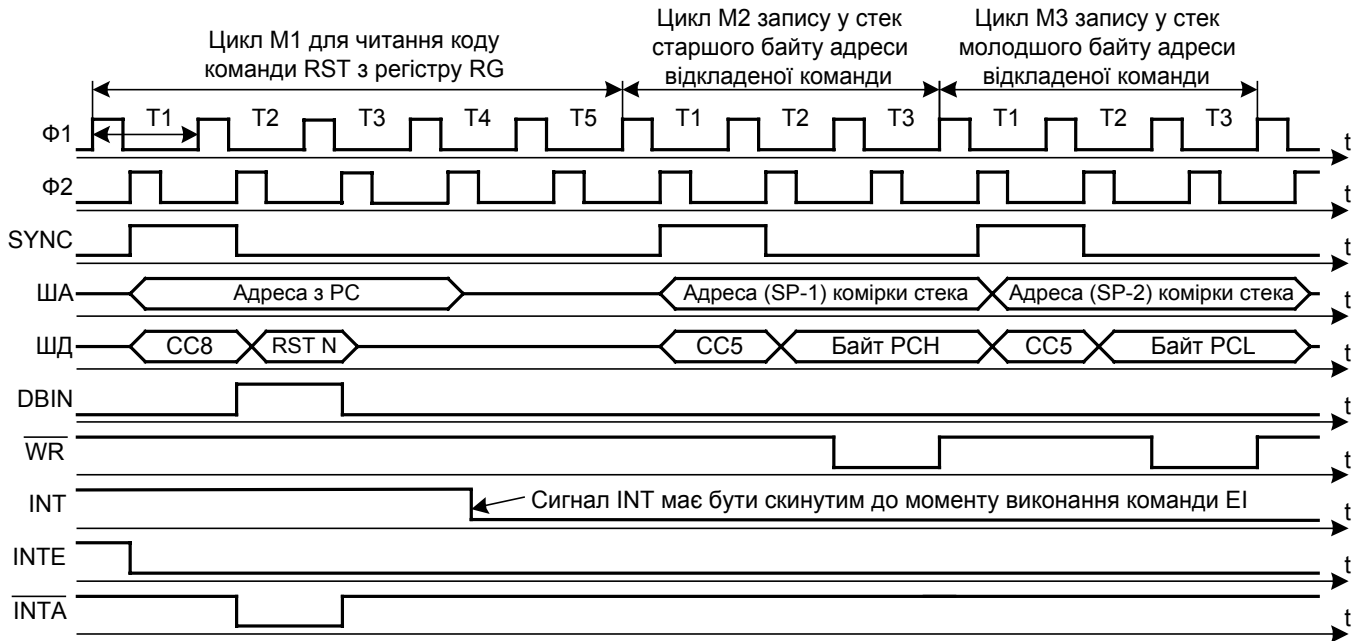
Читання зі стека провадиться в порядку, зворотному заповненню стека, а саме, 1-м зчитується байт, записаний останнім, 2-м зчитується байт записаний передостаннім і т.д. Після зчитування кожного байта провадиться інкремент показчика стека. Адреси стека наближаються до його вершини.

Хоча є команди PUSH і POP записи і читання стека, заповнення стека відбувається також автоматично при обробці запитів переривання і викликові підпрограми командою CALL, а зчитування стека - при поверненні з підпрограм по команді RET.

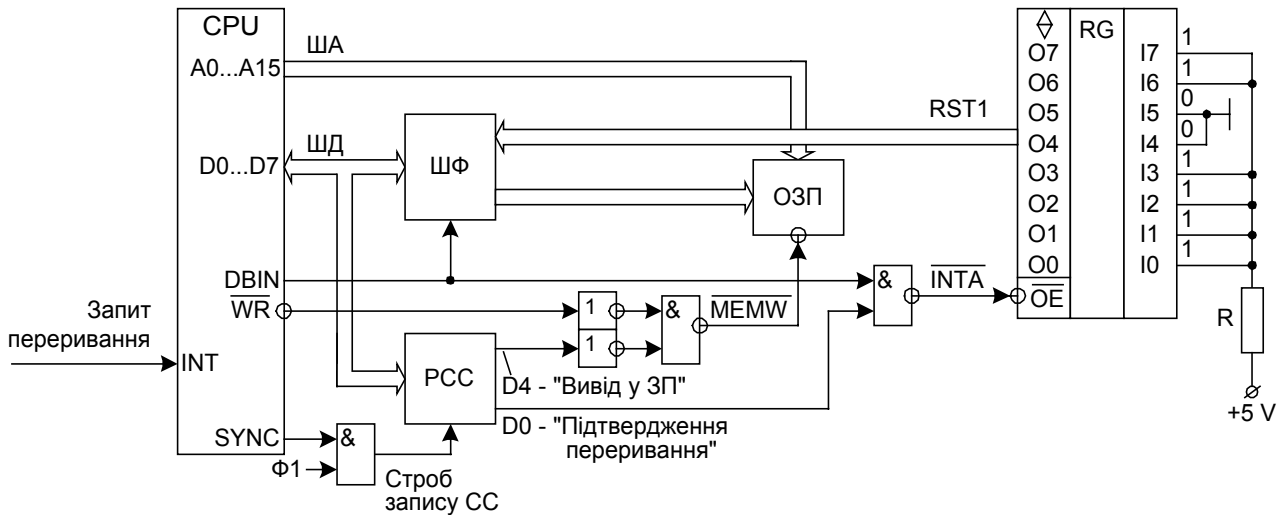
На рис.1.26 приведена структурна схема і діаграми сигналів командного циклу підтвердження переривання з використанням команди переривання RST. Діаграма сигналів має істотні відмінності від діаграм простого виконання команд, приведених на рис.1.20.

Командний цикл підтвердження переривання виконується після виявлення сигналу рівня 1 на ніжці INT запити переривання. Поточна команда, при виконанні якої був виявлений сигнал INT=1, доводиться до кінця і якщо програмно дозволені переривання (повинна бути виконана раніше команда EI), то запускається командний цикл підтвердження переривання:

Діаграми сигналів команд мікропроцесора при обслуговуванні переривання по команді RST



Структурна схема виконання запиту переривання із використанням команди RST



Таблиця кодів команди RST

Команда	Код команди RST								Стартова адреса п/програми обслуговування переривання
	D7	D6	D5	D4	D3	D2	D1	D0	
RST0	1	1	0	0	0	1	1	1	0000
RST1	1	1	0	0	1	1	1	1	0008
RST2	1	1	0	1	0	1	1	1	0010
RST3	1	1	0	1	1	1	1	1	0018
RST4	1	1	1	0	0	1	1	1	0020
RST5	1	1	1	0	1	1	1	1	0028
RST6	1	1	1	1	0	1	1	1	0030
RST7	1	1	1	1	1	1	1	1	0038

Перетворення команди RST у стартову адресу підпрограми обслуговування переривання:

RST: 1 1 X X X 1 1 1
 PC: 0 0 0 0 0 0 0 0 0 X X X 0 0 0

Рис.1.26. Командний цикл підтвердження переривання

1). У такті T1 циклу M1 по фронту синхросигнала Φ_2 :
- скидається в 0 сигнал \overline{INTE} (ДОЗВІЛ ПЕРЕРИВАННЯ), що для зовнішніх пристроїв є вказівкою того, що МП далі не реагує на запити переривань;
- встановлюється сигнал $\overline{SYNC}=1$;
- на ША виводиться вміст лічильника команд PC, що далі в циклі M1 ніяк не використовується;
- на ШД виводиться слово стану CC8 "Підтвердження переривання" (табл.1.2), у якому встановлені в 1 біти D5, D1 і D0.

2). У такті T2 цикли M1 протягом часу дії синхроімпульсу Φ_1 відбувається перепис CC8 у регістр PCC.

3). У такті T2 цикли M1 по фронту синхросигнала Φ_2 встановлюється $\overline{DBIN}=1$ і через логічний елемент 2I-НІ формується сигнал $\overline{INTA}=0$.

Сигнал \overline{INTA} "Обслуговування переривання" є сигналом шини керування МПСК (рис.1.4). Сигналом $\overline{INTA}=0$ відкривається для читання зовнішній регістр RG, на вході якого є присутнім код запиту переривання, наприклад за схемою, код 1100.1111. Цей код через ШФ, включений на передачу інформації від ЗП до МП, надходить на ШД МП.

4). У такті T3 циклу M1 протягом часу дії синхроімпульсу Φ_1 відбувається перепис коду 1100.1111 у регістр команд РК МП. Далі по фронту синхросигналу Φ_2 знімається сигнал \overline{DBIN} , і слідом за ним сигнал \overline{INTA} встановлюється в стан 1, переводячи регістр RG у виключений стан.

5). У тактах T3...T5 циклу M1 відбувається дешифрація коду, зчитаного з RG. Цей код є КОП команди RST N – "Повторний запуск від переривання, що надійшло під номером N" (додаток А).

У лічильнику команд PC міститься адреса команди, виконання якої буде відкладено до завершення програми обслуговування запиту переривання.

6). У циклі M2:

- на ША виставляється адреса (SP-1) комірки стека, SP – адреса з покажчика стека;

- на ШД у такті T1 виводиться CC5 "Запис у стек" і потім по синхросигналу Φ_1 такту T2 переписується в PCC;

- на ШД у такті T2 виводиться старший байт PCH відкладеної команди;

- у такті T3 активізується сигнал \overline{WR} (ДОЗВІЛ ЗАПИСУ), встановлюється в 0 сигнал \overline{MEMW} "Запис у пам'ять" і по синхросигналу Φ_1 байт PCH переписується в комірку стека з адресою (SP-1).

7). У циклі M3:

- на ША виставляється адреса (SP-2) комірки стека;

- на ШД у такті T1 виводиться CC5 "Запис у стек" і потім по синхросигналу Φ_1 такту T2 переписується в PCC;

- на ШД у такті T2 виводиться молодший байт PC відкладеної команди;

- у такті T3 активізується сигнал \overline{WR} (ДОЗВІЛ ЗАПИСУ), встановлюється в 0 сигнал \overline{MEMW} "Запис у пам'ять" і по синхросигналу Φ_1 байт PC переписується в комірку стека з адресою (SP-2);

- у покажчику стека значення SP змінюється на значення (SP-2);

- з коду RST N, що міститься у регістрі команд РК, формується стартова адре-

са підпрограми обслуговування переривання (рис.1.26), яка заноситься в лічильник команд РС. Так наприклад, із коду 1100.1111 команди RST1 сформується стартова адреса 0000.0000.0000.1000B=0008H підпрограми обслуговування переривання.

Командний цикл підтвердження переривання завершений.

Далі на ША виставляється адреса 0008H, узятий з лічильника команд РС. Зчитаний із ПЗП код сприймається як КОП. Отже, далі буде виконуватися підпрограма обслуговування переривання, стартова адреса якої дорівнює 0008H.

Таким чином, ЗП, виставляючи запит переривання, повинне не тільки послати сигнал INT=1, але і повідомити варіант команди RST. Також ЗП повинно зняти сигнал INT до завершення підпрограми обслуговування переривання.

Питання і завдання

1. Що таке – стік? Як відбувається заповнення і зчитування стека?
2. Поясніть діаграми сигналів і структурну схему при виконанні циклу M1 підтвердження переривання. У чому його принципова відмінність від циклу M1 виконання команд?
3. Як формується стартова адреса підпрограми обробки переривання при обслуговуванні запиту переривання?
4. Поясніть діаграми сигналів і структурну схему при виконанні циклів M2 і M3 підтвердження переривання. Відкіля беруться адреси комірок стека й адреса відкладеної команди?
5. Дайте характеристику керуючим сигналам командного циклу підтвердження переривання.

1.9. Принципові електричні схеми формування шин МПСК

Схеми формування шин МПСК з мікропроцесором КР580ВМ80 приведені на рис.1.27

Для підвищення навантажувальної здатності ША застосовані шинні формувачі КР580ВА86 (рис.1.27а). Сигналом T=1 шинні формувачі включені на одnobічну передачу інформації від порту А до порту В. Навантажувальна здатність шин у цьому випадку складає 32 мА. Вивід \overline{CS} підключений до виводу мікропроцесора HLDA (ПІДТВЕРДЖЕННЯ ЗАХОПЛЕННЯ). Якщо HLDA=0, то ША розпоряджається МП. При HLDA=1 шинні формувачі закриті і ША розпоряджається деякий пристрій (контролер), що одержує прямий доступ до пам'яті МПСК. Якщо режим захоплення шин не використовувати, то вивід \overline{CS} шинного формувача потрібно заземлити, а вивід HLDA мікропроцесора залишити вільним.

Для підвищення навантажувальної здатності ШД застосовані шинні формувачі КР580ВА86 (рис.1.27б). Сигналом T=1 (при DBIN=0) шинні формувачі включені на передачу інформації від порту А до порту В чи від МП до пам'яті і ЗП. Навантажувальна здатність шин у цьому випадку складає 32 мА. При T=0, що можливо при DBIN=1, інформація передається від порту В до порту А, навантажувальна здатність 10 мА.

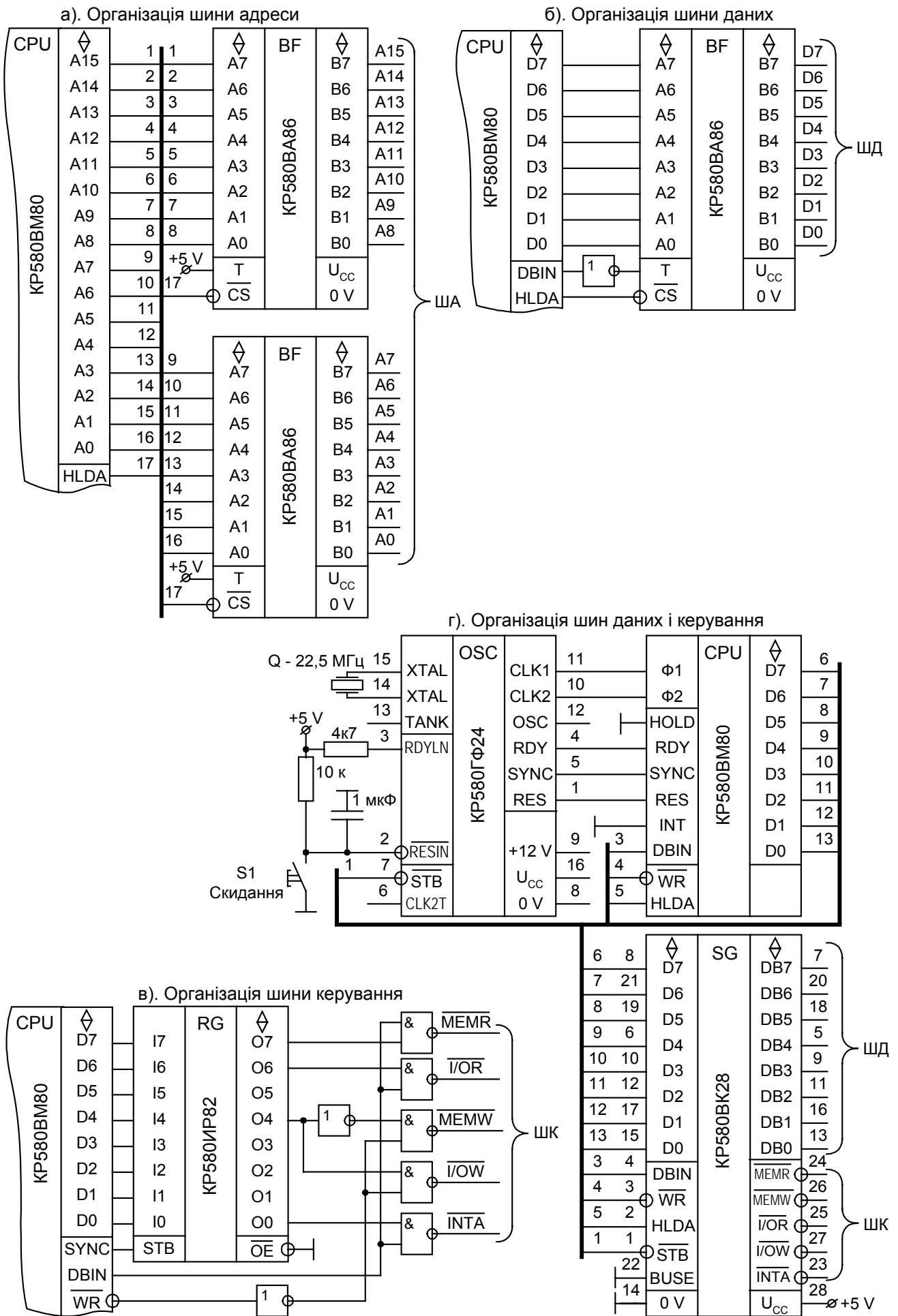


Рис.1.27. Організація шин із мікропроцесором KP580BM80

Вивід \overline{CS} підключений до виводу мікропроцесора HLDA, що дозволяє реалізувати режим прямого доступу до пам'яті (захоплення шин). Керування напрямком передачі інформації через шинний формувач здійснюється сигналом DBIN відповідно до діаграм, приведених на рис.1.20 і рис.1.26.

Для формування сигналів ШУ застосований регістр KP580IP82 (рис.1.27в), що виконує функції регістра слова стану PCC, і ряду логічних елементів. Схема формувача ШУ складена відповідно до рис.1.20 і рис.1.26. Навантажувальна здатність вихідного порту O (Output) регістра складає 32 мА. Регістр сигналом $\overline{CS}=0$ підтримується постійно готовим до читання.

На рис.1.27г приведена схема формування шин даних і керування з використанням ІМС системного контролера типу KP580BK28. Якщо використовувати режим захоплення шин, то вхід BUSE заземлюється, і стан тристабільної ШД визначається сигналом HLDA. При BUSE=1 ШД виключена.

Питання і завдання

1. Поясніть призначення схем формувачів шин МПСК.
2. Поясніть роботу схеми шини адреси.
3. Поясніть роботу схеми шини даних.
4. Поясніть роботу схеми шини керування.
5. Поясніть роботу формувача шин даних і керування на основі ІМС системного контролера.

1.10. Інтерфейс МПСК з ізольованою системою шин

Інтерфейсом називається сукупність апаратних і програмних засобів, що дозволяють організувати обмін інформацією між МП і зовнішніми пристроями, у тому числі і з ІМС пам'яті.

Між апаратними і програмними засобами МПСК існує тісний взаємозв'язок. Команди МП можуть виконуватися тільки в тім апаратному середовищі, що підтримує вхідні і вихідні сигнали МПСК по циклах і тактах відповідно до діаграм, наведених на рис.1.20 і рис.1.26. Для цього апаратна частина структурно повинна виглядати так, як приведено на тих же малюнках.

Класифікація пристроїв, що підключаються до МП, на ІМС пам'яті і ЗП визначає не тільки розходження схем підключення, але і використання різних команд інформаційного обміну між МП і пристроями. Відповідно до цього розподілу пристроїв, що підключаються до МПСК, інтерфейс будується з ізольованою і спільною системою шин для ІМС пам'яті і ЗП.

Характеристики МПСК з ізольованою системою шин:

- для роботи з зовнішніми пристроями використовуються команди OUT і IN
- виводу і введення інформації;
- для роботи з пам'яттю використовуються всі інші команди МП;
- адресні простори ІМС пам'яті і ЗП ізольований друг від друга, тому адреси ІМС пам'яті і ЗП можуть навіть збігатися.

Переваги інтерфейсу з ізольованою системою шин:

- простота принципової електричної схеми МПСК, особливо в частині дешифрації адрес, і в багатьох випадках узагалі не потрібні дешифратори;

- адресний простір використовується на 100%.

Недоліки інтерфейсу з ізольованою системою шин:

- для роботи потрібен максимальний набір керуючих сигналів: \overline{MEMR} , \overline{MEMW} , $\overline{I/OR}$, $\overline{I/OW}$ та \overline{INTA} ;

- ускладнюється програма, в якій виробляються логічні й арифметичні операції над даними, зв'язаними з ЗП, тому що використовуювані дві команди для роботи з ЗП виконують лише просте введення і вивід інформації;

- усього можна адресувати 256 пристроїв введення і виводу, тому що розмір адреси ЗП складає 8 біт (у командах OUT і IN операнд має розмір в 1 байт).

Характеристики МПСК з загальною системою шин:

- для роботи з ЗП використовуються всі ті ж команди, що застосовуються для роботи з ІМС пам'яті;

- адресний простір ЗП і пам'яті загальний і тому адреси ЗП і комірок пам'яті повинні бути різними.

Переваги інтерфейсу з загальною системою шин:

- для роботи потрібно скорочений набір керуючих сигналів: \overline{MEMR} , \overline{MEMW} і \overline{INTA} ;

- спрощується програма, у якій виробляються логічні й арифметичні операції над даними, зв'язаними з ЗП;

- можна адресувати 65536 пристроїв введення і виводу, тому що розмір адреси ЗП складає 16 біт.

Недоліки інтерфейсу з загальною системою шин:

- ускладнюються дешифратори адреси ЗП;

- великі втрати адресного простору, які можна зменшити, значно ускладнивши дешифратори адрес.

Принципова схема МПСК з ізольованою системою шин при обслуговуванні

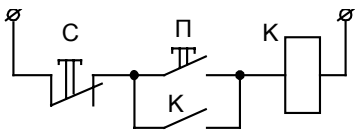
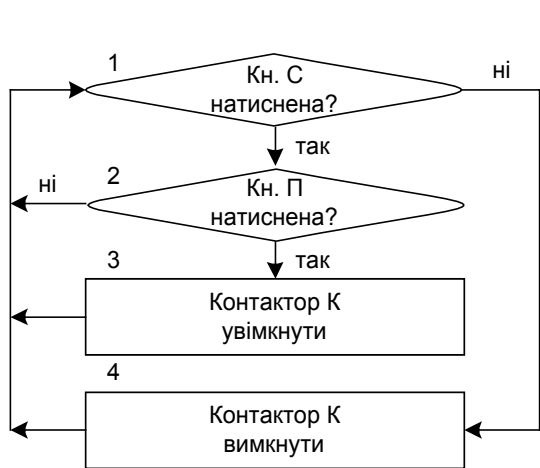
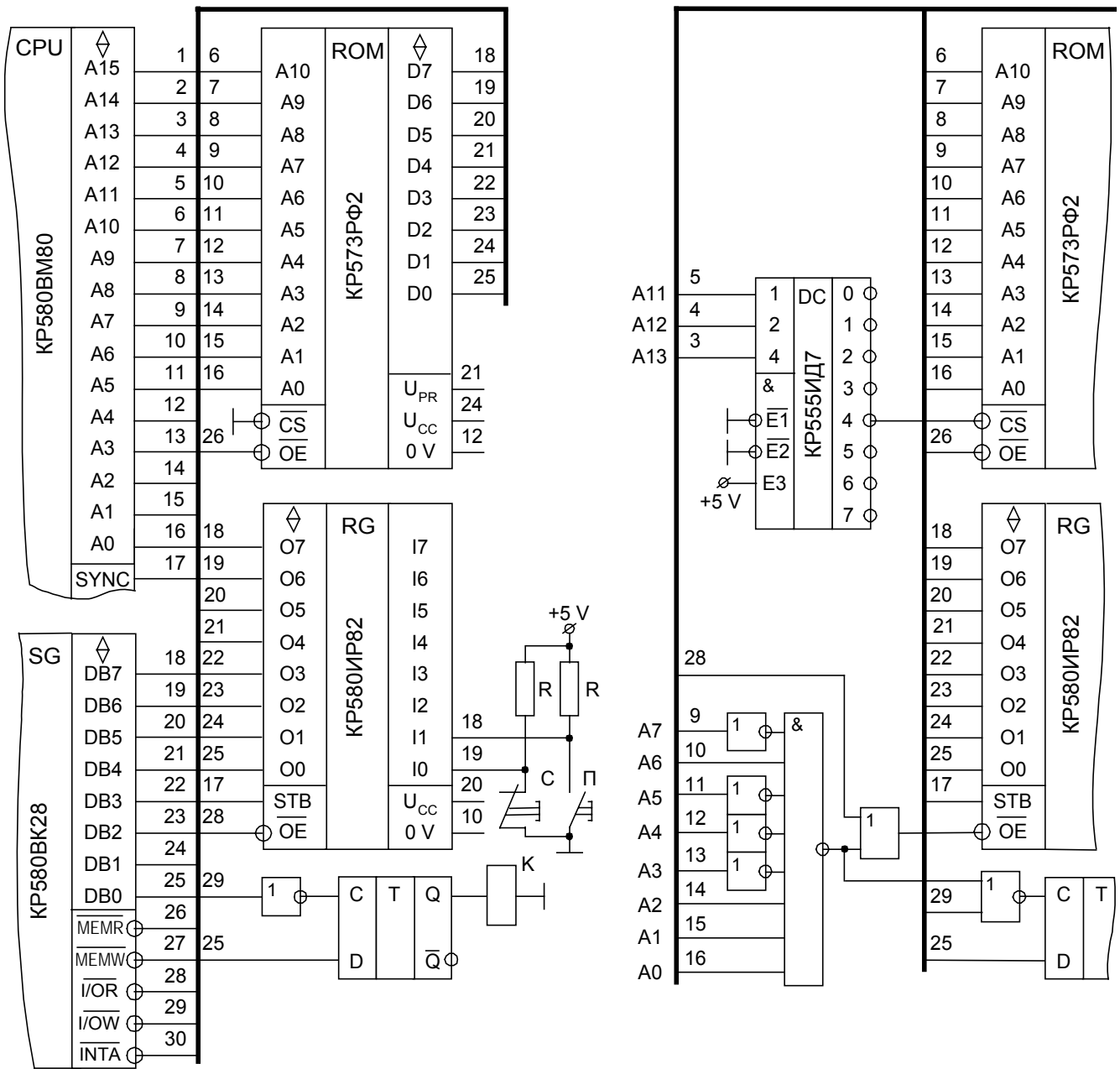


Рис.1.28. Релейна схема керування контактором

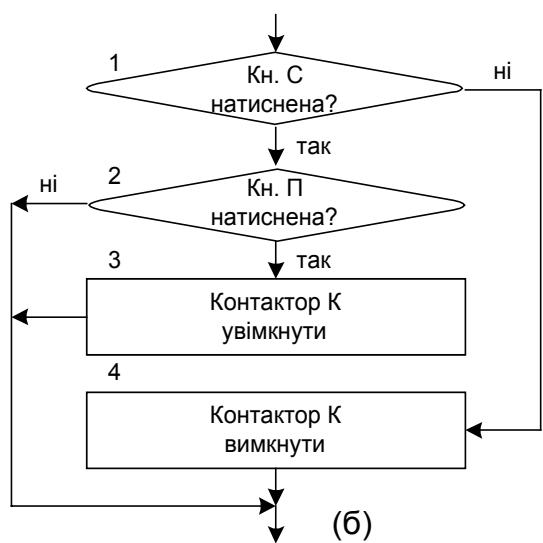
одного ЗП приведена на рис.1.29а. Зовнішніми пристроями введення є кнопки П ("Пуск") і С ("Стоп") з регістром RG, зовнішнім пристроєм виводу – котушка контактора К с D-тригером Т. Релейний варіант виконання системи керування контактором приведений на рис.1.28.

На рис.1.29а пряме підключення контактора К до тригеру потрібно вважати умовним. Схеми вихідних каскадів, що забезпечують посилення по потужності, розглянуті на рис.1.68...1.70. Синхроімпульсом запису інформації (біта даних) є сигнал $\overline{I/OW}$, що надходить по проводу 29. Біт, призначений для запису в тригер, є бітом D0 шини даних.

Сигнали, що знімаються з кнопок П и С, є двостабільними, що робить неможливим їхнє пряме підключення до ШД. Вони підключені до ШД МП через регістр RG, вихід якого є тристабільним. Запис у регістр RG сигналів стану кнопок П и С відбувається по сигналу SYNC, що надходить на вхід STB регістра і який з'являється в кожному машинному циклі виконуваної команди (рис.1.20 і рис.1.26). Читання регістра RG здійснюється по сигналу $\overline{I/OR}$, що надходить по проводу 28 на ніжку \overline{OE} .



(а)



(б)

Рис.1.29. Інтерфейс з ізольованою системою шин при обслуговуванні одного (а) або декількох (б) зовнішніх пристроїв

Пам'ять містить тільки одну ІМС ПЗП. Вхід \overline{CS} цієї ІМС заземлений, і ІМС виходить обраною постійно. Таке рішення виправдане тим, що вибір єдиної ІМС пам'яті позбавлений смислу. Відкривається ПЗП для читання сигналом \overline{MEMR} , що надходить по проводу 26 на ніжку ОЕ.

У ПЗП записана програма керування контактором К с допомогою кнопок П і С. Алгоритм керування приведений на рис.1.29а, на ньому дані всі пояснення. Програма керування, складена відповідно до приведенного алгоритму, приведена на рис.1.30 (усі коди 16-річні).

Адреса	Код команди	Мітка	Мнемокод	Коментарі
0000	DB 00	M1	IN 00	Читання стану кнопок П і С
0002	E6 01		ANI 01	Виділити біт стану кнопки С
0004	C2 15 00		JNZ M4	Якщо С натиснута, то К вимкнути
0007	DB 00	M2	IN 00	Читання стану кнопок П і С
0009	E6 02		ANI 02	Виділити біт стану кнопки П
000B	C2 00 00		JNZ M1	Якщо П натиснута, то К ввімкнути
000E	3E 01	M3	MVI A, 01	В акумулятор код вмикання К
0010	D3 00		OUT 00	Вивід біта D0=1 у D-тригер
0012	C3 00 00		JMP M1	Повернення в початок програми
0015	3E 00	M4	MVI A, 00	В акумулятор код вимикання К
0017	D3 00		OUT 00	Вивід біта D0=0 у D-тригер
0019	C3 00 00		JMP M1	Повернення в початок програми

Рис.1.30. Програма керування контактором

Приведемо розширені коментарі, акцентуючи увагу на стані елементів принципової схеми МПСК і проходженні сигналів у ній.

Команда IN 00. Уведення байта з RG в акумулятор А. До регістра RG підключені кнопки П і С. У команді IN зазначений довільний номер 00 зовнішнього пристрою введення – регістра RG. Це виправдано тим, що ЗП введення єдиний і для його вибору досить сигналу $\overline{I/OR}$, що з'являється в процесі виконання команди IN.

Команда ANI 01. Виконується операція логічного множення акумулятора, у якому міститься дані про стан кнопок П і С, і константи 01H=0000.0001B. У результаті множення біт 0 акумулятора залишається таким же, яким він був при введенні з RG, а інші біти акумулятора придушуються – звернуться в 0. Ця операція називається маскуваннюм байта множенням. Біт 0 акумулятора відображує стан кнопки С. Якщо кнопка С не натиснута, те після маскуваннюм в акумуляторі виявиться код 0000.0000B=00H і установиться значення Z=1 прапора нуля, а при натиснутій кнопці С – код 0000.0001B=01H і установиться значення Z=0 прапора нуля.

Команда JNZ M4. Перевіряється прапор Z нуля. Якщо Z=0 (кнопка С натиснута і розімкнута), то перехід на мітку M4 програми. Інакше виконується наступна записана по програмі команда.

Команда IN 00. Уведення байта з RG в акумулятор А.

Команда ANI 02. Маскуваннюм виділяється стан біта 1 акумулятора. Біт 1 відображує стан кнопки П. Якщо кнопка П не натиснута, то після маскуваннюм в акумуляторі виявиться код 0000.0010B=02H і установиться значення Z=0 прапора ну-

ля , а при натиснутій кнопці П – код 0000.0000В=00Н і установиться значення Z=1 прапора нуля.

Команда JNZ M1. Перевіряється прапор Z нуля. Якщо Z=0 (кнопка П не натиснута і не замкнута), то перехід на початок програми – мітку M1. Інакше виконується наступна команда.

Команда MVI A, 01. Пряме завантаження в акумулятор A константи 01Н=0000.0001В, у якій 0-й біт дорівнює 1.

Команда OUT 00. Вивід вмісту акумулятора у ЗП – D-тригер. На вхід D тригера надходить сигнал нульового біта байта даних зі ШД, а на вхід C тригера надходить одиничний строб, отриманий інверсією нульового строба $\overline{I/O\overline{W}}$, що поступив з проводу 29. Тому що вміст нульового біта акумулятора дорівнює 1, то D-тригер установиться в стан 1 і контактор К ввімкнеться.

Команда JMP M1. Безумовний перехід на початок програми.

Команда MVI A, 00. Пряме завантаження в акумулятор A константи 00Н=0000.0000В, у якій 0-й біт дорівнює 0.

Команда OUT 00. Вивід вмісту акумулятора у ЗП – D-тригер. Тому що вміст нульового біта акумулятора дорівнює 0, то D-тригер установиться в стан 0 і контактор К виключиться.

Команда JMP M1. Безумовний перехід на початок програми.

Коди приведеної програми повинні бути перенесені в ПЗП. Таблиця прошивання ПЗП приведена на рис.1.31.

Адреса	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	DB	00	E6	01	C2	15	00	DB	00	E6	02	C2	00	00	3E	01
0010	D3	00	C3	00	00	3E	00	D3	00	C3	00	00				

Рис.1.31. Таблиця прошивання ПЗП

Принципова схема МПСК з ізольованою системою шин при обслуговуванні декількох ЗП приведена на рис.1.29б. Зовнішніми пристроями введення є кнопки П ("Пуск") і С ("Стоп") з регістром RG, зовнішнім пристроєм виводу – котушка контактора К с D-тригером Т (ці підключення такі ж, як і на рис.1.29а і тому не показані).

При обслуговуванні декількох ЗП може знадобитися значний обсяг пам'яті для розміщення програм керування. Тому ІМС ПЗП може бути кілька. На схемі показана тільки одна з ІМС блоку ПЗП, у якій розміщена програма керування контактором К. Прийнемо наступні умови роботи МПСК:

- 1). До і після програми керування контактором К існують програми керування іншими ЗП.
- 2). Блок ПЗП складається з однотипних ІМС з обсягом пам'яті кожної $2^{11}=2048$ чи 2Кбайт комірок.
- 3). Стартова адреса програми керування контактором дорівнює 2036Н.
- 4). ЗП введення і виводу мають однакову адресу – 47Н.

При наявності безлічі корпусів ІМС пам'яті і декількох ЗП потрібні дешифратори, за допомогою яких буде виконуватись вибір корпусу ІМС пам'яті і ЗП.

Для дешифрації адреси 47Н=0100.0111В зовнішніх пристроїв застосовані 4 інвертори і 1 логічний елемент 8І-НІ. За схемою дешифратора перевіряється, що

при кодi 0100.0111В на виходi елемента 8I-II установиться сигнал 0.

Для дешифрації адреси 2036H=0010.0000.0011.0110В визначимо порядковий номер ІМС, у якій записана програма керування контактором К, у блоці пам'яті з однотипних ІМС. Тому що ємність однієї ІМС типу КР573РФ2 складає 2048_{10} байт (індекс 10 указує на десятковий запис числа), то порядковий номер ІМС, у якій використовується комірка з адресою 2036H= 8264_{10} , дорівнює: $8264/2048=4,035=4$ (округлення результату). Для дешифрації ІМС блоку ПЗП використовуємо біти А13, А12 і А11 адреси, що виставляється на ША, тому що біти А10...А0 адреси заводяться прямо на адресний порт ІМС пам'яті. У кодi 2036H біти А13, А12 і А11 утворюють код 100В. На схемі біти А13, А12 і А11 заведені на вхід дешифратора DC типу КР555ИД7. При кодi 100В активним буде вивід 4, що збіглося з розрахунком порядкового номера ІМС ПЗП з адресою 2036H. Отже, якщо на ША буде виставлена адреса 2036H, то на вхід \overline{CS} ІМС ПЗП надійде сигнал 0, яким буде обрана необхідна ІМС. На входах \overline{CS} інших ІМС блоку пам'яті в цей же час будуть сигнали 1 і всі ці ІМС будуть відключені від ШД МП.

Алгоритм керування приведений на рис.1.29б, на ньому дані всі пояснення. Особливість алгоритму в тім, що після здійснення дій по вмиканню чи вимиканню контактора К повернення на початок цієї програми немає, а виконується команда керування іншим ЗП. Вхід у програму керування контактором К здійснюється ззовні після завершення програми керування іншими ЗП.

Програма керування, складена відповідно до алгоритму, приведена на рис.1.32 (усі коди 16-річні).

Адреса	Код команди	Мітка	Мнемокод	Коментарі
2036	DB 47	M1	IN 47	Читання стану кнопок П и С
2038	E6 01		ANI 01	Виділити біт стану кнопки С
203A	C2 4B 20		JNZ M4	Якщо С натиснута, то К вимкнути
203D	DB 47	M2	IN 47	Читання стану кнопок П и С
203F	E6 02		ANI 02	Виділити біт стану кнопки П
2041	C2 4F 20		JNZ Кінець	Якщо П натиснута, то К ввімкнути, інакше вийти з програми
2044	3E 01	M3	MVI A, 01	В акумулятор код включення К
2046	D3 47		OUT 47	Ввімкнути контактор К
2048	C3 4F 20		JMP Кінець	Вийти з програми
204B	3E 00	M4	MVI A, 00	В акумулятор код вимикання К
204D	D3 47		OUT 47	Вимкнути контактор К
204F		Кінець		1-я команда керування іншим ЗП

Рис.1.32. Програма керування контактором

При виводу інформації у ЗП дешифратор адреси при кодi 47 видає сигнал 0, з якого логічним елементом 2АБО-II разом із сигналом $\overline{I/OW}$ формується одиничний строб для запису даних у D-тригер.

При введенні інформації з ЗП дешифратор адреси при кодi 47 видає сигнал 0, з якого логічним елементом 2АБО разом із сигналом $\overline{I/OR}$ формується одиничний строб для зчитування даних з регістра RG.

Розглянемо докладно на сигнальному рівні виконання команди OUT 47, розташованої за адресою 204DH.

Після завершення виконання команди MVI A, 00, розташованої за адресою 204BH, у лічильнику команд МП буде знаходитися адреса наступної команди – 204DH=0010.0000.0100.1101B. Цю адресу МП виставить на ША і буде виконаний цикл М1. Біти A13...A11 адреси утворюють код 100B, по якому на виході 4 дешифратори DC установиться сигнал 0 і яким буде обрана ІМС ПЗП. Бітами A10...A0 ША буде обрана комірка пам'яті в ПЗП. При виконанні циклу М1 сформується сигнал $\overline{MEMR} = 0$ і в такті T3 (рис.1.20) байт із ПЗП переписеться в регістр команд МП. Цей байт має код D3 і є КОП. По завершенні зчитування байта лічильник команд буде інкрементовано й у ньому установиться адреса 204EH.

МП, використовуючи прошивання дешифратора команд ДШК, установить, що команда з КОП D3 є двобайтною, і буде виконуватися за 3 цикли. Тому МП виставить взятую з лічильника команд адресу 204EH= 0010.0000.0100.1110B на ША і буде виконувати цикл М2. Бітами A13...A11 адреси через дешифратор буде обрана знову ІМС ПЗП, іншими бітами – обрана комірка пам'яті усередині ІМС ПЗП. При виконанні циклу М2 сформується сигнал $\overline{MEMR} = 0$ і в такті T3 байт із ПЗП переписеться в тимчасовий регістр МП. Цей байт має код 47 і є операндом команди OUT 47. По завершенні зчитування байта лічильник команд буде інкрементовано й у ньому установиться адреса 204FH.

Далі, у виконання результатів розшифровки КОП, буде виконуватися 3-й цикл М3 – цикл запису байта у ЗП. На ШД МП, що переключена на вивід, установиться код 00H, узятий з акумулятора, а на ША МП виставить код 47H. Цим кодом складальним дешифратором сформується на виході сигнал 0. При виконанні циклу М3 сформується сигнал $\overline{I/O\overline{W}} = 0$ і в такті T3 логічним елементом 2АБО-НІ, на вході якого присутні два нульових сигнали, сформується одиничний сигнал, що надійде на вхід С синхронізації D-тригера. На інформаційний вхід D цього тригера вже надходить нульовий біт (тому що попередньою командою MVI A, 00 у нульовий біт акумулятора був записаний 0) зі ШД МП, і по синхросигналу С в D-тригер запишеться 0.

Команда OUT 47 виконана до кінця. Було 2 звертання до ПЗП й одне – до ЗП. Ці звертання на рівні проходження сигналів підтримані схемою МПСК.

Далі буде виконуватися команда, записана за адресою 204FH.

Питання і завдання

1. Що таке - інтерфейс МПСК? Чому вид інтерфейсу впливає на схеми і команди програми МПСК?
2. Наведіть характеристики інтерфейсу МПСК з ізольованою системою шин.
3. Наведіть характеристики інтерфейсу МПСК з спільною системою шин.
4. Поясніть роботу релейної схеми керування контактором.
5. Поясніть алгоритм керування одним зовнішнім пристроєм ЗП (контактором).
6. Грунтуючись на схемі керування одним ЗП, визначте: адресний простір ПЗП (програми керування контактором), адреси ЗП введення (кнопок) і виводу (контактора), види команд роботи з ЗП.
7. Поясніть виконання на сигнальному рівні команд програми керування одним ЗП.
8. Поясніть алгоритм керування одним зовнішнім пристроєм ЗП (контактором).

9. Грунтуючись на схемі керування декількома ЗП, визначите: адресний простір ПЗП (програми керування контактором), адреси ЗП введення (кнопки) і виводу (контактора), види команд роботи із ЗП.
10. Поясніть виконання на сигнальному рівні команд програми керування декількома ЗП.
11. Як складається таблиця прошивання ПЗП?
12. Обґрунтуйте необхідність уведення регістра в схему введення, а в схему ЗП виводу – тригера.
13. Що таке маскування сигналів введення і як воно зв'язано зі схемою підключення ЗП введення?
14. Як формується байт виводу для ЗП виводу?

1.11. Інтерфейс МПСК зі спільною системою шин

Особливістю даного виду інтерфейсу є використання загального адресного простору як для ІМС пам'яті, так і для ЗП. Тому, навіть у найпростішому випадку – обслуговуванні тільки одного ЗП – потрібні дешифратори.

Принципова електрична схема МПСК з загальною системою шин приведена на рис.1.33. Прийmemo умови роботи МПСК:

1). До мікропроцесора підключена безліч ЗП. Для прикладу на схемі розглянуто тільки три ЗП: контактора К, кнопки "Пуск" П "Стоп" С. Алгоритм керування контактором такий же, як на рис.1.29б.

2). У МПСК пам'ять містить тільки одну ІМС ПЗП типу КР573РФ81 ємністю $2^{14}=16$ Кбайт і одну ІМС ОЗП типу КР537РУ17 ємністю $2^{13}=8$ Кбайт.

3). Стартова адреса програми керування контактором дорівнює 1В04Н.

4). Адреса ЗП введення (регістра RG із кнопками С и П) дорівнює 4000Н. Адреса ЗП виводу (D-тригер з контактором К) дорівнює 4001Н.

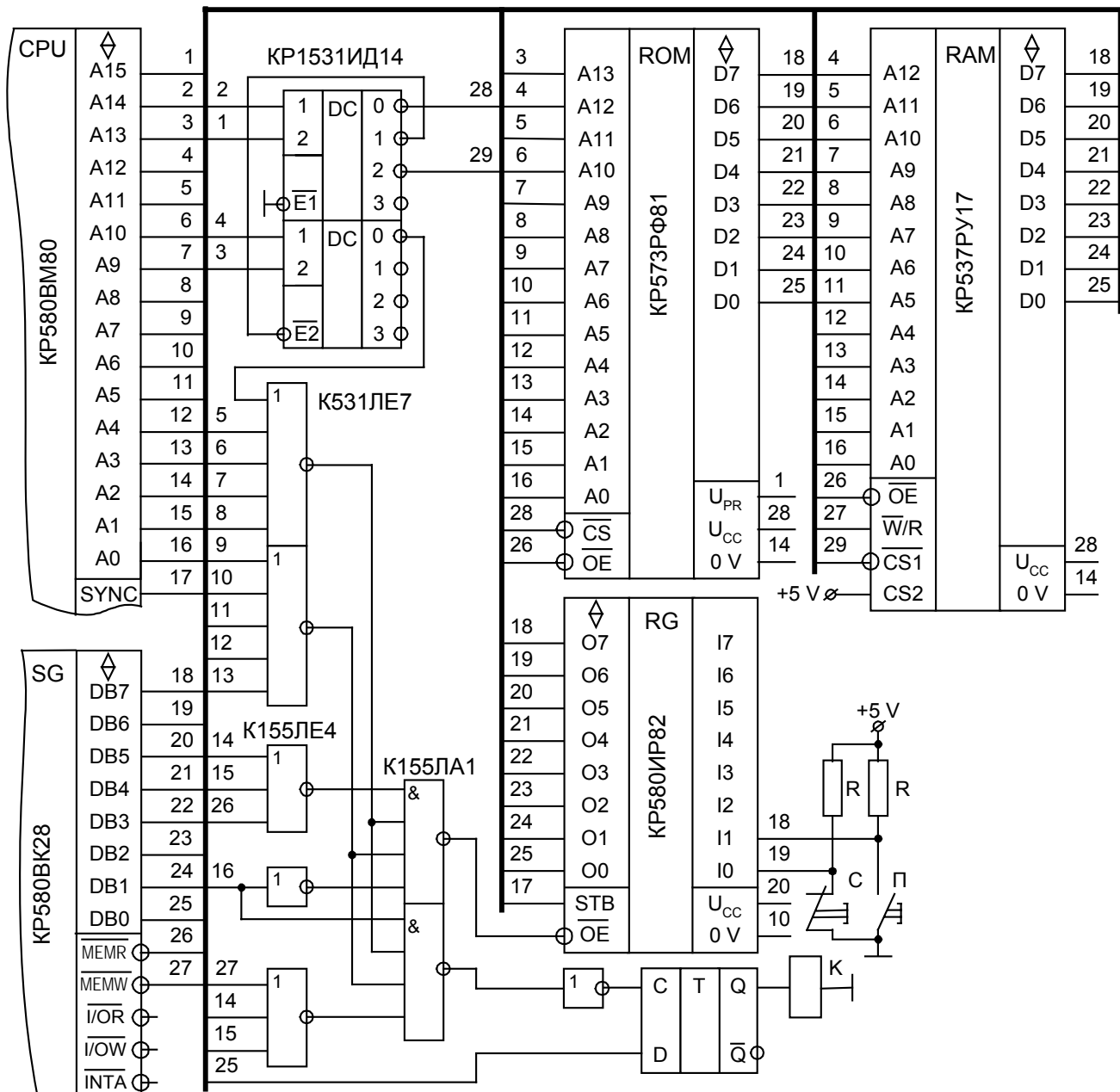
Загальний адресний простір складає $2^{16}=65536_{10}$ байт = 64 Кбайт.

Для вибору ІМС і ЗП застосуємо треступінчасту дешифрацію адреси. Використовуємо в схемі ІМС дешифратора КР1531ИД14, що містить два однакових дешифратори типу 2→4, і набірний дешифратор на логічних елементах 5АБО-НІ, 3АБО-НІ, 4І-НІ й інверторах (рис.1.33). Розбивка адресного простору за допомогою дешифратора КР1531ИД14 пояснюється рис.1.34.

Верхній дешифратор ІМС КР1531ИД14, робота якого дозволена постійним сигналом $\overline{E1}=0$ і на який заведені біти А15 і А14 ША, розбиває весь адресний простір обсягом 64 Кбайт на 4 області 0...3 однакових по обсязі – по 16 Кбайт. Це перша ступінь дешифрації всього адресного простору.

З виходу 1 верхнього дешифратора, що відповідає адресам області 1, на нижній надходить сигнал дозволу $\overline{E2}=0$. Нижній дешифратор ІМС КР1531ИД14, на який заведені біти А13 і А12 ША, розбиває адресний простір області 1 обсягом 16 Кбайт на 4 однакових по обсязі – по 4 Кбайт – області 1.0...1.3. Це друга ступінь дешифрації усього адресного простору.

ПЗП підключено до виводу 0 верхнього дешифратора, і для ПЗП виділені адреси від 0000Н до 3FFFН. Стартова адреса 1В04Н програми керування контактором належить ПЗП.



Таблиця розбивки адресного простору пам'яті за допомогою дешифраторів

Області	Обсяг	Адреса: від - до	A15	A14	A13	A12	Фізичний пристрій
Обл.0	16К	0 0 0 0 - 3 F F F	0	0	X	X	ПЗП (ROM)
Обл.1.0	4К	4 0 0 0 - 4 F F F	0	1	0	0	ЗП: 4000 - RG; 4001 - T
Обл.1.1	4К	5 0 0 0 - 5 F F F	0	1	0	1	Не використовується
Обл.1.2	4К	6 0 0 0 - 6 F F F	0	1	1	0	Не використовується
Обл.1.3	4К	7 0 0 0 - 7 F F F	0	1	1	1	Не використовується
Обл.2	16К	8 0 0 0 - B F F F	1	0	X	X	ОЗП (RAM)
Обл.3	16К	C 0 0 0 - F F F F	1	1	X	X	Не використовується

Рис.1.33. Інтерфейс зі спільною системою шин

ОЗП підключено до виводу 2 верхнього дешифратора, і для ОЗП виділені 16 Кбайт адресного простору (адреси 8000...BFFF). Мікросхема ОЗП має ємність 8 Кбайт. Отже, половина адресного простору губиться.

До виводу 3 верхнього дешифратора нічого не підключене, отже, область 3 пам'яті не використовується.

До виводу 0 нижнього дешифратора, якому відповідає область 1.0 адресного простору, підключені дешифратори зовнішніх пристроїв. На схемі наведений набраний на логічних елементах дешифратор адресного простору МП 3-ої ступені. За схемою можна перевірити, що при адресі 4000H=0100.0000.0000.0000В разом з сигналом $\overline{\text{MEMR}}=0$ установлюється сигнал 0 на тому виході складального дешифратора, що заводиться на вхід $\overline{\text{OE}}$ регістра RG. Можна також перевірити, що при адресі 4001H=0100.0000.0000.0001В разом з сигналом $\overline{\text{MEMW}}=0$ установлюється сигнал 1, що заводиться на синхронізуючий вхід С тригера.

Верхній дешифратор ІМС КР1531ІД14								Нижній дешифратор ІМС КР1531ІД14									
Область	Біти ША		Вихід дешифратора				Адреси (16-річні) областей		Область	Біти ША		Вихід дешифратора				Адреси (16-річні) областей	
	A15	A14	3	2	1	0	Мінім.	Максим.		A13	A12	3	2	1	0	Мінім.	Максим.
0	0	0	1	1	1	0	0 0 0 0	3 F F F	1.0	0	0	1	1	1	0	4 0 0 0	4 F F F
1	0	1	1	1	0	1	4 0 0 0	7 F F F	1.1	0	1	1	1	0	1	5 0 0 0	5 F F F
2	1	0	1	0	1	1	8 0 0 0	B F F F	1.2	1	0	1	0	1	1	6 0 0 0	6 F F F
3	1	1	0	1	1	1	C 0 0 0	F F F F	1.3	1	1	0	1	1	1	7 0 0 0	7 F F F

Рис.1.34. Розбивка адресного простору дешифратором КР1531ІД14

Якщо в МПСК є ще ЗП, то для них потрібно також створювати дешифратор.

Підведемо підсумки по розбивці адресного простору дешифраторами:

- застосоване триступінчаста розбивка всього адресного простору МП;
- області 1.1, 1.2, 1.3 і 3 загальним обсягом 28 Кбайт не використовуються в роботі МП;

- під ЗП відведена область обсягом 4 Кбайта, з якої лише використовується мала частина.

Адреса	Код команди	Мітка	Мнемокод	Коментарі
1B04	3A 00 40	M1	LDA 4000	Читання стану кнопок П и С
1B07	E6 01		ANI 01	Виділити біт стану кнопки С
1B09	C2 1C 1B		JNZ M4	Якщо с натиснута, то К вимкнути
1B0C	3A 00 40	M2	LDA 4000	Читання стану кнопок П и С
1B0F	E6 02		ANI 02	Виділити біт стану кнопки П
1B11	C2 21 1B		JNZ Кінець	Якщо П натиснута, то К ввімкнути, інакше вийти з програми
1B14	3E 01	M3	MVI A, 01	В акумулятор код вмикання К
1B16	32 01 40		STA 4001	Уключити контактор К
1B19	C3 21 1B		JMP Кінець	Вийти з програми
1B1C	3E 00	M4	MVI A, 00	В акумулятор код вимикання К
1B1E	32 01 40		STA 4001	Виключити контактор К
1B21		Кінець		1-я команда керування іншим ЗП

Рис.1.35. Програма керування контактором

Отже, у даної МПСК зі спільною системою шин втрати адресного простору складають майже його половину. Цей простір загублений тому, що:

- запис по адресах невикористаних областей безглуздий, тому що на прийомному кінці нічого не підключено;
- читання з адрес невикористованих областей дає випадковий код, тому що по цих адресах немає джерел інформації.

Програма керування, складена відповідно до наведеного алгоритму, наведена на рис.1.35 (усі коди 16-річні). У програмі читання ЗП і запис у ЗП провадиться, відповідно, командами LDA 4000 і STA 4001, якими можна працювати й із пам'яттю МП.

Питання і завдання

1. *Грунтуючись на схемі керування ЗП, визначите адресні простори ПЗП (програми керування контактором) і ОЗП.*
2. *Грунтуючись на схемі керування ЗП, визначите адреси ЗП введення (кнопок) і виводу (контактора), види команд роботи з ЗП.*
3. *Поясніть виконання на сигнальному рівні команд, що входять у блоки читання стану кнопок і визначення галузі виконання програми.*
4. *Поясніть виконання на сигнальному рівні команд блоків вмикання і вимикання контактора.*

1.12. Організація обслуговування запитів переривання з використанням команди RST

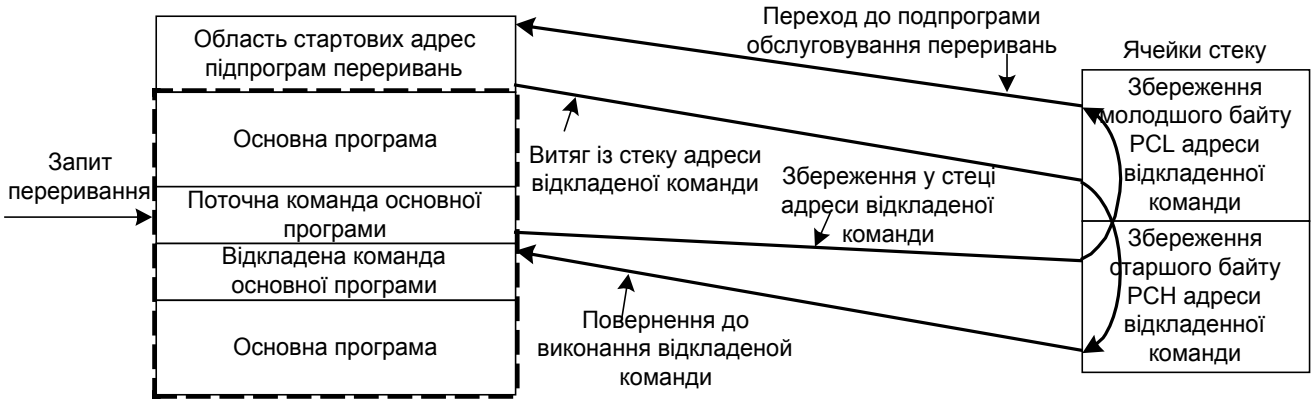
Запит переривання – це запит термінового, позачергового обслуговування ЗП, що виставило запит. Ця ситуація характерна для систем автоматики, тому що в них обов'язково контролюються аварійні параметри регульованих сигналів і, у випадку їхнього виникнення, потрібно в аварійному порядку зупинити об'єкт автоматизації. У найпростішому випадку у всіх системах автоматики мається кнопка "Стоп", реакція на сигнал, що надійшов від неї, повинна бути негайною. Це є також вимогою техніки безпеки – негайно вимкнути установку, якщо з'явилася загроза життю для обслуговуючого персоналу.

Мікропроцесорні програми керування множиною ЗП виконуються тільки послідовно: за 1-м ЗП обслуговується 2-ий ЗП, потім 3-ій ЗП і так до останнього ЗП. Потім повернення на обслуговування 1-го ЗП і – повторення циклу.

Отже, у кожний момент часу опитуються сигнали тільки одного об'єкта автоматизації, із ЗП якого працює програма МП, а сигнали з інших ЗП й об'єктів автоматизації просто не опитуються. Аварійний сигнал може бути не замічений, якщо не підійшла черга обслуговування відповідного ЗП. Тому режим переривань у МПСК цілком необхідний.

На рис.1.36 наведений алгоритм обслуговування переривань і принципова електрична схема МПСК, що підтримує режим обробки переривань. Щоб не ускладнювати схему, прийнято на переривання завести кнопку С "Стоп" тільки одного пристрою – пристрою керування контактором К. Режим обслуговування множини переривань розглянутий далі у схемі, що на рис.1.48.

Алгоритм обслуговування переривань



Принципова електрична схема МПСК із перериваннями командою RST

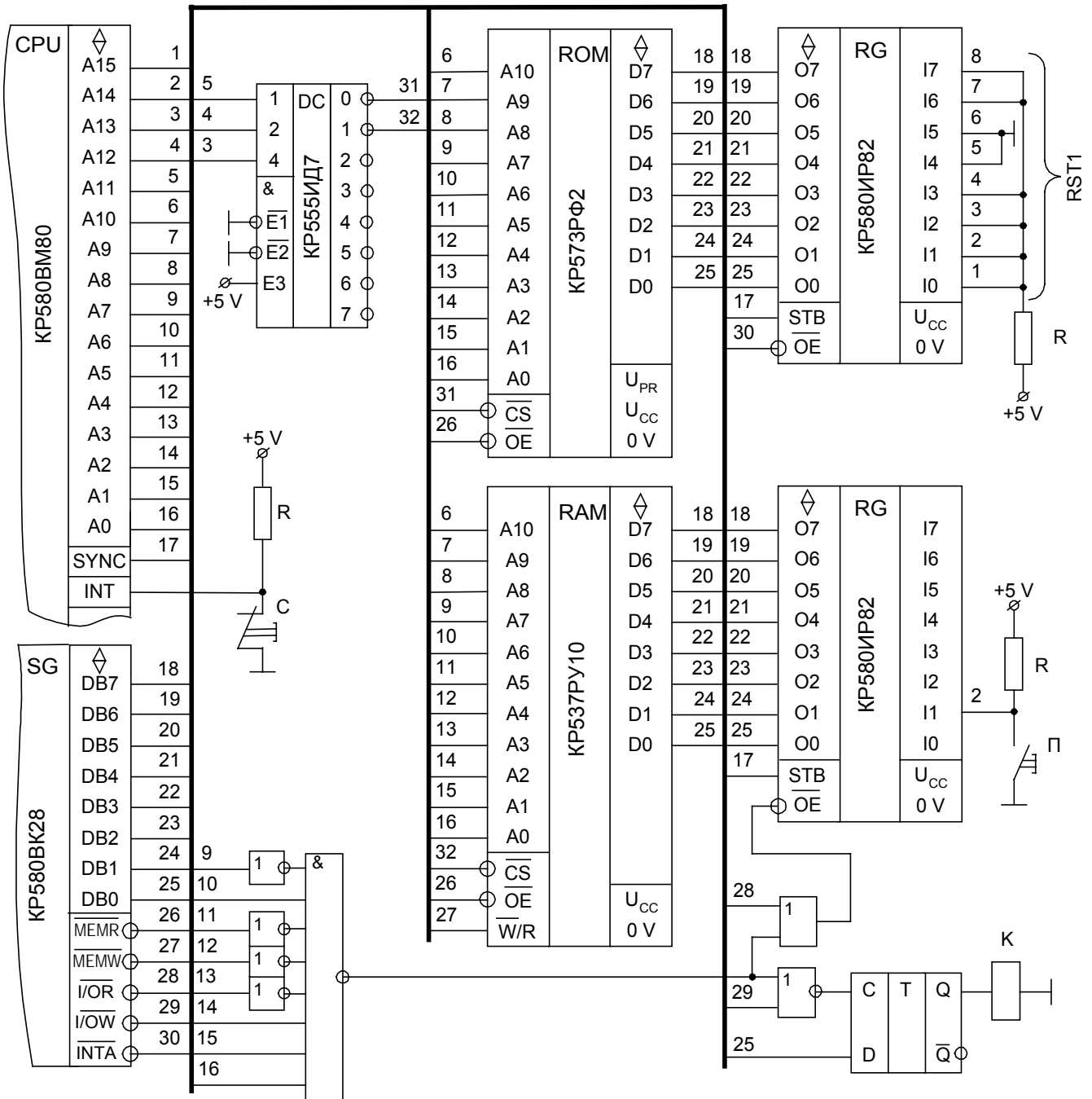


Рис.1.36. Організація обслуговування зовнішніх пристроїв у режимі переривань

Кнопка С заведена на вхід INT "Запит переривання". Кнопка П і контактор К підключені до МП звичайним способом, як на схемі рис.1.29а.

Приймемо наступні умови побудови схеми і роботи МПСК:

1). МПСК організована з роздільною системою шин.

2). Адреса ЗП введення і виводу дорівнює 47Н.

3). У схемі використовуються:

- реєстр, що виставляє команду RST 1 (схема взята з рис.1.26);

- реєстр із підключеною кнопкою П (схема взята з рис.1.29б);

- D-тригер із контактором К (схема взята з рис.1.29б);

- дешифратор адреси ЗП (схема взята з рис.1.29б).

4). Програма, що здійснює вмикання контактора К, розташована на початку ПЗП. Стартова адреса уточниться при складанні програми. Вимикання контактора виконується по перериванню.

5). Вершина стека розташовується за останньою адресою масиву комірок ОЗП.

Власне розробкою схеми є організація дешифрації ІМС пам'яті. У схемі використовуються ІМС ПЗП й ОЗП однакового обсягу пам'яті – по $2^{11}=2$ Кбайта. Ці ІМС адресуються одинадцятьма бітами ША (від А0 до А10). Застосовано дешифратор типу КР555ИД7, на адресні входи якого заведені біти А13, А12 і А11 ША, а на входи, що використовуються для дозволу, заведені постійні сигнали дозволу $E1=0$, $E2=0$ і $E3=1$. ПЗП підключено до виходу 0 дешифратора, а ОЗП – до виходу 1. Адреси ПЗП й ОЗП розподіляється згідно рис.1.37.

Вид пам'яті	Мінімальні адреси													Максимальні адреси														
	Біти ША													16-річні	Біти ША													16-річні
	13	12	11	10	9	8	7	6	5	4	3	2	1		0	13	12	11	10	9	8	7	6	5	4	3	2	
ПЗП	0	0	0	0	0	0	0	0	0	0	0	0	0	0000	0	0	0	1	1	1	1	1	1	1	1	1	1	07FF
ОЗП	0	0	1	0	0	0	0	0	0	0	0	0	0	0800	0	0	1	1	1	1	1	1	1	1	1	1	1	0FFF
	На ДШ			На входи ІМС пам'яті											На ДШ			На входи ІМС пам'яті										

Рис.1.37. Адреси ІМС пам'яті

Останньою адресою ОЗП є 0FFFН. Наступну за ним адресу 1000Н присвоїмо вершині стека.

Програма керування контактором наведена на рис.1.38.

Тому що після натискання кнопки С вводиться команда RST 1, то стартова адреса підпрограми обслуговування переривання буде рівною 0008Н, як і в роботі схеми, зображеної на рис.1.26.

Адреса	Код команди	Мітка	Мнемокод	Коментарі
0000	31 00 10	Ініціалізація	LXI SP, 1000	Запис у покажчик стека SP адреси 1000 вершини стека
0003	FB		EI	Дозволити переривання
0004	C3 10 00		JMP Початок	Йти на опитування кнопки П "Пуск"
0007	00		NOP	Ні операції
0008	F5	Переривання	PUSH PSW	Перша команда п/програми обслуговування переривання. Зберегти в стеці слово стану програми

Рис.1.38. Програма керування контактором із перериваннями

Адреса	Код команди	Мітка	Мнемокод	Коментарі
0009	3E 00		MVI A, 00	Записати в акумулятор код вимикання контактора К
000B	D3 47		OUT 47	Вимкнути контактор К
000D	F1		POP PSW	Відновити слово стану
000E	FB		EI	Дозволити переривання
000F	C9		RET	Повернення в перервану програму
0010	DB 47	Початок	IN 47	Ввести стан кнопки П "Пуск"
0012	E6 02		ANI 02	Виділити маскуванням біт зі станом кнопки П
0014	C2 1B 00		JNZ Кінець	Вийти з програми без вмикання контактора К
0017	3E 01		MVI A, 01	Записати в акумулятор код вмикання контактора К
0019	D3 47		OUT 47	Ввімкнути контактор К
001B		Кінець		1-я команда керування іншим ЗП

Рис.1.38. Продовження

З початку виконання підпрограми обробки переривання мікропроцесор перестає опитувати сигнал на вході INT. Наприкінці зазначеної підпрограми повинні бути підряд виконані дві команди - EI і RET. Особливість команди EI полягає в тому, що після неї процесор обов'язково виконає ще одну команду (по програмі команда RET), навіть якщо на вході INT буде присутній сигнал 1. Таким чином, підпрограма обробки переривання завжди буде довершена коректно: буде дозволене опитування сигналу запиту переривання з входу INT, і одночасне керування буде передано відкладеній команді.

До виконання блоку команд EI і RET кнопка С повинна бути відпущена, інакше будуть повторні запуски підпрограми вимикання контактора К.

По команді RET адреса відкладеної команди пересилається із стеку в лічильник команд PC. Значення покажчика стеку збільшується на 2.

Питання і завдання

1. Поясніть алгоритм обслуговування переривання.
2. Грунтуючись на схемі, визначте адресні простори ПЗП (програми керування контактором) і ОЗП.
3. Грунтуючись на схемі, визначте адреси ЗП введення (кнопки П) і виводу (контактора), види команд роботи з ЗП.
4. Грунтуючись на схемі, визначте стартову адресу підпрограми обслуговування переривання й адреса вершини стека.
5. Поясніть виконання на сигнальному рівні команд блоку ініціалізації програми.
6. Поясніть виконання на сигнальному рівні команд блоку переривання.
7. Поясніть виконання на сигнальному рівні команд блоку вмикання контактора.
8. Поясніть необхідність введення в підпрограму обслуговування переривання команд PUSH і POP.
9. Як виконується команда RET?

1.13. Програмувальний контролер паралельного інтерфейсу

Основним напрямком зниження вартості МПСК є масовий випуск плат, що можливо тоді, коли плата МПСК є універсальною – придатною для застосування в як можна більшому числі систем автоматики. Плати спеціалізовані коштують у кілька разів дорожче плат універсальних, тому що висока вартість проектування принципів електричних схем спеціалізованих МПСК і проектування друкованих плат під такі схеми.

Принцип програмного керування робить МПСК універсальною в застосуваннях, тому що алгоритм роботи реалізується не на рівні схем, а на рівні команд, оформлених у програми. У розглянутих вище схемах ядро МПСК - мікроЕОМ - є незмінною частиною принципової електричної схеми плати МПСК і задовольняє вимозі універсальності плати. Елементи схеми інтерфейсу є змінюваною частиною плати МПСК. Апаратна частина інтерфейсу складається з ІМС різного рівня інтеграції і служить для забезпечення введення і виводу інформації МП.

Якщо число каналів введення/виводу інформації не перевищує декількох сотень, то задача створення цілком універсальної плати в апаратній частині вирішується при використанні для введення/виводу ІМС програмувального паралельного інтерфейсу (ППІ, PPI) типу KP580BB55 (рис.1.6).

ППІ являє собою ІМС з великою кількістю каналів введення/виводу, причому кількість каналів, що працюють на введення і вивід, установлюється програмно. При впаяних у плату ІМС ППІ плата МПСК в апаратній частині стає універсальною, тому що варіанти використання ІМС ППІ на введення чи вивід визначаються програмою, що прошита у ПЗП.

ППІ KP580BB55 (рис.1.39) має три 8-розрядних порти введення/виводу - РА, РВ і РС. Порти РА і РВ можуть настраюватися цілком або на введення, або на вивід. Порт РС розбивається на дві частини, кожна з яких незалежно одна від одної може працювати на чи введення, чи на вивід. Порт РА тристабільний.

7 варіантів налаштування ППІ на введення і вивід приведені на рис.1.41.

В операціях налаштування ППІ використовуються об'єднання портів у групи А і В.

Четвертий 8-розрядний порт є шиною даних D7...D0 ППІ. Цей порт тристабільний.

Є 6 вхідних керуючих сигналів: читання \overline{RD} , запису \overline{WR} , скидання RES, вибору кристала \overline{CS} й адресації портів РА, РВ, РС ППІ і регістра керуючого слова (РКС) за допомогою двох біт А1 і А0 ША. Адресація провадиться відповідно до рис.1.40.

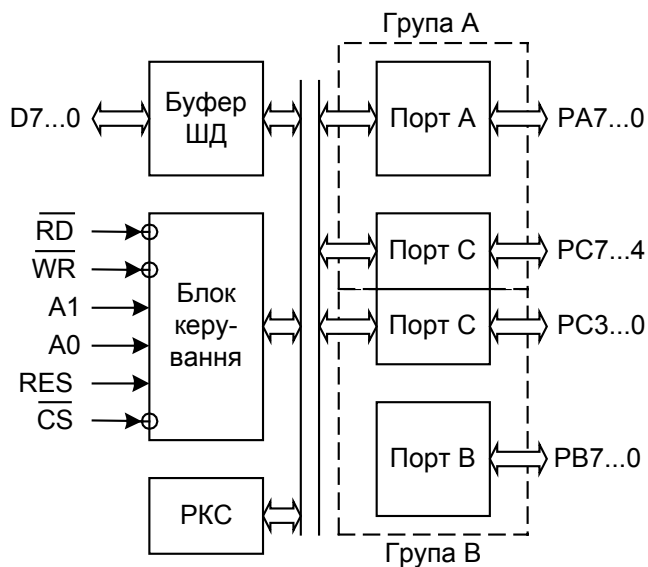


Рис.1.39. Функціональна схема ППІ типу KP580BB55

A1	A0	Елемент ППІ, що адресується
0	0	Порт РА (запис і читання байтами)
0	1	Порт РВ (запис і читання байтами)
1	0	Порт РС (запис і читання байтами)
1	1	РКС і порт РС у режимі запису бітами

Рис.1.40. Адреси портів та РКС

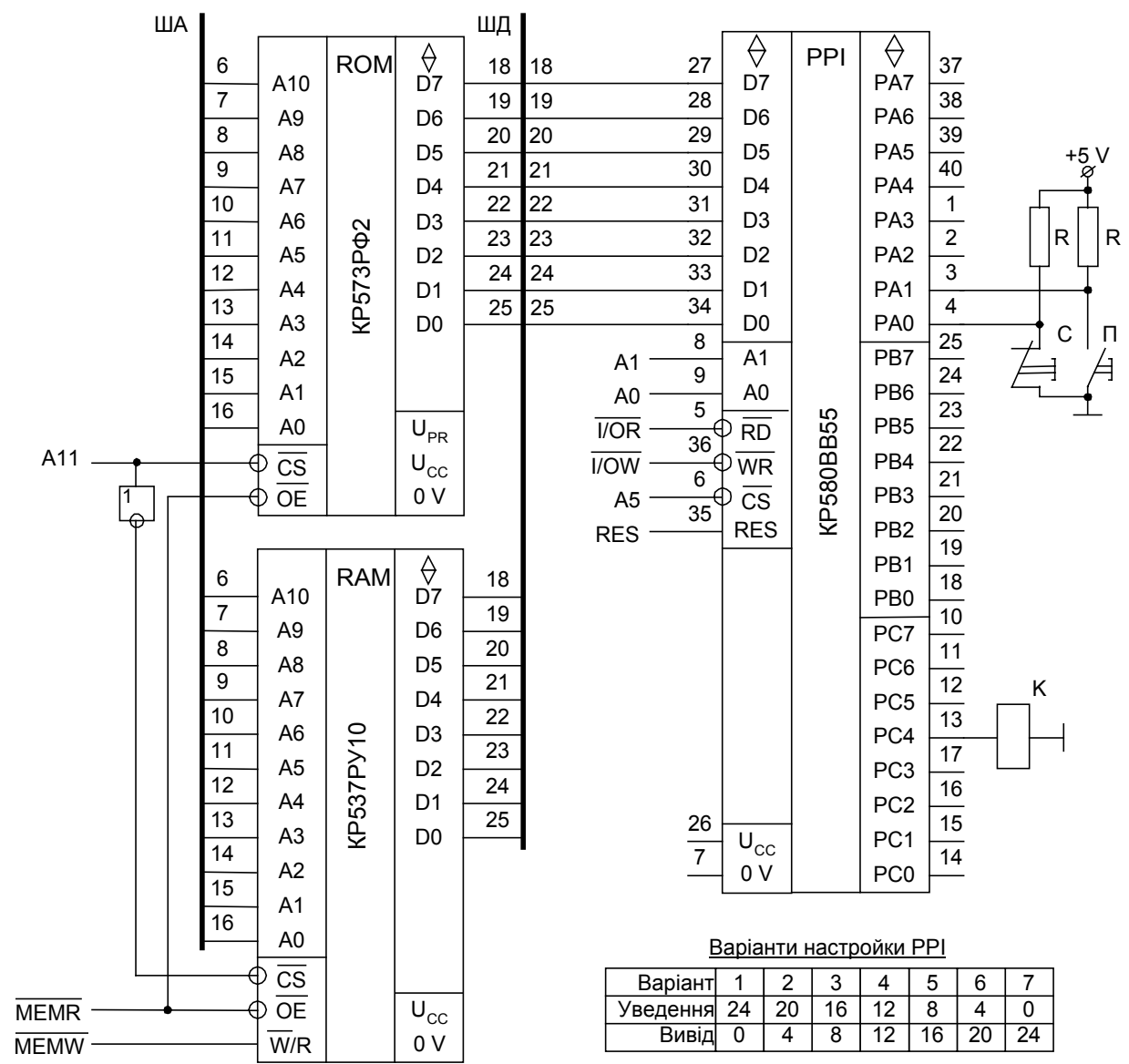
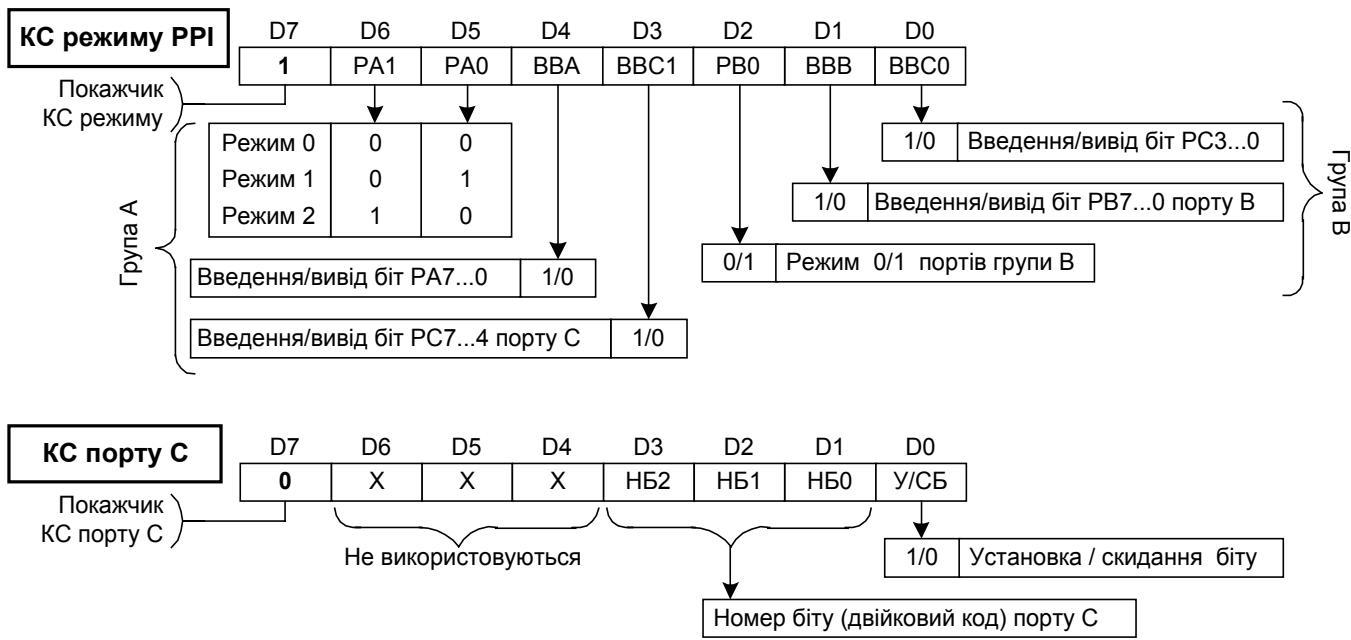


Рис.1.41. Програмувальний контролер паралельного інтерфейсу

Програмування ППІ полягає в завантаженні керуючого слова (КС) режиму в РКС. Формат КС режиму наведений на рис.1.41. ППІ можна настроїти на 3 режими [1,3,7,8,9,10,19]. У МПСК використовується тільки режим 0 – простого введення/виводу через усі порти ППІ.

Орієнтуючись на схему включення ППІ з роздільною системою шин, наведену на рис.1.41, виконаємо наступне настроювання (ініціалізацію) ППІ:

- на введення працюють порт РА і біти РС3...0 порту РС;
- на вивід працюють порт РВ і біти РС7...4 порту РС.

Програма настроювання наведена на рис.1.42.

Мнемокод	Коментарі
MVI A, 91	Завантаження в акумулятор А КС режиму 91H=1001.0001B, де: D7=1 (показчик КС режиму), D6D5=00 (режим 0 групи А), D4=1 (порт РА на введення), D3=0 (біти 7...4 порту РС на вивід), D2=0 (режим 0 групи В), D1=0 (порт РВ на вивід), D0=1 (біти 3...0 порту РС - введення)
OUT DF	Запис КС у РКС ППІ, де DFH=1101.1111B – адреса РКС, у якому A5=0 (вибір ІМС ППІ), а A1A0=11 – адреса РКС всередині ІМС ППІ

Рис.1.42. Програма настроювання (ініціалізації) ППІ

Після цієї ініціалізації можна читати інформацію з портів ППІ, настроєних на введення, і виводити інформацію через порти, настроєні на вивід.

Читання стану кнопок П и С, підключених до порту РА, провадиться командою згідно рис.1.43.

Мнемокод	Коментарі
IN DC	Переписати в акумулятор інформацію із ЗП, що має адресу DCH=1101.1100B – адреса порту РА ППІ, у якому A5=0 (вибір ІМС ППІ), а A1A0=00 – адреса порту РА усередині ІМС ППІ

Рис.1.43. Програма читання стану кнопок

Для вмикання контактора К, підключеного до біта РС4 порту РС, потрібно виконати дві команди згідно рис.1.44.

Мнемокод	Коментарі
MVI A, 10	Завантаження в акумулятор А коду 10H=0001.0000B, у якому D4=1
OUT DE	Вивід вмісту акумулятора А в порт РС із адресою DEH= 1101.1110B, у якому A5=0 (вибір ІМС ППІ), а A1A0=10 – адреса порту РС усередині ІМС ППІ. Контакт К ввімкнеться, тому що РС4=1

Рис.1.44. Програма включення контактора К

Вивід у порт РС можна робити бітами, застосувавши керуюче слово порту С (рис.1.41). Нехай на вивід РС6 потрібно послати короткий одиничний імпульс. Програма такої послідовності приведена на рис.1.45.

При виконанні цієї програми не змінювався стан виводу РС4, до якого підключений контактор К. Для послідовності при умовах незмінності сигналу на виводі РС4 ті ж одиничні імпульси прямо в порт РС за програмою, приведеною на рис.13.6, треба було б 8 команд, що вдвічі більше, ніж у програмі на рис.1.45.

Мнемокод	Коментарі
MVI A, 0D	Завантаження в акумулятор А коду 0DH=0000.1101В, у якому: D7=0 (показчик ЗПС порту РС), D6D4D5=000 (можуть бути будь-які числа), D3D2D1=110 (двійковий код числа 6 - номера виводу РС6), D0=1 (біт РС6 установити в 1)
OUT DF	Вивід вмісту акумулятора А в ППІ з адресою DFH= 1101.1111В, у якому A5=0 (вибір ІМС ППІ), а A1A0=11 – адреса РКС усередині ІМС ППІ. Тому що в РКС посилається байт, у якому D7=0, те внутрішньою схемою ППІ буде зроблений не запис байта в РКС, а установка в 1 біта РС6
MVI A, 0C	Завантаження в акумулятор А коду 0DH=0000.1100В, у якому: D0=0 (біт РС6 скинути в 0)
OUT DF	Вивід вмісту акумулятора А в ППІ – скидання в 0 біта РС6

Рис.1.45. Програма послілки одиничного імпульсу

Перш ніж перейти до програми керування контактором у схемі з ППІ, відзначимо особливості адресації корпусів ІМС на рис.1.41. На приведеній схемі немає дешифраторів. При наявності вільних біт ША, що не використовуються адресними входами ні ІМС пам'яті, ні схем ЗП, вибрати ці ІМС і ЗП через входи \overline{CS} , \overline{OE} і т.п. можна нульовими значеннями не використаних біт. Так, для роботи з одним ППІ, приведеним на рис.1.41, обов'язково використовуються біти A1 і A0. Іншими шістьма бітами A7...A2 можна адресувати без застосування дешифратора шість ЗП, звертаючись до них по наступних адресах:

0111.11XX, 1011.11XX, 1101.11XX, 1110.11XX, 1111.01XX, 1111.10XX

де X=0 чи X=1 відповідно до рис.1.40.

У цьому ряді адрес 0 переміщається уздовж лінії коду адреси. Така адресація корпусів ІМС пам'яті і ЗП називається лінійною адресацією. На рис.1.41 для адресації ППІ обраний біт A5.

Дві приведені на рис.1.41 ІМС пам'яті використовують для адресації біти A0...A10 ША. П'ять біт (A11...A15) можна використовувати для адресації корпусів ІМС пам'яті. На схемі використовується для такої цілі біт A11, так що при A11=0 вибирається ІМС ПЗП, а при A11=1 вибирається ІМС ОЗП.

Програма керування контактором приведена на рис.1.46 (прийнята умова, що стартова адреса програми керування контактором дорівнює 0236H).

Адреса	Код команди	Мітка	Мнемокод	Коментарі
0000	3E 91	Ініціал.	MVI A, 91	Настроювання портів ППІ (рис.1.42)
0002	D3 DF		OUT DF	
:			:	
0236	DB DC		IN DC	Читання порту РА (рис.1.43)
0238	47		MOV B, A	Копію стану кнопок у регістр У
0239	E6 01		ANI 01	Виділити біт стану кнопки С
023B	C2 4B 02		JNZ Викл. К	Якщо С натиснута, то К вимкнути
023E	78		MOV A, B	Стан кнопок в акумулятор А

Рис.1.46. Програма керування контактором з використанням ППІ

Адреса	Код команди	Мітка	Мнемокод	Коментарі
023F	E6 02		ANI 02	Виділити біт стану кнопки П
0241	C2 4F 02		JNZ Кінець	Якщо П натиснута, то К ввімкнути, інакше вийти з програми
0244	3E 09	Ввім. К	MVI A, 09	Ввімкнути контактор К, використовуючи КС порту РС (09H=0000.1001B)
0246	D3 DF		OUT DF	
0248	C3 4F 02		JMP Кінець	Вийти з програми
024B	3E 08	Вимк К	MVI A, 08	Вимкнути контактор К, використовуючи КС порту РС (08H=0000.1000B)
024D	D3 DF		OUT DF	
024F		Кінець		1-я команда керування іншим ЗП

Рис.1.46. Продовження

Питання і завдання

1. Обґрунтуйте доцільність застосування в МПСК мікросхеми ППІ.
2. Поясніть функціональну схему ППІ.
3. Для чого служать керуючі слова режиму і порту С?
4. Ґрунтуючись на схемі, визначте адресні простори мікросхем пам'яті (ПЗП й ОЗП) і ППІ.
5. Ґрунтуючись на схемі, визначте адреси ЗП введення (кнопок) і виводу (контактора), види команд роботи з ЗП.
6. Складіть програму настроювання ППІ на заданий варіант уведення-висновку.
7. Складіть команди установки і скидання заданого біта порту С.
8. Поясніть виконання на сигнальному рівні команд програми керування контактором.

1.14. Програмувальний контролер переривань

Програмувальний контролер переривань (ПКП) типу КР580ВН59 широко застосовується в МПСК і служить для обробки до 8 запитів переривання відповідно до призначених їм пріоритетів. Схемою ПКП передбачена можливість об'єднання до 9 ПКП в один блок переривань МПСК, що обробляє до 64 запитів переривання.

1.14.1. Функціональна схема ПКП. Настроювання режимів роботи

Функціональна схема ПКП типу КР580ВН59 приведена на рис.1.47.

Програмування контролера полягає у визначенні режиму (дисципліни) обробки сигналів запитів переривання IR0...IR7. З декількох можливих режимів [1,3,7,8,9,10,19] розглянемо тільки два, котрі найчастіше використовуються в МПСК:

1). Режим фіксованих пріоритетів. Вищий пріоритет призначається запиту IR0, нижчий - IR7. У проміжних запитів IR1...IR6 пріоритет знижується при русі від запиту IR0 до запиту IR7. У цьому режимі ПКП сам викликає підпрограму обслуговування переривання. Пріоритети запитам призначаються з тією метою, щоб запит вищого пріоритету, що надійшов, був би виконаний раніш за рахунок припинення обслуговування запиту нижчого пріоритету.

2). Режим опитування, при якому ПКП сприймає сигнали IR0...IR7 запитів переривання, виділяє з них запит з вищим пріоритетом, але не викликає сам під-програму обслуговування переривання. МП повинний періодично звертатися до ПКП із метою з'ясування того, чи надійшли запити переривання.

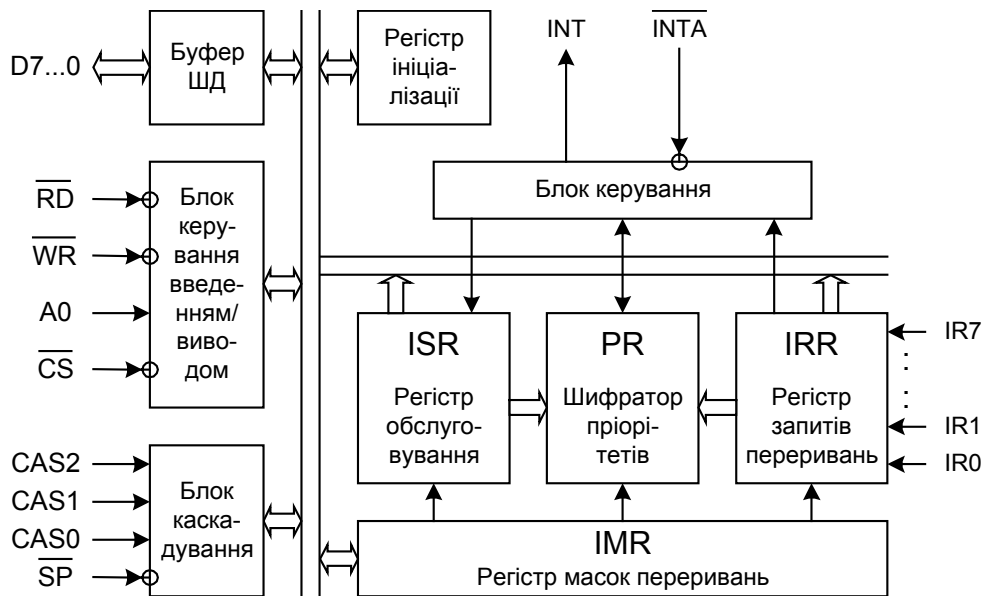


Рис.1.47. Функціональна схема ПКП типу КР580ВН59

Ядро ПКП складають три регістри:

IRR - регістр запитів переривань, що детектує фронт сигналів IR0...IR7 (перехід з 0 у 1), встановлює в 1 відповідний внутрішній тригер при готовності МП до обслуговування запиту переривання і скидає тригер у 0 з моменту початку обслуговування МП запиту переривання.

ISR – регістр обслуговування. У цьому регістрі зберігається інформація про ті запити, що були прийняті МП до обслуговування, причому стан обслуговування може бути будь-яким: обслуговування перерване, запит обслуговується й обслуговування завершено.

IMR – регістр масок переривань, у якому відзначені запити, допущені і заборонені до обслуговування.

Реакція ПКП і МП на запит, що надійшов, зводиться до наступного:

1). По фронту сигналу IRN (N=0...7) регістр IRR формує сигнал постійного рівня 1, причому, якщо до відповіді МП сигналом $\overline{INTA} = 0$ (див. п.4) сигнал IRN скинеться в 0, те це буде сприйматися як відсутність запиту.

2). У роботу вступає шифратор пріоритетів PR, який виконує аналіз вмісту регістрів IRR, ISR і IMR. Якщо в регістрі масок переривань IMR запит, що надійшов, відзначений як заборонений до обслуговування, чи в регістрі обслуговування ISR уже відзначені запити рівного чи вищого пріоритетів, що обслуговуються, то запит, що надійшов, одержує відмовлення. У протилежному випадку шифратор пріоритетів PR через блок керування посилає в МП сигнал $INT=1$ запиту переривання.

3). МП, якщо переривання не заборонені, переходить до виконання командного циклу "Підтвердження переривання". У циклі М1 формується імпульс $\overline{INTA} = 0$ "Обслуговування переривання" (рис.1.26). Нагадаємо, що з моменту ви-

конання командного циклу "Підтвердження переривання" МП відключається від входу INT, про що повідомляє сигналом $INTE=0$. Сигнал INTE можна також скинути в 0, виконавши команду DI – "Заборона переривань". Для того, щоб МП реагував на сигнал, що надходить на вхід INT, раніше повинна бути виконана команда EI - "Дозвіл переривань".

4). По 1-му імпульсові $\overline{INTA} = 0$, прийнятому ПКП, ним виставляється на ШД код CD команди CALL і одночасно в регістрі IRR запитів переривань фіксується (засувається у тригері) рівнем 1 запит переривання, що надійшов. Тепер скидання в 0 сигналу IRN не зупинить процес запуску підпрограми обслуговування переривання.

5). МП, прийнявши код CD, продовжує виконання командного циклу "Підтвердження переривання", але діаграми сигналів будуть трохи відрізнятися від тих, котрі приведені на рис.1.26. У циклах M2 і M3 мікропроцесор посилає щораз імпульси $\overline{INTA} = 0$ і зчитує інформацію з ПКП.

6). По 2-му імпульсу $\overline{INTA} = 0$ ПКП виставляє на ШД молодший байт стартової адреси підпрограми обробки переривання, а по 3-му імпульсу - старший байт стартової адреси. Таким чином, у лічильник команд МП буде завантажена повна стартова адреса підпрограми обробки переривання. Ця адреса може бути довільною з області адрес ПЗП. Такий вільний вибір стартових адрес блоку підпрограм обробки переривання переважніше фіксованого їхнього розташування, що характерно при застосуванні команди RST (рис.1.36), для якої стартові адреси розташовуються тільки на початку області адрес ПЗП.

7). МП виконує цикли M4 і M5, зберігаючи адресу відкладеної команди в стеці.

8). ПКП після передачі старшого байта стартової адреси:

- скидає сигнал INT у нуль;
- скидає в регістрі IRR запитів переривань у нуль тригер-засувку останнього запиту переривання;

- встановлює в регістрі обслуговування ISR у 1 тригер-засувку останнього прийнятого до обслуговування запиту переривання, котрий є запитом зі старшим пріоритетом із усіх зафіксованих у регістрі ISR.

На цьому МП приступає до обслуговування запиту переривання. Зв'язок ПКП із МП втрачається до надходження нового запиту IRN. ПКП не може самостійно визначити те, у якому стані знаходиться процес обслуговування допущених запитів переривання. МП, завершивши виконання підпрограми обслуговування переривання, повинен змінити вміст тригера ISR ПКП для того, щоб ПКП продовжив прийом нових і повторних запитів переривань.

Робота ПКП настроюється шляхом запису в нього керуючих слів ініціалізації (КСІ) і керуючих слів операцій (КСО). Програмна модель ПКП, згідно рис.1.47, являє собою набір, що складається з регістрів IRR, ISR, IMR, регістра ініціалізації й ін. (останні з розуміння простоти малюнок на ньому не показані).

Для настроювання на режим фіксованих пріоритетів потрібно до дозволу командою EI переривань зробити ініціалізацію ПКП за допомогою двох керуючих слів – КСІ1 і КСІ2 (рис.1.48).

Ознаками КСІ1 є значення біта адреси $A0=0$ і групи біт даних – $D4D3D0=100$.

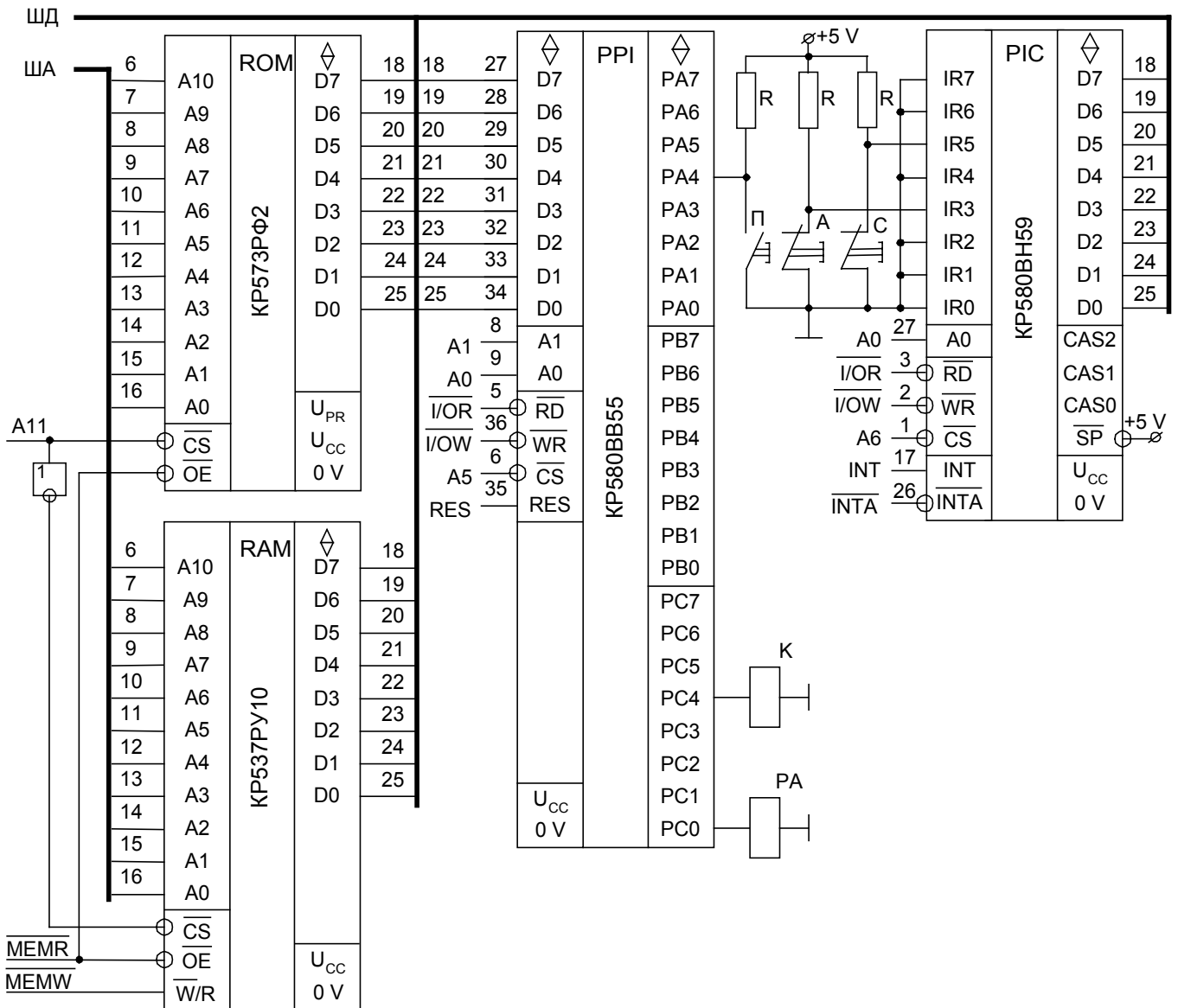
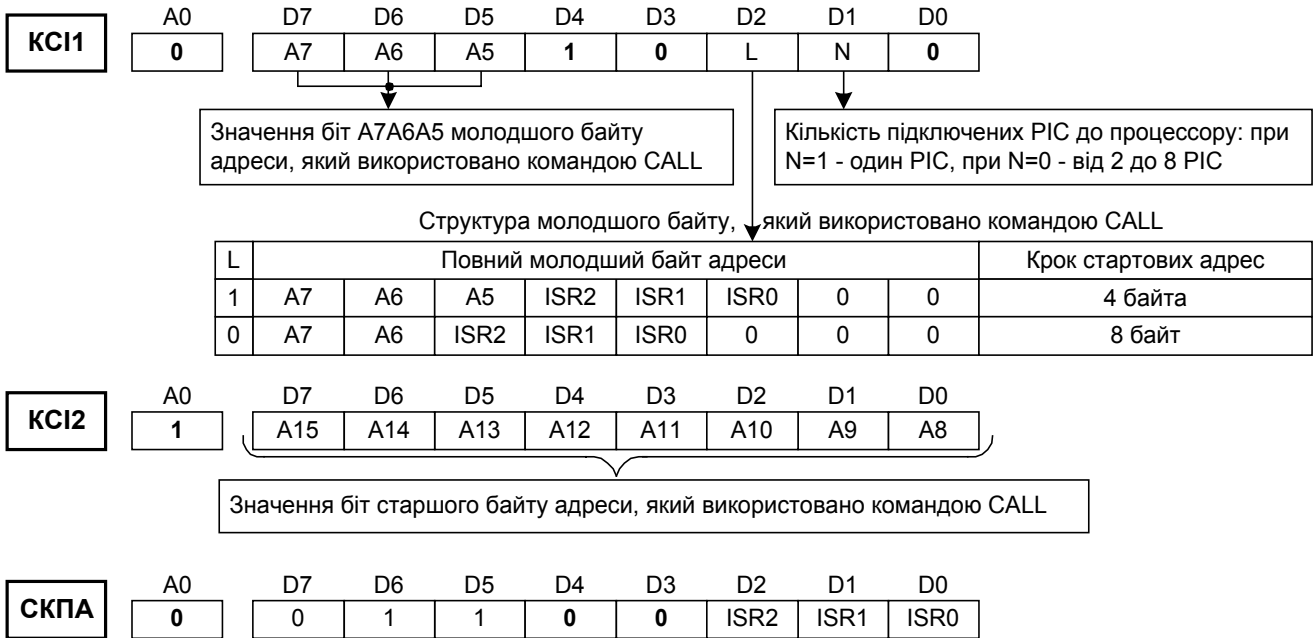


Рис.1.48. Програмувальний контролер пріоритетних переривань

Ознаками КСІ2 є біт адреси А0=1 і запис КСІ2 при наступному звертанні до ПКП після запису в нього КСІ1.

КСІ1 містить інформацію про структуру блоку переривань МПСК і про молодший байт стартової адреси підпрограми обслуговування переривання.

При D1=1 блок переривань МПСК складається тільки з одного ПКП і обслуговує до 8 запитів переривань. У цьому випадку потрібно на вхід \overline{SP} ПКП подати 1, а виводи каскадування CAS0, CAS1 і CAS2 не використовувати.

При D1=0 блок переривань МПСК може містити від 2 до 9 ПКП і обслужити до 64 запитів переривання, причому один з них є ведучим, а інші – веденими. ПКП поєднуються в блок лініями каскадування, на ведучий подається $\overline{SP} = 1$, а на ведені - $\overline{SP} = 0$ [1,3,7,8,9,10,19].

Біт D2 КСІ1 визначає структуру і зміст молодшого байта стартової адреси підпрограми обслуговування переривання. Формат молодшого байта при D2=1 і D2=0 приведений, відповідно, на рис.1.49а і рис.1.49б.



Рис.1.49. Формат молодшого байта стартової адреси

КСІ2 містить старший байт стартової адреси підпрограми обслуговування переривання.

Після введення КСІ1 і слідом за ним – КСІ2 устанавлюється режим фіксованих пріоритетів, а в регістри IRR, ISR і IMR записуються нулі.

Розглянемо приклад ініціалізації ПКП у складі схеми, приведеної на рис.1.48, із призначенням стартової адреси 0780H підпрограми обслуговування переривання запиту IR0 і стартовими адресами наступних запитів, що відстоять одне від одного з кроком 8 байт. Програма ініціалізації приведена на рис.1.50.

Мнемокод	Коментарі
MVI A, 92	Завантаження в акумулятор А коду 92H=1001.0010B, у якому: D7D6=10 (два старших розряди А7А6 молодшого байта адреси), D5=0 чи 1 (біт не використовується, і його значення може бути довільним), D4D3D0=100 (ознака КСІ1), D2=0 (крок адрес 8 байт), D1=1 (один ПКП)
OUT BE	Вивід КСІ1 у ПКП з адресою BE= 1011.1110B, у якому А6=0 (вибір ІМС ПКП), А0=0 – ознака КСІ1

Рис.1.50. Програма ініціалізації ПКП

Мнемокод	Коментарі
MVI A, 07	Завантаження в акумулятор А коду 07H=0000.0111В – старшого байта адреси
OUT BF	Вивід КСІ2 у ПКП з адресою BFH= 1011.1111В, у якому А6=0 (вибір ІМС ПКП), А0=1 – ознака КСІ2

Рис.1.50. Продовження

Відповідно до проведеної ініціалізації стартові адреси для всіх можливих запитів IR0...IR7 будуть наступними (затемненими відзначені біти адреси, формовані за даними регістра ISR):

- для IR0:	0 0 0 0. 0 1 1 1. 1 0 0 0. 0 0 0 0 В = 0780H
- для IR1:	0 0 0 0. 0 1 1 1. 1 0 0 0. 1 0 0 0 В = 0788H
- для IR2:	0 0 0 0. 0 1 1 1. 1 0 0 1. 0 0 0 0 В = 0790H
:	
- для IR7:	0 0 0 0. 0 1 1 1. 1 0 1 1. 1 0 0 0 В = 07B8H

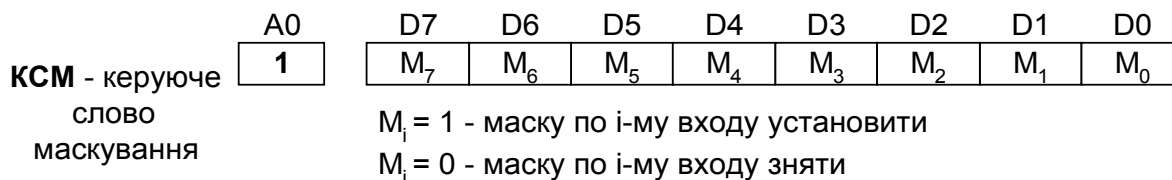
МП, завершивши підпрограму обслуговування переривання, повинний сповістити про це ПКП для того, щоб видалити з регістра ISR інформацію про обслугований запит переривання. Після цього ПКП може надалі посилати в МП сигнал запиту переривання INT=1 для запитів IRN, що підійшли, того ж чи нижчих пріоритетів. Для такої цілі використовується або команда СКПА – слова кінця переривання адресованого (рис.14.2), або команда СКП – слова кінця переривання без вказівки адреси, що має код 20H. Ознаками СКПА і СКП є А0=0 і D4D3=00. У команді СКПА бітами D2D1D0 задається двійковий код номера обслугованого запиту переривання, інформацію про яке потрібно видалити з регістру ISR. Блок команди завершення підпрограми обслуговування переривання по запиту IR5 приведений на рис.1.51.

Мнемокод	Коментарі
MVI A, 65	Завантаження в акумулятор А коду СКПА 65H=0110.0101В, у якому: D2D1D0=101 – код числа 5
OUT BE	Вивід СКПА в ПКП з адресою BE= 1011.1110В, у якому А6=0 (вибір ІМС ПКП), А0=0 – ознака СКПА
EI	Дозвіл переривань. Переривання дозволяються не відразу після виконання цієї команди, а тільки після виконання однієї команди - у даному випадку – команди RET
RET	Повернення з підпрограми обслуговування переривання на адресу відкладеної в стеці команди

Рис.1.51. Завершення підпрограми обслуговування переривання

Команду СКП можна використовувати тільки в режимі роботи ПКП із фіксованими пріоритетами. Із регістра ISR буде видалена інформація про останній обслугований запит переривання. При використанні СКП у програмі потрібно зробити заміну команди MVI A, 65 на команду MVI A, 20.

За допомогою керуючого слова маскування (заборони обслуговування) (рис.1.52) у будь-який момент часу після завершення ініціалізації можна програмно установити і скинути окремі біти регістру масок переривань IMR. При вмиканні живлення чи скиданні в усі біти M_i регістру IMR записуються нулі.



Мнемокод	Коментарі
Маскування запитів переривання, що надходять на входи IR1 і IR3	
MVI A, 0A	Завантаження в акумулятор А коду 0AH=0000.1010 КСМ, у якому рівні 1 біти D1 і D3 маскування запитів IR1 і IR3
OUT BF	Вивід керуючого слова маскування в ПКП з адресою BFH=1011.1111, у якому A6=0 (вибір ІМС ПКП), A0=1 (ознака КСМ)
Зняття маски з усіх запитів переривання	
MVI A, 00	Завантаження в акумулятор А коду 00H=0000.0000 керуючого слова зняття маски з усіх запитів переривання
OUT BF	Вивід керуючого слова маскування в ПКП з адресою BF

Рис.1.52. Формат керуючого слова і програма маскування

Режим опитування МП настраюється програмою, приведеною на рис.1.53.

Мнемокод	Коментарі
MVI A, 0C	Завантаження в акумулятор А коду 0C керуючого слова режиму опитування ПКП
OUT BE	Вивід вмісту акумулятора А в ПКП з адресою BE

Рис.1.53. Настроювання режиму опитування

Після цього настроювання ПКП із прийнятих сигналів запитів переривання IR0...IR7 буде тільки формувати двійковий код запиту з вищим пріоритетом і зберігати його в слові стану ПКП (рис.1.54).

	D7	D6	D5	D4	D3	D2	D1	D0
	I	x	x	x	x	IRR2	IRR1	IRR0
	I=0/1 – немає запиту/є запит	Не використовуються				Код запиту вищого пріоритету		

Рис.1.54. Формат слова стану ПКП

Програма читання слова стану приведена на рис.1.55.

Мнемокод	Коментарі
MVI A, 0C	Завантаження в акумулятор А коду 0C керуючого слова режиму опитування ПКП
OUT BE	Вивід керуючого слова стану в ПКП з адресою BE. Цим виводом МП повідомляє ПКП, що наступною командою буде читання слова стану
IN BE	Читання слова стану (пересилання вмісту в акумулятор МП)

Рис.1.55. Читання слова стану ПКП

1.14.2. МПСК з програмувальним контролером переривань

Принципова схема МПСК приведена на рис.1.48. Проводиться вмикання і вимикання контактора К с допомогою кнопок П - "Пуск" і С – "Стоп", а також

введена кнопка А аварійного відключення не тільки контактора К, але і всіх об'єктів автоматизації. Останнє виконується за допомогою реле аварійного РА, що своїми контактами впливає на ланцюги відключення усіх об'єктів. Кнопки С і А заведені на ПКП на входи, відповідно, IR5 і IR3. Кнопка А має пріоритет вищий, ніж у кнопки С. При одночасному натисканні кнопок А і С у першу чергу буде виконана підпрограма обслуговування кнопки А.

У схемі застосована лінійна адресація ІМС пам'яті і ІМС зовнішніх пристроїв – ППІ і ПКП. Адреси ППІ (вибір ППІ бітом А5): РА – DCH, РВ – DDH, РС – DEH, РКС - DFH. Адреси ПКП (вибір ПКП бітом А6): КСІ1 і СКП - ВЕН, КСІ2 - ВFH.

Програма керування контактором К і аварійного вимикання приведена на рис.1.56.

Адреса	Код команди	Мітка	Мнемокод	Коментарі
0000	3E 90	Ініціал. ППІ	MVI A, 90	Ініціалізація ППІ: - порт РА на введення;
0002	D3 DF		OUT DF	- порти В и С на вивід
0004	31 FF 0F	Стек	LXI SP, 0FFF	Завантаження вершини стека
0007	3E 92	Ініціал. ПКП	MVI A, 92	Ініціалізація ПКП (див. рис.1.50)
0009	D3 BE		OUT BE	
000B	3E 07		MVI A, 07	
000D	D3 BF		OUT BF	
000F	FB		EI	Дозвіл переривань
Початок блоку основних програм користувача				
:		:	:	:
		Поч. К	IN DC	Читання порту РА
			ANI 10	Виділення біта стану кнопки П
			JNZ Кін. К	Контактор К не вмикати, якщо П=1
			MVI A, 09	Ввімкнути контактор К, використувуючи КС порту С (див. рис.1.41)
			OUT DF	
		Кін. К		
:		:	:	:
Кінець блоку основних програм користувача				
0798	F5	П/п IR3	PUSH PSW	Зберегти в стеці PSW (див. рис.1.15)
0799	3E 01		MVI A, 01	Вімкнути контактор К, ввімкнути аварійне реле РА
079B	D3 DE		OUT DE	
079D	3E 20		MVI A, 20	Вивід у ПКП слова кінця переривання (див. рис.1.51)
079F	D3 BE		OUT BE	
07A1	F1		POP PSW	Витягти зі стека PSW
07A2	FB		EI	Дозволити переривання
07A3	C9		RET	Вийти з підпрограми
07A4	00 ... 00		NOP	4 холості операції
07A8	FB	П/п IR5	EI	Дозволити переривання*
07A9	F5		PUSH PSW	Зберегти в стеці PSW (див. рис.1.15)

Рис.1.56. Програма керування контактором з використанням ПКП

Адреса	Код команди	Мітка	Мнемокод	Коментарі
07AA	3E 08		MVI A, 08	Виключити контактор К, використовуючи КС порту С
07AC	D3 DF		OUT DF	
07AE	3E 20		MVI A, 20	Вивід у ПКП слова кінця переривання (див. рис.1.51)
07B0	D3 BE		OUT BE	
07B2	F1		POP PSW	Витягти зі стека PSW
07B3	C9		RET	Вийти з підпрограми

Рис.1.56. Продовження

* У підпрограмі П/п IR5 обслуговування запиту переривання IR5 відразу дозволяються переривання на той випадок, коли може надійти запит від IR3 більш високого пріоритету і він повинний перервати підпрограму П/п IR5.

Питання і завдання

1. Обґрунтуйте доцільність застосування в МПСК мікросхеми ПКП.
2. Поясніть функціональну схему ПКП.
3. Для чого служать керуючі слова ініціалізації і керуючі слова режиму?
4. Для чого служать керуючі слова кінця переривання і маскуваня?
5. Як з КС11 і КС12 формуються стартові адреси підпрограм обслуговування переривань.
6. Грунтуючись на схемі, визначте адресні простори мікросхем пам'яті (ПЗП й ОЗП) і ПКП.
7. Грунтуючись на схемі, визначте адреси ЗП введення (кнопки П) і виводу (контактора К и реле РА), види команд роботи з ЗП.
8. Грунтуючись на схемі і результатах ініціалізації ПКП, визначте стартові адреси підпрограм обслуговування переривань.
9. Складіть програму настроювання ПКП на задані стартові адреси підпрограм обслуговування переривань.
10. Складіть програму завершення обслуговування переривання, використовуючи СКП і СКПА.
11. Складіть програму маскуваня заданих запитів переривань.
12. Складіть програми обробки переривань у режимі опитування.
13. Поясніть виконання на сигнальному рівні команд блоку ініціалізації програми.
14. Поясніть виконання на сигнальному рівні команд блоку обслуговування переривання при натисканні кнопки С ("Стін").
15. Поясніть виконання на сигнальному рівні команд блоку обслуговування переривання при натисканні кнопки А ("Аварія").
16. Поясніть виконання на сигнальному рівні команд блоку вмикання контактора.

1.15. Програмувальний інтервальний таймер

У МПСК дуже часто зустрічаються операції створення витримок часу, підрахунку числа імпульсів, генерування імпульсів. Для реалізації цих операцій доцільно використовувати ІМС програмувального інтервального таймера (ПІТ) типу КР580ВИ5.

Функціональна схема ПІТ приведена на рис.1.57. ПІТ містить 3 однакових 16-розрядних лічильники Ліч0, Ліч1 і Ліч2, що працюють на віднімання. На виводи CLK подаються рахункові імпульси. Сигналом GATE=1 рахунок дозволяється (старт лічильника), а зупиняється рахунок сигналом GATE=0 (стоп лічильника). При обнуленні лічильника виставляється сигнал OUT=1.

Кожен канал може бути настроєний на один із 6 режимів [1,3,7,8,9,10,19]: 0 – програмувальна затримка; 1 – мультівібратор, що чекає; 2 - дільник частоти в задане число разів; 3 - генератор меандру; 4 - строб із програмним запуском; 5 - строб з апаратним запуском. Нижче розглянемо тільки режим 0, що використовується в МПСК для створення витримок часу.

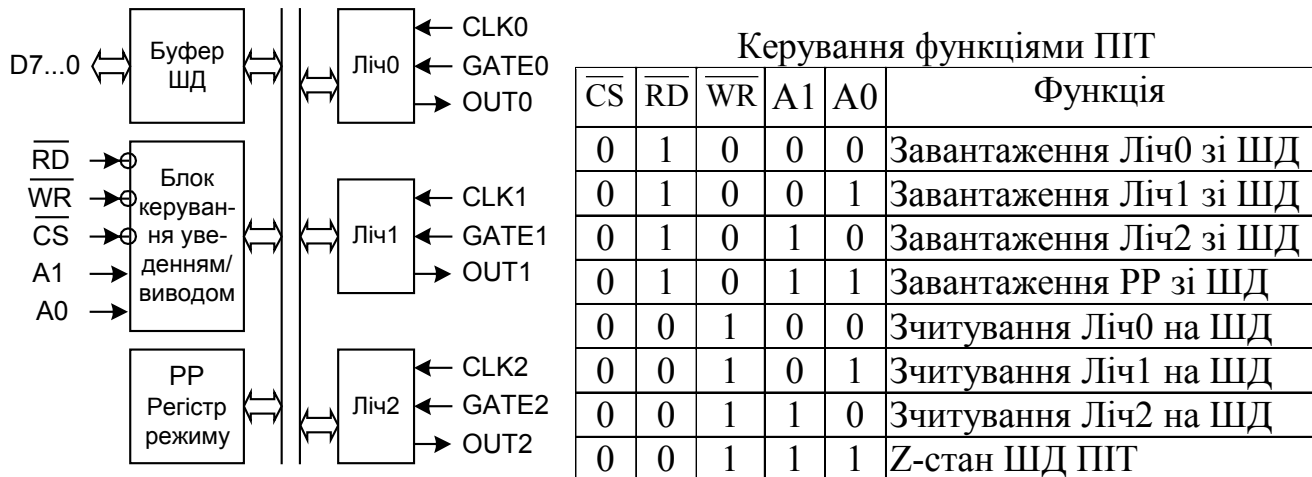


Рис.1.57. Функціональна схема ПІТ типу KR580VI53

У режимі 0 лічильник попередньо завантажується заданим не рівним нулю числом $N_{\text{Ліч}}$. Потім сигналом GATE=1 лічильник, що працює на віднімання, стартує. Згодом, через час $\tau = T_{\text{CLK}} \cdot N_{\text{Ліч}}$, де T_{CLK} – період рахункових імпульсів, лічильник набуде значення 0 і виставить сигнал OUT=1. Час τ є витримкою часу, сформованою ПІТ. Максимальна ємність лічильників $N_{\text{Ліч.МАКС}}$ складає $2^{16} = 65536$ імпульсів у режимі двійкового рахунку і 10^4 імпульсів у режимі десяткового рахунку. Сигнал OUT=1 можна завести на переривання або його може перевіряти періодично МП у процесі виконання програми. Якщо під час рахунку подати сигнал GATE=0, то лічильник зупиниться, його вміст збережеться, а з моменту подачі GATE=1 рахунок продовжиться від збереженого значення.

Ініціалізація ПІТ провадиться керуючим словом (рис.1.58), де наведені пояснення до значень біт цього слова. Розглянемо приклад ініціалізації лічильника Ліч0 на режим 0 десяткового рахунку з завантаженням спочатку молодшого, а потім старшого байта при включенні ПІТ у схемі на рис.1.58 для створення витримки часу 20 с. За схемою на вхід CLK0 лічильника подаються імпульси з періодом $T_{\text{CLK}} = 20$ мс (з частотою 50 Гц). Вибір ІМС ПІТ провадиться бітом A7 адреси.

Для створення витримки часу $\tau = 20$ с при періоді рахункових імпульсів $T_{\text{CLK}} = 20$ мс у лічильник попередньо потрібно завантажити число 1000_{10} . Тому що $1000_{10} < 10^4$, то виберемо режим десяткового рахунку, при якому лічильник являє собою набір з 4-х двійково-десяткових тетрад, у кожній з яких можна записати число від 0H до 9H (десяткові і 16-річні числа в інтервалі від 0 до 9 записуються однаковими символами). Для запису в Ліч0 числа 1000 потрібно в старший байт завантажити число 10H, а в молодший – 00H. Програма ініціалізації приведена на рис.1.59.

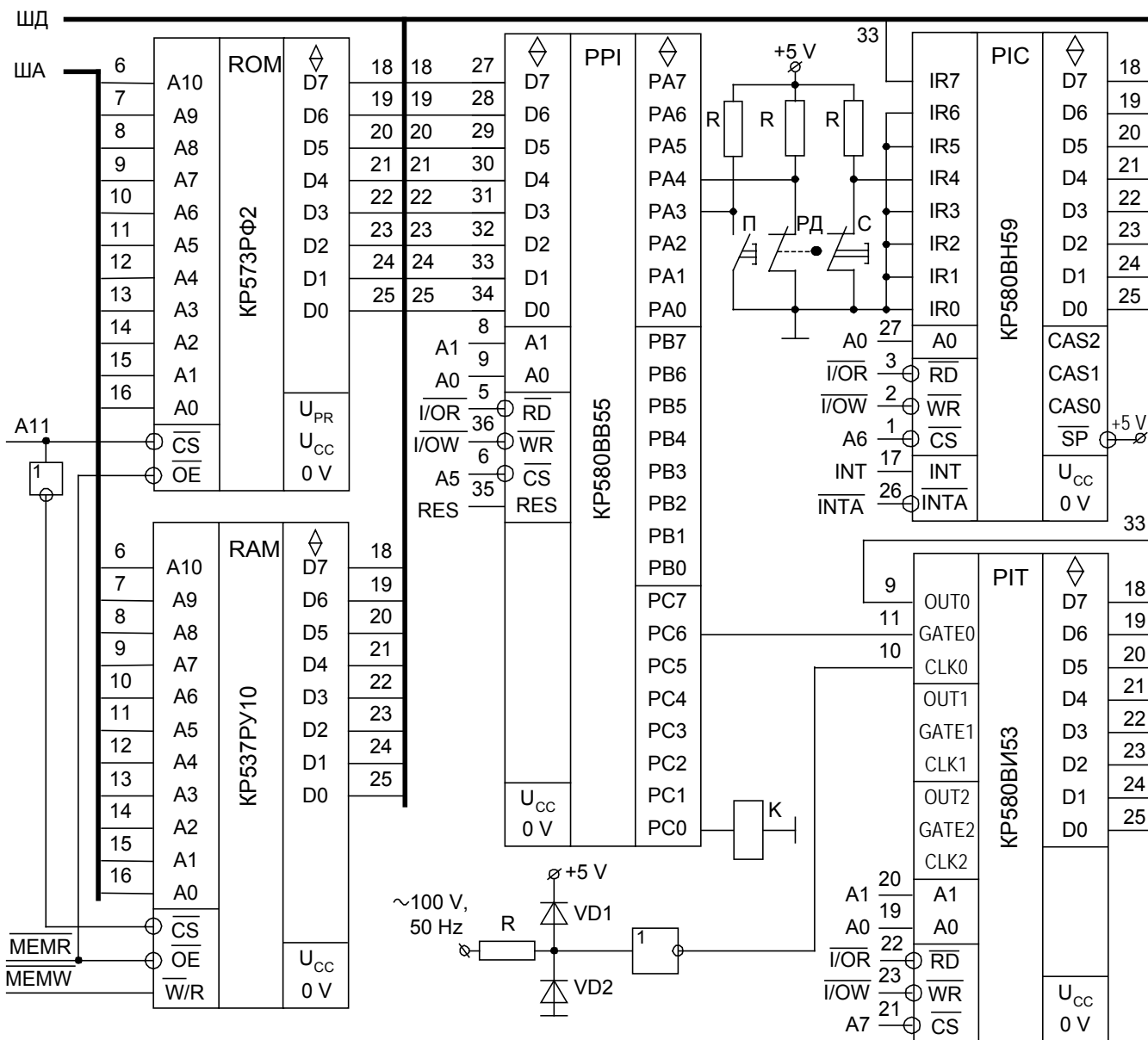
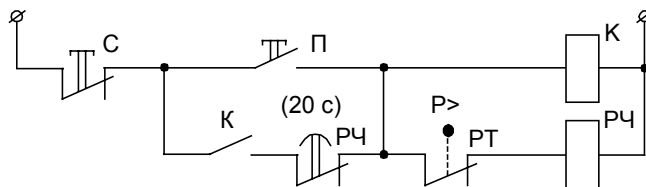
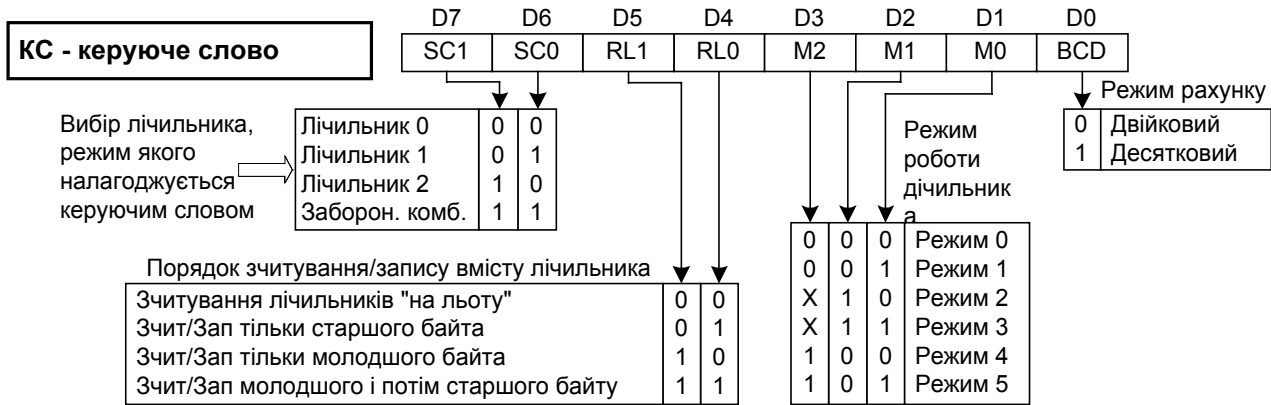


Рис.1.58. Програмувальний інтервальний таймер

Якби використовувався двійковий рахунок, то замість MVI A, 31 треба було ввести MVI A, 30, замість MVI A, 00 і MVI A, 10 ввести MVI A, E8 і MVI A, 03.

По закінченні рахунка установиться сигнал OUT0=1. Рахунок після цього може продовжуватися як завгодно довго, однак стан сигналу OUT0=1 не зміниться. Для скидання сигналу OUT0 у 0 необхідно знову провести ініціалізацію.

Вміст будь-якого лічильника може бути зчитано програмно двома способами: читання з зупинкою лічильника і читання "на льоту" – без зупинки рахунка.

Мнемокод	Коментарі
MVI A, 31	Завантаження в акумулятор керуючого слова 31H=0011.0001B, у якому D7D6=00 (обраний Ліч0), D5D4=11 (запис спочатку молодшого, а потім старшого байта Ліч0), D3D2D1=000 (режим 0), D0=1 (рахунок десятковий)
OUT 7F	Вивід за адресою 7FH=0111.1111B керуючого слова в регістр PP ПІТ. В адресі A7=0 (вибір ІМС ПІТ), A1A0=11 (адреса PP у ПІТ)
MVI A, 00	Завантаження в акумулятор молодшого байта лічильника
OUT 7C	Вивід за адресою 7CH=0111.1100B молодшого байта лічильника Ліч0. В адресі A7=0 (вибір ІМС ПІТ), A1A0=00 (адреса Ліч0 у ПІТ)
MVI A, 10	Завантаження в акумулятор старшого байта лічильника
OUT 7C	Вивід за адресою 7CH=0111.1100B старшого байта лічильника Ліч0

Рис.1.59. Програма ініціалізації ПІТ і настроювання на витримку часу 20 с

Для читання з зупинкою необхідно попередньо сигналом GATE0=0 зупинити рахунок, а потім виконати програму, приведену на рис.1.60. Потрібно обов'язково підряд виконати дві команди читання IN відповідно до проведеної ініціалізації лічильника (рис.1.59). У результаті виконання програми молодший байт виявиться в регістрі В, а старший байт – в акумуляторі А МП. Після зчитування потрібно знову запустити лічильник на продовження рахунка сигналом GATE0=1.

Мнемокод	Коментарі
IN 7C	Переслати молодший байт Ліч0 в акумулятор А МП
MOV В, А	Переслати вміст акумулятора А в регістр У МП
IN 7C	Переслати старший байт Ліч0 в акумулятор А МП

Рис.1.60. Програма читання лічильника з зупинкою

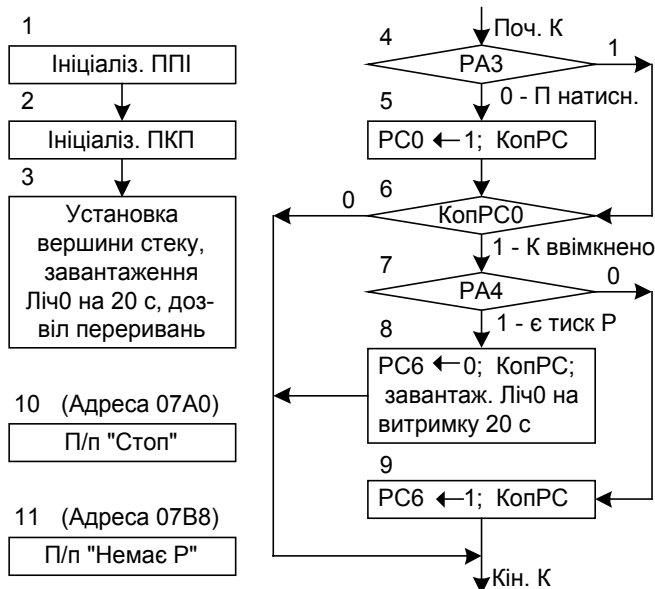
Для читання "на льоту" потрібно виконати програму, приведену на рис.1.61.

Мнемокод	Коментарі
MVI A, 01	Завантаження в акумулятор керуючого слова 01H=0000.0001B, у якому D7D6=00 (обраний Ліч0), D5D4=00 (читання лічильника "на льоту"), D3D2D1=000 (режим 0), D0=1 (рахунок десятковий)
OUT 7F	Вивід за адресою 7FH=0111.1111B керуючого слова в регістр PP ПІТ. В адресі A7=0 (вибір ІМС ПІТ), A1A0=11 (адреса PP у ПІТ)
IN 7C	Переслати молодший байт Ліч0 в акумулятор А МП
MOV В, А	Переслати вміст акумулятора А в регістр У МП
IN 7C	Переслати старший байт Ліч0 в акумулятор А МП

Рис.1.61. Програма читання лічильника "на льоту"

На рис.1.58 приведена МПСК насосною установкою, електродвигун якої вмикається/вимикається контактором К. Ручне керування здійснюється кнопками П і С. У схему введений контакт реле тиску РТ. Якщо тиск на виході насоса в нормі, то контакт РТ розімкнений. При зниженому тиску контакт РТ замикається і якщо малий тиск утримується, наприклад, протягом 20 с, те насос вимикається. Кнопка С і вихід сигналу OUT0 з ПІТ заведені на ПКП, причому пріоритет кнопки С вищий, що відображено в підключенні її до входу IR4 ПКП, а ПІТ підключений до IR7.

Алгоритм МПСК насосною установкою з контролем тиску приведений на рис.1.62, а програма – на рис.1.63.



1.62. Алгоритм МПСК насосом з контролем тиску

Блоки 1, 2 і 3 виконуються на початку програми. Підпрограма завантаження лічильника Сч0 на витримку 20 с розташована за адресою 03F0.

Блоки 4...9 – основна програма МПСК насосом.

Блок 5: Вмикається К, якщо кнопка П натиснута. Зберігається в ОЗП за адресою 0C00H копія сигналів, виведених через порт РС ППІ.

Блок 6: Перевірка, чи ввімкнений контактор К? Якщо ввімкнений, то далі перевірити тиск, інакше йти на кінець програми "Кін. К".

Блок 7: Перевірка тиску Р насоса, якщо він ввімкнений.

Блок 8: Стоп і перезавантаження лічильника на витримку 20 секунд

без його старту, якщо є тиск.

Блок 9: Старт лічильника на витримку часу 20 секунд.

Блок 10: Підпрограма реакції на натискання кнопки С.

Блок 11: Підпрограма реакції на відсутність тиску протягом 20 с.

Адреси підпрограм блоків 10 і 11 визначені за умови, що перша стартова адреса підпрограм обслуговування переривань прийнята рівною 0780H.

Початкова адреса основної програми керування насосом прийнята рівною 0300H.

У програмі використовується копія порту РС, по якій перевіряється (блок б), чи є живлення контактора К, що підключений до біта РС0 порту РС ППІ, і чи працює насос? Безпосередня перевірка біт РС0 і РС6 у порту РС неможлива.

Адреса	Код команди	Мітка	Мнемокод	Коментарі
0000	3E 90	M1	MVI A, 90	Ініціалізація ППІ: порт РА на введення; порти В і С на вивід
0002	D3 DF		OUT DF	
0004	3E 92	M2	MVI A, 92	Ініціалізація ПКП (див. рис.1.50)
0006	D3 BE		OUT BE	
0008	3E 07		MVI A, 07	
000A	D3 BF		OUT BF	

Рис.1.63. Програма керування насосом з контролем тиску

Адреса	Код команди	Мітка	Мнемокод	Коментарі
000С	31 00 10	М3	LXI SP, 1000	Завантаження вершини стека
000F	CD F0 03		CALL 20с	Завантаження Ліч0 на витримку 20 с
0012	FB		EI	Дозвіл переривань
Початок блоку основних програм користувача				
:		:	:	:
		Поч.К		
0300	DB DC	М4	IN DC	Читання порту РА
0302	E6 08		ANI 08	Виділення біта стану кнопки П
0304	C2 11 03		JNZ M6	К не вмикати, якщо П не натиснута
0307	3A 00 0C	М5	LDA 0C00	А←КопРС (копія порту РС ППІ)
030A	F6 01		ORI 01	Установка біта вмикання контактора
030C	32 00 0C		STA 0C00	Зберегти КопРС за адресою 0C00 ОЗП
030F	D3 DE		OUT DE	Ввімкнути контактор К
0311	3A 00 0C	М6	LDA 0C00	А←КопРС
0314	E6 01		ANI 01	Виділення біта стану контактора
0316	CA 3A 03		JZ Кін.К	На кінець програми, якщо К вимкнено
0319	DB DC	М7	IN DC	Читання порту РА
031B	E6 10		ANI 10	Виділення біта реле тиску РТ
031D	CA 30 03		JZ M9	На М9, якщо немає тиску Р
0320	3A 00 0C	М8	LDA 0C00	А←КопРС (копія порту РС ППІ)
0323	E6 BF		ANI BF	Підготовка байта для зупинки Сч0
0325	32 00 0C		STA 0C00	Зберегти КопРС за адресою 0C00 ОЗП
0328	D3 DE		OUT DE	Зупинити лічильник Ліч0
032A	CD F0 03		CALL 20с	Виклик програми ініціалізації ПІТ
032D	C3 3A 03		JMP Кін.К	На кінець програми
0330	3A 00 0C	М9	LDA 0C00	А←КопРС (копія порту РС ППІ)
0333	F6 40		ORI 40	Підготовка байта для старту Ліч0
0335	32 00 0C		STA 0C00	Зберегти КопРС за адресою 0C00 ОЗП
0338	D3 DE		OUT DE	Стартувати лічильник Ліч0
033A		Кін.К		1-а команда програми керування іншим об'єктом
:		:	:	:
03F0	F5	20 с	PUSH PSW	Зберегти в стеці PSW (див. рис.1.15)
03F1	3E 31		MVI A, 31	Ініціалізація ПІТ (див. рис.1.59)
03F3	D3 7F		OUT 7F	
03F5	3E 00		MVI A, 00	
03F7	D3 7C		OUT 7C	
03F9	3E 10		MVI A, 10	
03FB	D3 7C		OUT 7C	
03FD	F1		POP PSW	Витягти зі стека PSW
03FE	C9		RET	Вийти з підпрограми
Кінець блоку основних програм користувача				

Рис.1.63. Продовження

Адреса	Код команди	Мітка	Мнемокод	Коментарі
07A0	F5	M10	PUSH PSW	Зберегти в стеці PSW
07A1	3A 00 0C		LDA 0C00	A←КопРС (копія порту РС ПП)
07A4	E6 BE		ANI BE	Вимкнути К и зупинити Ліч0
07A6	D3 DE		OUT DE	
07A8	32 00 0C		STA 0C00	Зберегти КопРС за адресою 0C00 ОЗП
07AB	3E 20		MVI A, 20	Вивід у ПКП слова кінця переривання (див. рис.1.51)
07AD	D3 BE		OUT BE	
07AF	F1		POP PSW	Витягти зі стека PSW
07B0	FB		EI	Дозволити переривання
07B1	C9		RET	Вийти з підпрограми
07B2	00 ... 00		NOP	6 порожніх операцій
07B8	FB	M11	EI	Дозволити переривання
07B9	C3 A0 07		JMP M10	Йти на мітку M10

Рис.1.63. Закінчення

Питання і завдання

1. Обґрунтуйте доцільність застосування в МПСК мікросхеми ППТ.
2. Поясніть функціональну схему ППТ.
3. Для чого служать керуюче слова таймера?
4. Грунтуючись на схемі, визначте адресні простори мікросхем пам'яті (ПЗП й ОЗП), ППТ і ПКП.
5. Грунтуючись на схемі, визначте адреси ЗП введення (кнопки П, контакт реле тиску РТ) і виводу (контактора), види команд роботи з ЗП.
6. Складіть програму налаштування ППТ на задану витримку часу.
7. Поясніть роботу релейної схеми керування насосом з контролем тиску.
8. Поясніть роботу схеми формування рахункових імпульсів, що ідуть з частотою мережі.
9. Поясніть алгоритм керування насосом з контролем тиску. Навіщо створюється копія порту С?
10. Поясніть виконання на сигнальному рівні команд блоку ініціалізації програми.
11. Поясніть виконання на сигнальному рівні блоків основної програми керування насосом.
12. Поясніть виконання на сигнальному рівні команд блоку обслуговування переривання при натисканні кнопки С або при відсутності тиску протягом 20 с.

1.16. МПСК з введенням-виводом аналогової інформації

МПСК можуть керувати об'єктами з використанням аналогової інформації, якщо до її складу введені аналогоцифрові (АЦП) і цифроаналогові (ЦАП) перетворювачі.

У МПСК доцільно застосовувати ІМС АЦП типу КР572ПВ4, що забезпечує перетворення 8-ми аналогових сигналів і має стандартний інтерфейс для підключення до шин МП [6]. Функціональна схема АЦП приведена на рис.1.64. Робота

АЦП тактується синхроімпульсами CLK, частота яких дорівнює 2,5 МГц. 8 аналогових сигналів $U_{BX0} \dots U_{BX7}$ надходять на аналоговий комутатор, що з'єднує їх по черзі $U_{BX0}, U_{BX1}, \dots, U_{BX7} \dots$ з АЦП1, котрий перетворює в цифровий код тільки один аналоговий сигнал. Протягом 32 мкс сигнал перетвориться в АЦП1 у цифровий код розміром 1 байт, що переписується у відповідну комірку ОЗП ємністю 8 байт. Після закінчення $32 \cdot 8 = 256$ мкс (8 – кількість аналогових входів ІМС АЦП) всі комірки ОЗП будуть заповнені кодами всіх 8-ми вхідних аналогових сигналів. Далі буде виконуватися відновлення кодів відповідно до поточного значеннями аналогових сигналів.

Зчитування кодів з ОЗП АЦП проводиться по команді IN, адресна інформація якої дозволяє сформувати сигнал $\overline{CS} = 0$ і бітами A2A1A0 вибрати для читання комірку пам'яті ОЗП, а супровідний цю команду сигнал читання $\overline{I/OR} = 0$ за допомогою інвертора перетвориться в імпульс одиничного стробу ALE, по якому обраний комірку ОЗП з'єднується з буфером ШД АЦП.

Вид перетворених аналогових сигналів і коди вихідних цифрових сигналів залежать від рівнів опорних напруг U_{OP1} і U_{OP2} (табл.1.3), які підводяться до АЦП1 через зовнішні виводи ІМС АЦП. Ці залежності встановлюються для усіх восьми аналогових сигналів одночасно.

Таблиця 1.3

U_{OP1}	U_{OP2}	U_{BX}	Відповідність вихідних кодів вхідним напругам
+2,5 V	0	0...+2,5 V	0000.0000 (0 V)...1111.1111 (+2,5 V)
0	-2,5 V	0...-2,5 V	0000.0000 (-2,5 V)...1111.1111 (0 V)
1,25 V	-1,25 V	-1,25...+1,25 V	0000.0000 (-1,25 V)...1000.0000 (0,0049 V)...1111.1111 (+1,25 V)

З множини ІМС ЦАП [6] розглянемо ЦАП типу КР1108ПА2. Вхід ЦАП 8-розрядний (рис.1.6 і рис.1.64). Керування ЦАП здійснюється стандартними сигналами \overline{CS} і \overline{WR} . Вид вихідної аналогової напруги $U_{ВЫХ}$, що знімається з AN, залежить від способу підключення виводу FC1 на землю (табл.1.4).

Таблиця 1.4

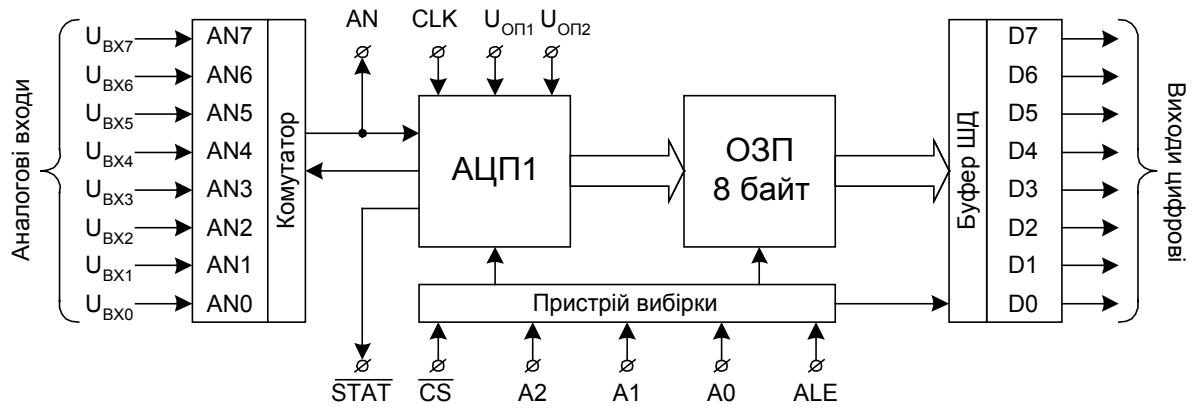
Вивід FC1 заземлений	Відповідність вихідної напруги вхідним кодам
- безпосередньо	0000.0000 (0 V)...1111...1111 (+2,5 V)
- через $C=0,1$ мкФ	0000.0000 (-1,25 V)...1000...0000 (0,0049 V)...1111...1111 (+1,25 V)

Живлення ЦАП від двох джерел: -15 В и +5 В. ІМС має два виводи землі: 0D V - земля цифрова і 0A V - земля аналогова.

Розглянемо приклад реалізації на основі МП системи автоматичного керування за структурною схемою, приведеною на рис.1.65. Прийемо регулятор П-типу з коефіцієнтом передачі $K=2$. МП повинний виконувати множення на коефіцієнт $K_{МП}$ цифрового коду сигналу U_{ϵ} , рівного різниці кодів сигналів $U_{ЗАВД}$ і $U_{ОК}$.

Принципова схема САК приведена на рис.1.64. АЦП працює в однополярному режимі, а ЦАП працює в двополярному режимі. Сигнали $U_{ЗАВД}$, $U_{РЕГ}$ і $U_{ОК}$ аналогові, а сигнали $C_{ЗАВД}$, $C_{ОК}$, Z_{ϵ} і $C_{РЕГ}$ цифрові (коди).

Коефіцієнти передачі для ІМС АЦП типу КР572ПВ4 і ЦАП типу КР1108ПА2, застосованих у схемі на рис.1.64, рівні



Функціональна схема АЦП типу КР572ПВ4

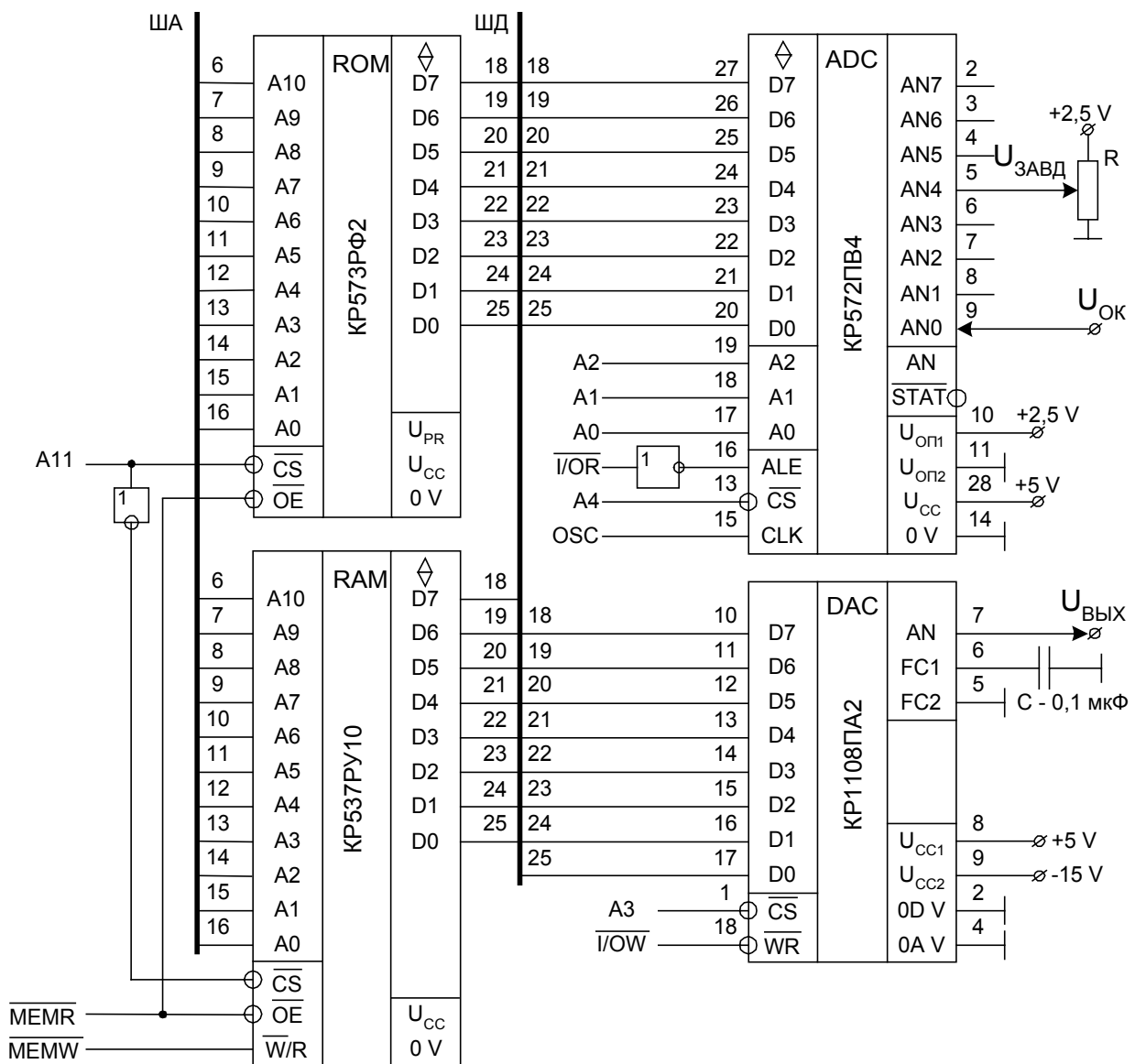


Рис.1.64. Введення-виведення аналогової інформації

$$K_{\text{АЦП}} = \frac{\Delta C_{\text{ВИХ}}}{\Delta U_{\text{ВХ}}} = \frac{FF}{2,5}, \quad K_{\text{ЦАП}} = \frac{\Delta U_{\text{ВИХ}}}{C_{\text{ВХ}}} = \frac{2,5}{FF} \quad (1.1)$$

Якщо K – коефіцієнт передачі П-регулятора для аналогових сигналів (рис.1.65а), а $K_{\text{МП}}$ – коефіцієнт передачі, реалізований програмою МП (рис.1.65б), то з зіставлення рис.1.65а і 1.65б одержуємо

$$K = K_{\text{АЦП}} K_{\text{МП}} K_{\text{ЦАП}} \quad (1.2)$$

Цей вираз справедливий для будь-яких типів ІМС АЦП і ЦАП. Для застосованих у схемі ІМС АЦП і ЦАП з урахуванням (1.1) одержимо: $K_{\text{МП}}=K=2$.

Множення на 2 у МП може бути виконано одним циклічним зсувом коду вліво з використанням команди RLC. Наприклад, при одному зсуві вліво коду $0010.1110\text{В}=2\text{ЕН}=46_{10}$ одержимо код $0101.1100\text{В}=5\text{СН}=92_{10}$.

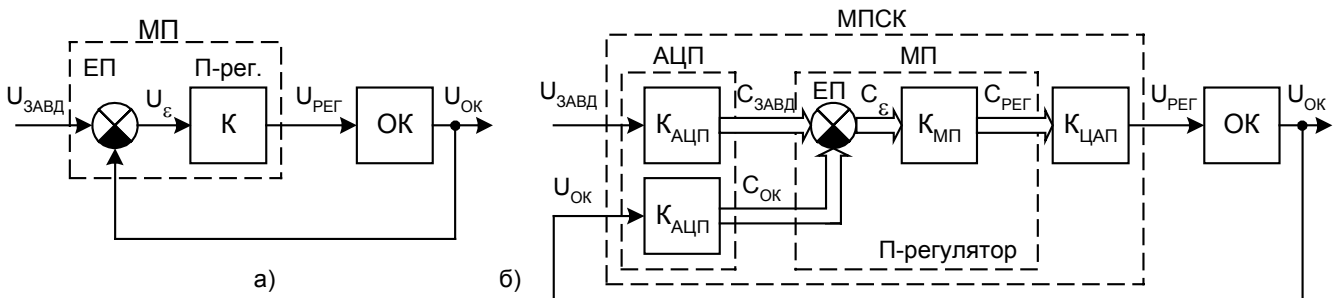


Рис.1.65. Структурна схема САК

Алгоритм МП системи автоматичного регулювання приведений на рис.1.66, а програма – на рис.1.67.

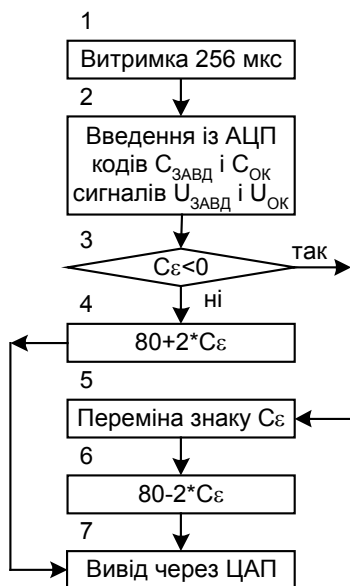


Рис.1.66. Алгоритм МП САК

Блок 1: Створення витримки часу не менш 256 мкс, щоб ОЗП АЦП після включення живлення схеми чи скидання заповнилося вірними даними.

Блок 2: Введення через АЦП кодів сигналів $U_{\text{ЗАВД}}$ і $U_{\text{ОК}}$.

Блок 3: Обчислення U_{ϵ} і перехід за знаком результату.

Блок 4: Підготовка коду для виводу позитивної напруги сигналу $U_{\text{РЕГ}}$. При входньому коді 80 ЦАП його вихідний сигнал дорівнює $0,0049 \text{ В} \approx 0 \text{ В}$.

Блок 5: Зміна знака коду U_{ϵ} , тому що операція множення U_{ϵ} на 2 через зсув RLC коду правильна тільки для позитивних чисел.

Блок 6: Підготовка коду для виводу сигналу напруги $U_{\text{РЕГ}}$ негативного знаку.

Блок 7: Вивід сигналу $U_{\text{РЕГ}}$ через ЦАП.

Адреса	Код команди	Мітка	Мнемокод	Коментарі
0000	3E 2B	М1	MVI 2B	Витримка часу в тактах
0002	3D	Цикл	DCR A	$7+43 \cdot (5+10)=652$, у мікросекундах
0003	C2 02 00		JNZ Цикл	$652 \cdot 0,4=260,8$ мкс *

Рис.1.67. Програма МП САК

Адреса	Код команди	Мітка	Мнемокод	Коментарі
0006	DB E8	M2	IN E8	Введення U_{OK} з адреси $E8H=1110.1000$
0008	57		MOV D, A	Регістр $D \leftarrow$ акумулятор A
0009	DB EC		IN EC	Введення $U_{ЗАВД}$ з адреси $ECH=1110.1100B$
000B	92	M3	SUB D	Акумулятор $A \leftarrow C_{\varepsilon} = C_{ЗАВД} - C_{OK}$
000C	FA 17 00		JM M5	Перехід на M5, якщо $C_{\varepsilon} < 0$
000F	07	M4	RLC	Акумулятор $A \leftarrow 2 \cdot C_{\varepsilon}$
0010	57		MOV D, A	Регістр $D \leftarrow$ акумулятор A
0011	3E 80		MVI A, 80	Акумулятор $A \leftarrow 80$
0013	8A		ADC D	Акумулятор $A \leftarrow 80 + 2 \cdot C_{\varepsilon} $
0014	C3 20 00		JMP M7	Безумовний перехід на мітку M7
0017	57	M5	MOV D, A	Регістр $D \leftarrow$ акумулятор A
0018	3E 00		MVI A, 00	Акумулятор $A \leftarrow 00$
001A	92		SUB D	Акумулятор $A \leftarrow C_{\varepsilon} $
001B	07	M6	RLC	Акумулятор $A \leftarrow 2 \cdot C_{\varepsilon} $
001C	57		MOV D, A	Регістр $D \leftarrow$ акумулятор A
001D	3E 80		MVI A, 80	Акумулятор $A \leftarrow 80$
001F	92		SUB D	Акумулятор $A \leftarrow 80 - 2 \cdot C_{\varepsilon}$
0020	D3 F7	M7	OUT F7	Вивід $U_{РЕГ}$ за адресою $F7H=1111.0111$

Рис.1.67. Продовження

* У приведеному розрахунку:

- 7, 5 і 10 – тривалості в тактах виконання команд MVI, DCR і JNZ;
- 43 – десятковий еквівалент 16-річного коду 2BH (кількості циклів);
- 0,4 – тривалість машинного такту МП, мкс.

Питання і завдання

1. Обґрунтуйте доцільність застосування в МПСК мікросхем АЦП і ЦАП.
2. Поясніть функціональну схему АЦП на 8 каналів.
3. Як визначаються цифрові коди, що відповідають аналоговим сигналам АЦП і ЦАП при різних їхніх налаштуваннях?
4. Поясніть структурну схему цифрової системи автоматичного керування (САК) з П-регулятором.
5. Як обчислити коефіцієнт передачі цифрового П-регулятора?
6. Ґрунтуючись на схемі, визначте адресні простори мікросхем пам'яті (ПЗП й ОЗП), АЦП і ЦАП.
7. Ґрунтуючись на схемі, визначте адреси ЗП введення (джерел аналогових сигналів завдання і з об'єкта керування) і виводу (приймача аналогового сигналу), виходу команд роботи з ЗП.
8. Поясніть алгоритм мікропроцесорної САК.
9. Поясніть виконання на сигнальному рівні блоків уведення-висновку програми САК.
10. Поясніть виконання на сигнальному рівні арифметичних блоків програми.

1.17. Вихідні каскади МПСК

МП по навантажувальній здатності власних шин допускає безпосереднє підключення кілька мікросхем серій ТТЛШ і КМОП.

Для збільшення навантажувальної здатності шин МП по струму без зміни рівня напруги застосовуються шинні формувачі і приємопередавачі. Застосування шинного формувача типу КР580ВА86 уже розглянуто у попередніх принципових електричних схемах МПСК. У якості шинного формувача можуть застосовуватися ІМС типу К555АП6, Кк555ИП6, К555ИП7 і ін. будь-які схеми, що мають навантажувальну здатність до декількох десятків міліамперів і тристабільні вихідні шини (рис.1.68).

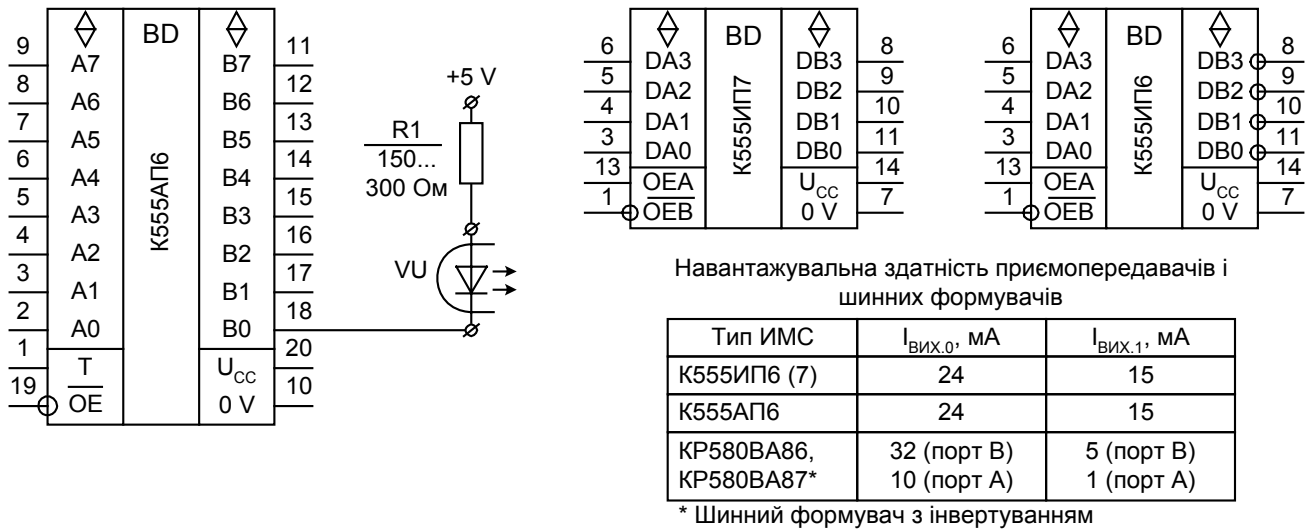


Рис.1.68. Приємопередавачі і шинні формувачі

Задача підключення до виходу МП споживачів з номінальними напругами вище 5 В і входними струмами від сотень міліамперів до десятків амперів може бути вирішена застосуванням аналогових і ключових підсилювачів потужності. При виборі схем таких підсилювачів потрібно забезпечити захищеність МПСК від могутніх перешкод, що створюють потужнострумові приймачі сигналів. Зовнішні пристрої прийнято підключати через схеми з гальванічною розв'язкою ланцюгів живлення МПСК і ланцюгів приймачів. Найбільш зручна гальванічна розв'язка на основі оптронів. Вхідний ланцюг оптопар містить світлодіод, вихідний ланцюг – фотодіод, фототранзистор, фототиристор. Світлодіод можна підключити до виходу шинного формувача, тому що його номінальна напруга складає 2...2,5 В, а номінальний струм – 10...20 мА. На схемі показане підключення світлодіода оптопару VU до шинного формувача через обмежувальний резистор R1.

На рис.1.69 приведені 3 типові схеми вихідних каскадів, що працюють на навантаження постійного струму.

Перша схема складається з двохкаскадного підсилювача на транзисторах VT1 і VT2, що працюють у ключовому режимі. При погашенні світлодіодові транзистор оптопару VU1 закритий, а транзистор VT1 відкритий струмом бази, що протікає через резистор R1. Струм колектора транзистора VT1 замикається через резистор R2 на базу транзистора VT2. VT2 відкритий, насичений і його колекторним струмом включено реле P1. При запаленні світлодіода транзистор оптопару відкритий і насичений. Напруга насичення $U_{\text{кэ,нас}}$ складає 0,1...0,3 В. Ця напруга,

що прикладена до еміттерного переходу транзистора VT1, менше вхідної граничної напруги транзистора, що складає 0,5...0,7В. Тому VT1 закритий, закритий також транзистор VT2. Реле P1 відключено. Ця схема є інвертором, тому що при вхідному сигналі 0 реле P1 включено (стан 1), а при вхідному сигналі 1 реле відключено (стан 0). У цілому схема забезпечує коефіцієнт підсилення по струму в сотні разів, а по потужності в $10^3 \dots 10^4$ раз.

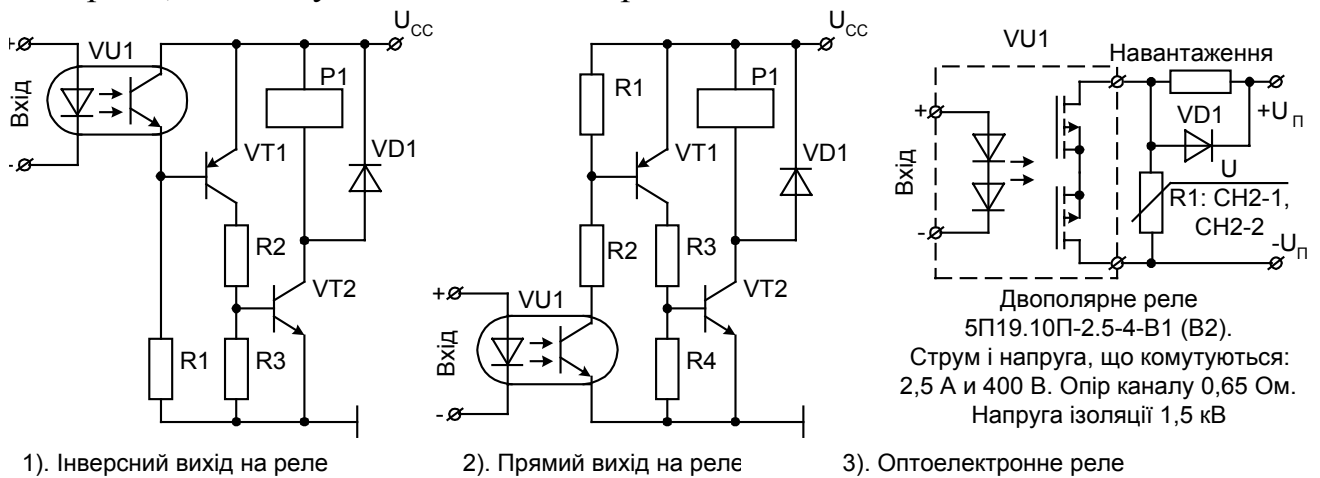


Рис.1.69. Вихідні каскади на постійному струмі

В другій схемі при погашенні світлодіодові і закритому транзисторі оптопарі VU1 транзистор VT1 закритий. Далі за схемою закритий транзистор VT2 і реле P1 виключено. При запаленні світлодіодові реле P1 включено.

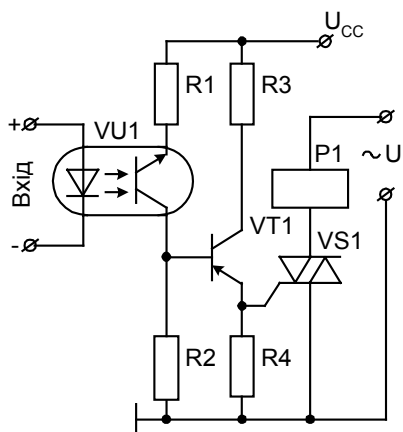
Третя схема є оптиелектронним реле і виконана у виді інтегральної мікросхеми. При погашених світлодіодах польові транзистори з індукованим каналом закриті і струм у навантаженні нульовий. При запалених світлодіодах обидва польових транзистори відкриті. У навантаженні протікає струм, а на польових транзисторах спадання напруги не перевищує 1,6 В. Для захисту польових транзисторів від перенапруги, що виникає за рахунок електрорушійної сили самоіндукції в момент їхнього закриття, застосовується діод VD1 і варистор R1 з номінальною напругою 430 чи 470 В. Коли напруга на варисторі досягне зазначених значень, його опір різко зменшується, чим шунтує польовий транзистор, і напруга на транзисторі буде обмежена номінальною напругою варистора.

Нижче на рис.1.70 приведені 2 типові схеми вихідних каскадів, що працюють на навантаження перемінного струму.

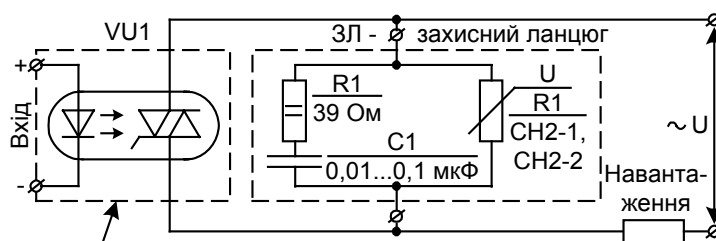
У першій схемі при погашенні світлодіодові оптопарі VU1 транзистор VT1 закритий і на керуючому електроді симістора VS1 сигнал нульовий. Симістор закритий і реле P1 виключено. При запаленому світлодіодові оптопарі транзистор VT1 відкритий. На резисторі R4 виділяється напруга, якою симістор відкривається при будь-якій полярності перемінної напруги U силового ланцюга. Реле P1 перемінного струму ввімкнено. Деякі типи симісторів відкриваються напругою позитивної полярності на керуючому електроді щодо катода. У такому випадку може використовуватися розглянута схема, у якій змінена полярність напруги живлення U_{CC} , транзистор VT1 n-p-n типу, а у підключенні транзистора оптопарі потрібно поміняти місцями еміттер і колектор.

Друга схема являє собою оптиелектронне реле перемінного струму в інтегральному виконанні. Приймачем оптопарі є силовий симістор. Існують також

трифазні оптоелектронні реле.



1). Симісторне реле



Однофазне оптоелектронне реле змінного струму:

Тип реле	Напруга, що комутується	Струм, що комутується	Ударний струм
5П19.10ТМ-3-6-В2	~420 В	~ 3 А	~ 70 А
5П19.10ТМ-10-6-В1	~420 В	~ 10 А	~ 85 А
5П19.10ТМ-20-6-В2	~420 В	~ 20 А	~ 230 А

2). Оптоелектронне реле

Рис.1.70. Вихідні каскади на змінному струмі

Існують також силові транзисторні реле на струми до 2400 А і напрузі до 1700 В. У реле використовуються біполярні транзистори з ізольованим затвором типу IGBT. Створені так називані "інтелектуальні силові модулі", що поєднують в одному корпусі силовий елемент, схему керування і які мають повний внутрішній захист.

Питання і завдання

1. Приведіть і поясніть схеми використання ІМС шинних формувачів як вихідні блоки МПСК.
2. Поясніть роботу транзисторного каскаду інверсного типу на постійному струмі.
3. Поясніть роботу транзисторного каскаду на постійному струмі без інверсії сигналу.
4. Поясніть роботу транзисторного каскаду на перемінному струмі.
5. Поясніть роботу оптоелектронних реле постійного і перемінного струмів, виконаних у виді інтегральних мікросхем.

2. МІКРОКОНТРОЛЕРНІ СИСТЕМИ КЕРУВАННЯ

2.1. Архітектура мікроконтролера K1816BE51 (МК51).

Організація пам'яті МК51

Мікропроцесори є універсальними пристроями, що можуть застосовуватися як у схемах комп'ютерів, так і в системах автоматики. Однак основна область їхнього застосування – комп'ютери. Розгляд схем МПСК показало, що для ефективного рішення задач автоматики крім МП потрібний цілий набір інтерфейсних схем, в основному - ІМС програмувального паралельного інтерфейсу (ППІ), програмувального контролера переривань (ПКП), програмувального інтервального таймера (ПІТ). Для МПСК характерно також те, що обсяги використовуваної оперативної пам'яті надзвичайно малі і, тому, ємність ІМС ОЗП, що входять до складу МЕОМ, використовуються усього на кілька відсотків.

Мікроконтролер (МК) являє собою об'єднані в одному корпусі МЕОМ і інтерфейсні блоки, а схема і система команд МК орієнтовані на просте й ефективне застосування МК у системах автоматики. У різних типів МК є багато загального:

- вбудоване ОЗП ємністю 64...512 байт;
- ПЗП, як правило, вбудоване ємністю декількох кілобайт (для 8-розрядних МК) чи декількох кілослів (для 16-розрядних МК);
- велике число ліній введення/виводу (близько 80% фізичних виводів на корпусі МК);
- вбудовані блоки паралельного і послідовного інтерфейсів, блоки переривань, таймери;
- спеціальна система команд, максимально наближена до програмування задач автоматики, в основній масі, що складаються з команд обміну інформацією з зовнішніми пристроями;
- вбудовані АЦП і ЦАП;
- засоби захисту програм від злому;
- енергозберігаючі режими роботи МК;
- вбудовані стандартні функції керування типовими об'єктами, наприклад, випрямлячами, інверторами.

Нижче розглянутий МК типу КР1816ВЕ51, що є повним аналогом МК типу І8051 фірми Intel. МК є базовим для всіх його наступних модифікацій. Ідеї, що реалізовані в МК КР1816ВЕ51, властиві для мікроконтролерів інших типів.

Функціональна схема МК типу КР1816ВЕ51 (скорочено – МК51) приведена на рис.2.1. Ядром МК51 є мікропроцесор, що обробляє дані розміром 1 байт. Тактовий генератор вбудований. Для його запуску потрібно до виводів Х1, Х2 підключити кварцовий резонатор чи РС-ланцюжки. Номінальна частота МК51 дорівнює 12 МГц.

РПП – резидентна (вбудована) пам'ять програм ємністю 4 Кбайта. РПП є ПЗП.

РПД – резидентна пам'ять даних, що складається з оперативної пам'яті даних (ОПД) ємністю 128 байт і блоку з 21 регістрів спеціальних функцій (РСФ). РПД є ОЗП.

РСФ служать, в основному, для ініціалізації УАПП, Т/Л, КП. До РСФ відносяться також порти Р0...Р3. Повний склад РСФ приведений на рис.2.4. Робота

з РСФ і з ОПД виробляється однаковими командами.

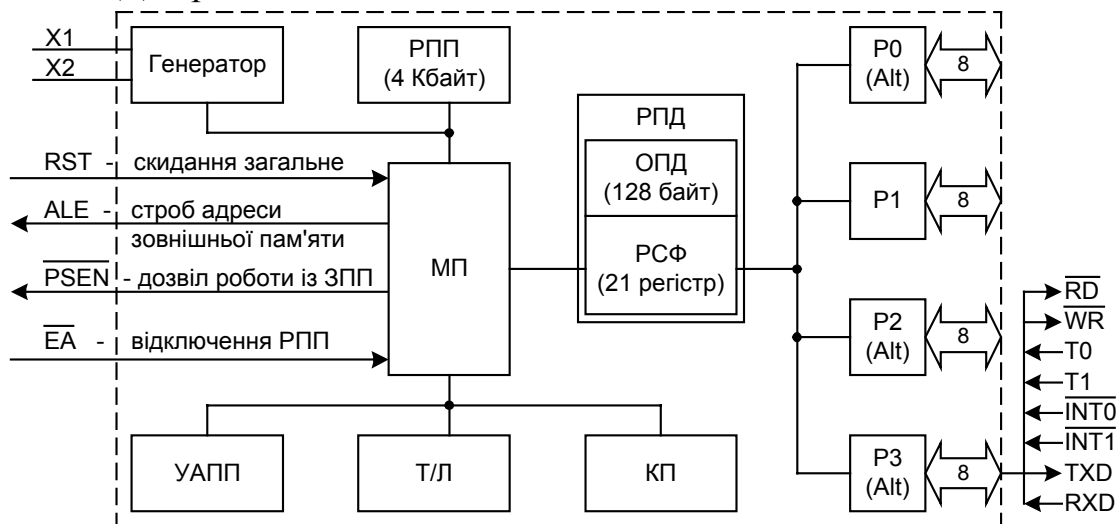


Рис.2.1. Функціональна схема мікроконтролера KP1816BE51

P0, P1, P2 і P3 – двонаправлені порти введення/виводу. Ємність кожного порту 8 ліній. При 40-вивідному корпусі ІМС на введення/вивід задіяно 32 фізичних виводи, що складає 80% від загального числа виводів. Порт P0 тристабільний, інші порти двостабільні. Тільки порт P1 використовується для простого введення/виводу. Інші порти крім простого введення/виводу використовуються в альтернативних режимах. Настроювання портів на чи уведення вивід здійснюється по бітах і незалежно друг від друга.

УАПП – універсальний асинхронний приймач/передавач. Обслуговує обмін з ЗП в послідовному коді.

Т/Л – таймер/лічильники (два Т/Л). Служать для створення витримок часу і підрахунку числа імпульсів, що заведені до МК.

КП – контролер переривань. Забезпечує обслуговування запитів переривань з п'ятьма рівнями пріоритетів.

RST – скидання загальне, активний рівень 1.

ALE – вихідний імпульс активного рівня 1, який стробує запис молодшого байта адреси при звертанні до зовнішньої пам'яті.

PSEN - вихідний сигнал дозволу роботи із зовнішньою пам'яттю програм, активний рівень 0.

EA - вхідний сигнал, при значенні якого рівному 0, відключається резидентна пам'ять програм.

Дві складові пам'яті МК51 – резидентна пам'ять програм (РПП) і резидентна пам'ять даних (РПД) – розрізняються не тільки функціональним призначенням, але і мають роздільні шини адреси, даних і сигналів керування. Тому машинні цикли і такти роботи з кожною пам'яттю можуть виконуватися одночасно. Для виконання багатьох команд відбуваються звертання не тільки до РПП, відкля зчитується КОП і операнд, але і до РПД і за рахунок одночасності роботи з РПП і РПД скорочується до мінімуму кількість машинних циклів команди і час виконання команди. Однак ця перевага організації пам'яті МК цілком втрачається, коли використовуються блоки зовнішньої пам'яті програм (ЗПП) і зовнішньої пам'яті даних (ЗПД). З цими блоками пам'яті використовуються загальні шини адреси і даних.

На рис.2.2 приведена структура пам'яті програм (ПП), що складається з РПП

і ЗПП. Основна інформація ПП – команди. При зчитуванні КОП команди використовується адреса, яка узята з лічильника команд, а після дешифрування КОП – кількість звертань до ПП залежить від кількості байт операндів. У ПП можуть також розташовуватися символічні константи, наприклад, тексти, математичні і фізичні постійні, таблиці функцій і т.п. Для читання символічної інформації з ПП мається 2 команди: $MOV\ C\ A, @A+DPTR$ і $MOV\ C\ A, @A+PC$ (МК51 містить всього 111 базових команд, приведених у додатку Б).

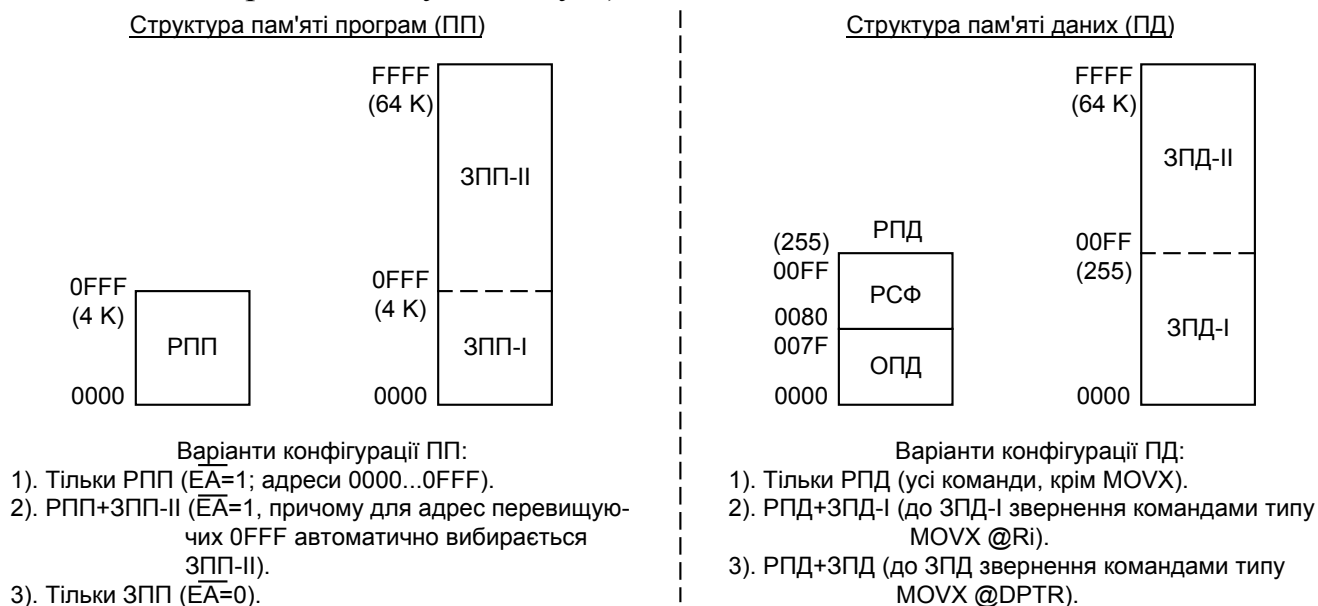


Рис.2.2. Структура пам'яті мікроконтролера KP1816BE51

Існує 3 варіанти використання ПП:

1). Тільки РПП. Це варіант реалізується при одночасному виконанні двох умов: $\overline{EA}=1$ і програма і символічні константи розташовуються в межах адресного простору РПП – від 0000H до 0FFFFH.

2). РПП+ЗПП-II. Цей варіант реалізується за умови $\overline{EA}=1$, причому при роботі з адресами від 0000H до 0FFFFH звертання відбувається до РПП, а при роботі з адресами від 1000H до FFFFH звертання відбувається до ЗПП-II. При звертанні до ЗПП-II активізуються сигнали ALE і \overline{PSEN} . Область ЗПП-I, що має ті ж адреси, що і РПП, недоступна.

3). Тільки ЗПП. Цей варіант реалізується при активному сигналі відключення РПП: $\overline{EA}=0$. Доступні комірки усієї ЗПП у діапазоні адрес від 0000H до FFFFH.

Пам'ять даних (ПД) складається з РПД і ЗПД. Обсяг ЗПД дорівнює 64 Кбайта, адреси від 0000H до FFFFH. РПД має адреси від 00H до FFH.

Для РСФ відведене адресний простір розміром 128 байт (від 80H до FFH), однак фактично використовується тільки 21 адреса. По інших адресах не існує фізичних комірок пам'яті і запис по таких адресах марна, а зчитування дає випадковий код. Адресні простори РПД і ЗПД-I збігаються по діапазону адрес (від 00H до FFH), однак звертання до них здійснюється різними командами. Ситуація, коли різні оперативні дані мають однакові адреси, але відрізняються їх приналежністю або до РПД, або до ЗПД-I, є припустима. Тому у всіх трьох варіантах використання ПД завжди допускається робота з РПД:

1). Тільки РПД. Цей варіант реалізується при використанні будь-яких команд, крім команд типу $MOVX$.

2). РПД+ЗПД-I. Для роботи з ЗПД-I використовуються 2 команди: MOVX A, @Rm і MOVX @Rm, A.

3). РПД+ЗПД (ЗПД= ЗПД-I + ЗПД-II). Для роботи з ЗПД використовуються 2 команди: MOVX A, @ DPTR і MOVX @ DPTR, A.

Структура ОПД приведена на рис.2.3. Розмір всіх комірок ОПД – 1 байт. Адреси комірок - від 00H до 7FH. У програмах всі комірки адресуються як байти. У 16 комірок ОПД з адресами від 20H до 2FH допускається адресація окремих біт. У біт, до яких адресація відбувається безпосередньо, маються адреси від 00H до 7FH. Для звертання до комірок ОПД як до байтів і звертання до біт комірок ОПД використовуються різні команди. Тому припустимі однакові адреси як байт, так і в біт комірок ОПД.

7FH									Адресування байтами	
...										
30H									Адресування як байтами, так і окремими бітами	
2FH	7F	7E	7D	7C	7B	7A	79	78		
2EH	77	76	75	74	73	72	71	70		
2DH	6F	6E	6D	6C	6B	6A	69	68		
2CH	67	66	65	64	63	62	61	60		
2BH	5F	5E	5D	5C	5B	5A	59	58		
2AH	57	56	55	54	53	52	51	50		
29H	4F	4E	4D	4C	4B	4A	49	48		
28H	47	46	45	44	43	42	41	40		
27H	3F	3E	3D	3C	3B	3A	39	38		
26H	37	36	35	34	33	32	31	30		
25H	2F	2E	2D	2C	2B	2A	29	28		
24H	27	26	25	24	23	22	21	20		
23H	1F	1E	1D	1C	1B	1A	19	18		
22H	17	16	15	14	13	12	11	10		
21H	0F	0E	0D	0C	0B	0A	09	08		
20H	07	06	05	04	03	02	01	00		
1FH	Банк 3									Адресування байтами
...										
18H										
17H	Банк 2									
...										
10H										
0FH	Банк 1									
...										
08H										
07H	Банк 0 (по умовчанням) Адрес 07 – дно стека по умовчанням									
...										
00H										

Рис.2.3. Оперативна пам'ять даних

Адрес	Номер біта								Познач.
	7	6	5	4	3	2	1	0	
F0H	F7	F6	F5	F4	F3	F2	F1	F0	B
E0H	E7	E6	E5	E4	E3	E2	E1	E0	A
D0H	D7	D6	D5	D4	D3	D2	D1	D0	PSW
B8H	-	-	-	BC	BB	BA	B9	B8	IP
B0H	B7	B6	B5	B4	B3	B2	B1	B0	P3
A8H	AF	-	-	AC	AB	AA	A9	A8	IE
A0H	A7	A6	A5	A4	A3	A2	A1	A0	P2
99H									SBUF
98H	9F	9E	9D	9C	9B	9A	99	98	SCON
90H	97	96	95	94	93	92	91	90	P1
8DH									TH1
8CH									TH0
8BH									TL1
8AH									TL0
89H									TMOD
88H	8F	8E	8D	8C	8B	8A	89	88	TCON
87H									PCON
83H									DPH
82H									DPL
81H									SP
80H	87	86	85	84	83	82	81	80	P0
SBUF – буфер приємопередавача TH1, TL1 – старший і молодший байти T/Л1 TH0, TL0 – старший і молодший байти T/Л0 PCON – регістр керування потужністю SP – регістр покажчик стеку DPH, DPL - старший і молодший байти регістру покажчика даних DPTR									

Рис.2.4. Регістри спеціальних функцій

Група з 32 комірок за адресами від 00H до 1FH утворить 4 банки регістрів загального призначення, кожний з яких містить по 8 регістрів. Регістри всіх банків позначаються однаково: R0, R1,...,R7, але мають різні адреси в просторі адрес

ОПД. Так, наприклад, регістр R0 має адреси 00H, 08H, 10H и 18H в банках, відповідно, 0, 1, 2 і 3. У будь-який момент часу активний тільки один банк регістрів. За замовчуванням, тобто після включення живлення мікроконтролера, чи після скидання сигналом RST, активним установлюється банк 0. Змінити банк регістрів можна програмно із використанням одного з регістрів спеціальних функцій – регістра PSW слова стану програми (рис.2.4), зміст біт якого приведено на рис.2.5.

Організація нижньої частини ОПД у виді банків регістрів дає наступні переваги:

1). Велике число регістрів дозволяє активно застосовувати в програмах команди реєстрових операцій. Ці команди займають менше місця в пам'яті і швидше виконуються. Наприклад, запис константи #F5 в комірку ОПД з адресою 02H, що є також коміркою регістра R2 банку 0, можна виконати двома способами (рис.2.7). Реєстрова команда виконується удвічі швидше і займає в 1,5 рази менше пам'яті, ніж команда запису за адресою.

Біт	Познач.	Позначення			
7	C	Прапор переносу (із 7-го біту акумулятора A)			
6	AC	Прапор допоміжного переносу (із 3-го біту A)			
5	F0	Прапор споживача			
4	RS1	0	0	1	1
3	RS0	0	1	0	1
Банк №:		0	1	2	3
2	OV	Прапор переповнення			
1		Не вживається			
0	P	Прапор парності			

Рис.2.5. PSW – слово стану програми

Для активізації, наприклад, банку 2 потрібно виконати наступну програму з двох команд:

Мнемокод	Коментарі
SETB RS1	RS1←1. Встановити біт RS1, адреса якого дорівнює D4 (рис.2.4 і 2.5)
CLR RS0	RS0←0. Скинути біт RS0, адреса якого дорівнює D3 (рис.2.4 і 2.5)

Рис.2.6. Програма активізації банку 2

2). В основних програмах і підпрограмах, викликуваних або командою CALL, або перериванням, можуть активно застосовуватися реєстрові команди з використанням тих самих регістрів по позначенню. Наприклад, нехай в основній програмі використовується реєстрова команда роботи з регістром R2 банку 0. Якщо трапилося переривання і в підпрограмі обслуговування переривання використовується той же регістр R2, то щоб під час виконання підпрограми не змінився вміст регістра R2 основної програми, досить на початку підпрограми переключитися на банк 2 (рис.2.6), а при виході з неї знову переключитися на банк 0. Варіант збереження вмісту регістрів у стеці має перевагу (коротше програма і швидше виконується) перед варіантом переключення банків тільки при використанні в основній програмі і в підпрограмі одного спільного регістра, а у всіх інших випадках має перевагу переключення банків.

Мнемокод	Код	Байт	Циклів	Коментарі
MOV 02, #F5	75 02 F5	3	2	Запис за адресою комірки
MOV R2, #F5	7A F5	2	1	Запис у регістр

Рис.2.7. Програма запису константи в комірку ОПД із адресою 02H

В ОПД розташовується стек. Початкова адреса стека чи дно стека встановлюється за замовчуванням, рівним 07H. При необхідності адресу дна стека можна змінити, завантаживши бажану адресу в комірку показчика стека SP (рис.2.4). Перед записом у стек по командах PUSH, CALL і по перериванню вміст SP інкрементується, а після зчитування по командах POP, RET і RETI – декрементується.

Блок РСФ (рис.2.4) містить регістри акумулятора А, регістр В, який використовується в операціях множення і ділення двох байт, регістр PSW, регістри портів P0...P3, регістри TL0, TH0, TL1 і TH1 двох таймерів, регістр показчик стека SP, регістр показчик даних DPTR і регістри IP, IE, SBUF, SCON, TMOD, TCON, PCON ініціалізації блоків МК51. До всіх регістрів можна звернутися за адресою, показаною на рис.2.4. У деяких регістрів можливе звертання до біт, адреса яких показана на рис.2.4.

Питання і завдання

1. Поясніть функціональну схему мікроконтролера.
2. Дайте характеристику пам'яті програм і сигнальна підтримка вибору її виду.
3. Дайте характеристику пам'яті даних і сигнальна підтримка вибору її виду.
4. Поясніть структуру оперативної пам'яті даних. Поясніть доцільність виділення в ній комірок, що адресуються як байти або як біти, і банків оперативної пам'яті.
5. Поясніть склад і призначення блоку регістрів спеціальних функцій.
6. Поясніть вміст регістра слова стану програми. Складіть програму активізації заданого банку оперативної пам'яті даних.

2.2. Принципова електрична схема порту введення-виводу МК51. Організація виводу і введення інформації бітами і байтами

У програмному відношенні порти введення/виводу являють собою одnobайтні комірки оперативного запам'ятовуючого пристрою, що складаються з біт, до яких пряме адресування і сигнали з яких виведені на корпус МК51. Незалежна адресація біт портів дозволяє настроїти їхні біти на уведення або вивід у довільному сполученні. Усі порти МК51 двонаправлені.

Порт P0 тристабільний, навантажувальна здатність 1,6 мА.

Порти P1...P3 двостабільні, навантажувальна здатність 0,8 мА.

Порт P1 використовується тільки для простого введення/виводу і, тому принципова схема його найпростіша. Інші порти крім простого введення/виводу можуть використовуватися для інших альтернативних операцій введення/виводу:

- через порт P0 виводиться молодший байт адреси зовнішньої пам'яті при обміні інформацією з ЗПП і ЗПД;

- через порт P2 виводиться старший байт адреси зовнішньої пам'яті при обміні інформацією з ЗПП і ЗПД;

- через порт P3 виводяться керуючі сигнали читання \overline{RD} і запису \overline{WR} зовнішньої пам'яті, біти TXD і RXD в операціях, відповідно, виводу на зовнішні пристрої послідовного коду і читання зовнішніх пристроїв у послідовному коді, сигнали $\overline{INT0}$ і $\overline{INT1}$ переривань і входні імпульси T0 і T1 таймер/лічильників (Т/Л).

Принципи побудови схем портів і принципи дії однакові для всіх портів. Найбільш проста схема порту P1 (рис.2.8). Розглянемо роботу порту P1 при виве-

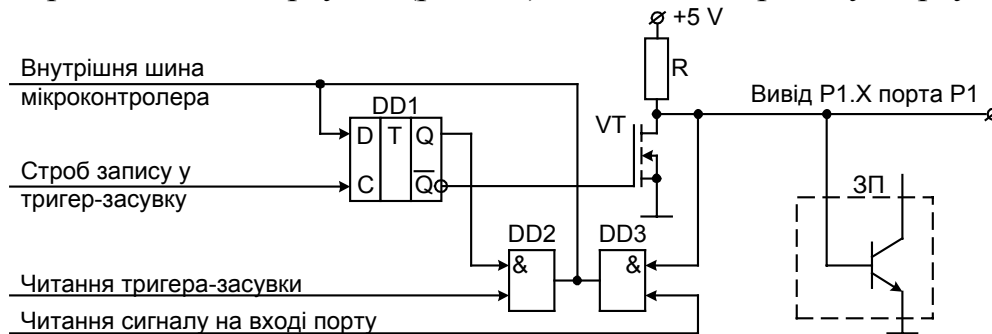


Рис.2.8. Принципіальна схема розряду порту P1

денні і введенні інформації.

Режим виведення інформації. При виведенні через порт сигналу 1 на внутрішній шині МК виставляється сигнал 1 і на вході C синхронізації D-тригера DD1 проходить імпульс одиничного стробу. Сигнал 1 записується в тригер-засувку DD1. Сигналом $\overline{Q} = 0$ польовий транзистор VT з індукованим каналом утримується закритим і на його стоці встановлюється висока напруга логічного рівня 1, яка заведена від джерела живлення +5 В через резистор R. При виводі через порт сигналу 0 у тригер-засувку записується 0. Сигналом $\overline{Q} = 1$ польовий транзистор VT відкривається і на його стоці встановлюється низька напруга логічного рівня 0.

У режимі виводу інформації можливе виконання арифметичних і логічних операцій над вмістом порту безпосередньо в порту по типу "читання-модифікація-запис". Для правильного сприйняття стану порту читання виробляється не з фізичного виводу P1.X порту P1, а із тригера-засувки DD1, сигнал Q якого збігається з логічним станом порту, з використанням логічного елемента DD2. Зроблено це тому, що логічний стан порту і вихідний рівень напруги порту можуть не відповідати один одному, якщо до порту підключене могутнє навантаження. Якщо навантаженням порту є еміттерний перехід транзистора ЗП, то напруга на виході порту не підніметься вище 0,5...0,7 В, що відповідає логічному рівню 0 незалежно від фактичного логічного стану виходу порту.

Режим введення інформації. Для настроювання розряду порту на введення в нього попередньо потрібно записати 1. За замовчуванням (при включенні живлення чи скиданні) в усі розряди портів записуються сигнали 1 і всі порти настроєні на введення. При записаній у порт одиниці транзистор VT закритий і на вивід P1.X через резистор R (опір 6,2 кОм) надходить напруга +5 В. При малому вихідному опорі зовнішнього пристрою ($\ll 6,2$ кОм) напруга на виводі P1.X збігається з рівнем сигналу, що посиляється зовнішнім пристроєм. Читання сигналу порту здійснюється через логічний елемент DD3. Особливість початкової установки по-

ртів потрібно враховувати при використанні його в режимі виводу: рівень 1 усіх портів вважається пасивним, а рівень 0 - активним.

Схеми інших портів відрізняються від розглянутої схеми порту P1 тим, що додано логічні елементи, що забезпечують альтернативні функції портів.

Розглянемо програмне забезпечення простого введення і виводу інформації через порти МК51 на прикладі мікроконтролерної системи керування (МКСК) контактором, принципова схема й алгоритм якої приведені на рис.2.9. На принциповій електричній схемі показано також підключення кварцового резонатора Q, кнопки скидання і ланцюг початкової установки, що складається з конденсатора C3 і резистора R1. Спочатку перевіряється кнопка С ("Стоп"). Якщо С натиснута, то перехід на блок 4, де відключається контактор К, тушиться лампа "Включене" ЛВ і запалюється лампа "Відключене" ЛО. Якщо С не натиснута, то перевіряється кнопка П ("Пуск"). Якщо П не натиснута, то перехід на блок 1, інакше перехід на блок 3, де вмикається контактор К, запалюється лампа "Включено" ЛВ і тушиться лампа "Відключено" ЛО.

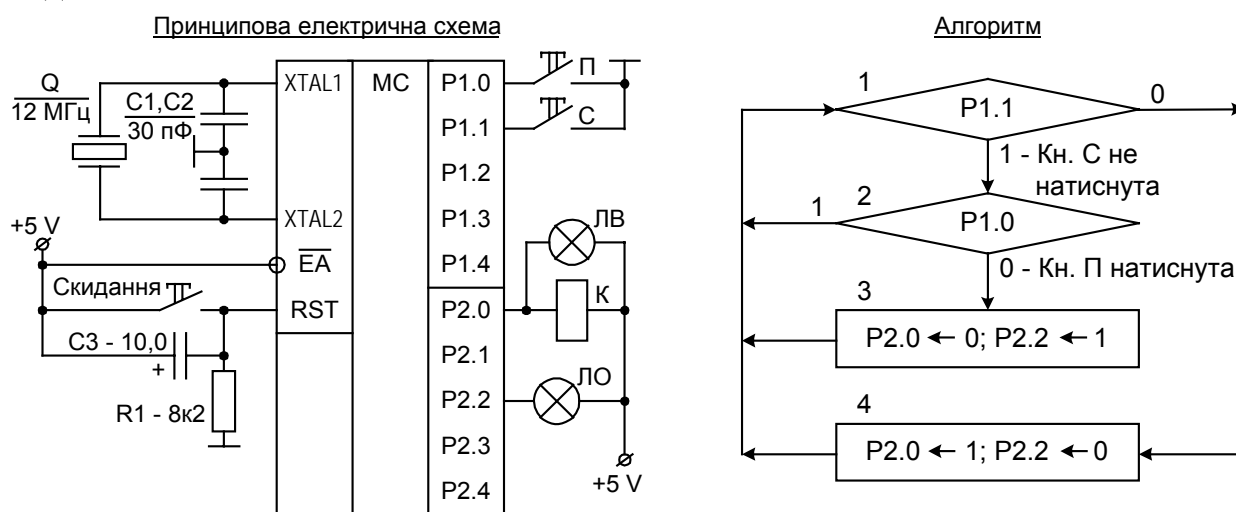


Рис.2.9. Мікроконтролерна система керування контактором

Виведення інформації. Вивід інформації на контактор К з лампою ЛВ і на лампу ЛО можна виконати трьома варіантами. На рис.2.10 показаний вивід для блоку 3 алгоритми трьома варіантами.

Варіант 1 найпростіший, тому що вивід здійснюється на адреси контактів, розташованих на корпусі мікроконтролера.

Варіант 2 складніший варіанту 1 тим, що потрібно скласти спочатку двійковий, а потім 16-річний код виводу в порт. Цей вид виводу не може бути застосовано, коли до інших розрядів порту підключені інші споживачі.

Варіант 3 складніший варіанту 1 тим, що потрібно двічі скласти спочатку двійковий, а потім 16-річний код маски. Цей вид виводу можна застосовувати навіть тоді, коли до інших розрядів порту підключені інші споживачі.

Отже, найпростіший варіант виводу – бітами. Можна виводити з використанням маски. Безпосередній вивід байтами в умовах обслуговування декількох зовнішніх пристроїв не можна застосовувати: байт потрібно попередньо сформувати з використанням акумулятора, регістрів і копії порту, і все це за рахунок додаткових команд.

Код	Мнемокод	Коментарі
		Варіант 1: Вивід бітами:
		а) з використанням мнемонічних позначень біт
C2 A0	CLR P2.0	$P2.0 \leftarrow 0$; використовується команда CLR bit
D2 A2	SETB P2.2	$P2.2 \leftarrow 1$; використовується команда SETB bit
		б) з використанням адрес біт
C2 A0	CLR A0	$(A0) \leftarrow 0$; A0 – адреса біта 0 порту P2; використовується команда CLR bit
D2 A2	SETB A2	$(A2) \leftarrow 1$; A2 – адреса біта 2 порту P2; використовується команда SETB bit
		Варіант 2: Вивід байтами:
		а) з використанням мнемонічного позначення порту
75 A0 04	MOV P2, #04	$P2 \leftarrow \#04$, де $\#04H = \#0000.0100B$; використовується команда MOV ad, #d
		б) з використанням адреси порту
75 A0 04	MOV A0, #04	$(A0) \leftarrow \#04$; A0 – адреса порту P2; використовується команда MOV ad, #d
		Варіант 3: Вивід маскуванням порту:
		а) з використанням мнемонічного позначення порту
53 A0 FE	ANL P2, #FE	$(P2) \leftarrow (P2) \wedge (\#1111.1110B)$, причому $\#1111.1110B = \#FEH$; використовується команда ANL ad, #d
43 A0 04	ORL P2, #04	$(P2) \leftarrow (P2) \vee (\#0000.0100B)$, причому $\#0000.0100B = \#04H$; використовується команда ORL ad, #d
		б) з використанням адреси порту
53 A0 FE	ANL A0, #FE	$(A0) \leftarrow (A0) \wedge (\#1111.1110B)$
43 A0 04	ORL A0, #04	$(A0) \leftarrow (A0) \vee (\#0000.0100B)$

Рис.2.10. Виведення інформації через порт МК51

При складанні кодів команд використовуються приведені на рис.2.11 шаблони по типах (Т) команд. Тип Т вказується в таблиці команд (додаток Б).

На рис.2.11 позначені:

#d – числова константа (числове дане), до її позначення додається значок #;

ad – 8-розрядна адреса;

bit – адреса біта;

rel – величина відносного переходу;

ads і add – 8-розрядні адреси джерела і приймача інформації;

ad16h і ad16l – старший і молодший байти 16-розрядної адреси ad16;

#d16h і #d16l – старший і молодший байти 16-розрядного даного d16.

Введення інформації. Введення інформації здійснюється двома способами:

- 1) введення байтами без безпосереднього аналізу вмісту його біт;
- 2) введення бітами з безпосереднім аналізом їхніх значень.

Уведення байтами без безпосереднього аналізу вмісту його біт здійснюється з порту в комірку резидентної пам'яті даних, що складається із комірок ОПД і РСФ. У залежності від виду комірки приймача інформації можливі варіанти такого

Тип (T)	1-й байт команди	2-й байт команди	3-й байт команди
	D ₇ D ₆ D ₅ D ₄ D ₃ D ₂ D ₁ D ₀	D ₇ D ₆ D ₅ D ₄ D ₃ D ₂ D ₁ D ₀	D ₇ D ₆ D ₅ D ₄ D ₃ D ₂ D ₁ D ₀
1	КОП		
2	КОП	#d	
3	КОП	ad	
4	КОП	bit	
5	КОП	rel	
6	A ₁₀ A ₉ A ₈ КОП	A ₇ A ₆ A ₅ A ₄ A ₃ A ₂ A ₁ A ₀	
7	КОП	ad	#d
8	КОП	ad	rel
9	КОП	ads	add
10	КОП	#d	rel
11	КОП	bit	rel
12	КОП	ad16h	ad16l
13	КОП	#d16h	#d16l

Рис.2.11. Шаблони по типах команд МК51

введення, представлені на рис.2.12 (адреса 04H и регістр R4 прийняті довільно). Переписана з порту інформація аналізується в комірці-приймачі.

Код	Мнемокод	Коментарі
		Варіант 1: Введення з порту на адресу комірки РПД:
85 04 90	MOV 04, P1	(04)←P1; 04H – адреса комірки РПД
85 04 90	MOV 04, 90	(04)←(90); 90H – адреса порту P1
		Варіант 2: Введення з порту в регістр:
AC 90	MOV R4, P1	(R4)←P1; R4 – позначення регістра
AC 90	MOV R4, 90	(R4)←(90)
		Варіант 3: Введення з порту в акумулятор:
E5 90	MOV A, P1	(A)←P1
E5 90	MOV A, 90	(A)←(90)

Рис.2.12. Введення інформації байтами через порт МК51

Введення бітами з безпосереднім аналізом їхніх значень є основним, тому що відразу запускається програма-реакція на введену інформацію. Для такого введення використовуються дві команди: JB bit, rel і JNB bit, rel і якщо біт bit, що перевіряється, дорівнює, відповідно, 1 чи 0, то наступною виконується команда, адреса якої формується з урахуванням значення rel відносного переходу. Величина rel є числом зі знаком, десяткові значення якої укладені в межах від -128_{10} до $+127_{10}$. Якщо перевірка біта bit на значення 1 чи 0 не є істиною, то далі виконується команда по наступною за командою JB bit, rel або JNB bit, rel адресою. Якщо перевірка біта bit на значення 1 чи 0 істинна, то далі виконується команда за адресою, рівною сумі числа rel і адреси команди, який містить слідом за командою JB bit, rel або JNB bit, rel. Цим здійснюється перехід до виконання команди по адресах максимум на 128 комірок ПП назад по програмі і максимум на 127 комірок уперед щодо виконаної команди JB bit, rel або JNB bit, rel.

У кодовому представленні двійкових чисел не використовуються символи "+" або "-" знака числа як це прийнято для десяткових чисел. Коди негативних двійкових 8-розрядних чисел N_2 виводяться з наступного виразу суми

$$P_2 + N_2 = 1.0000.0000, \quad (2.1)$$

в якому P_2 є кодом позитивного числа, а N_2 кодом негативного числа, рівним по абсолютній величині позитивному числу P_2 .

У кодi 1.0000.0000 суми вісім молодших розрядів (байт) є кодом нуля, старший дев'ятий розряд виходить за межі байта і, тому, на значення зазначеного байта не впливає. Отже, якщо коди чисел, що складаються, P_2 і N_2 мають 8 розрядів, код 100H є машинним нулем, і тому числа ad і $ad+100_{16}$ є однаковими числами. З рівності (2.1) випливає визначення кодів негативних, відповідно, двійкових і шістнадцатерічних чисел

$$N_2 = 1.0000.0000 - P_2 \quad \text{та} \quad N_{16} = 100 - P_{16} = FF - P_{16} + 1 \quad (2.2)$$

Для розмежування кодів позитивних P і негативних N восьмирозрядних чисел використовують значення старшого 7-го біта коду: якщо $D7=0$, то число вважається позитивним, а при $D7=1$ – негативним (рис.2.13).

Позитивні числа P									Негативні числа N										
десят-кові	двійкові								16-річні	десят-кові	двійкові								16-річні
0	0	0	0	0	0	0	0	0	00	-128	1	0	0	0	0	0	0	0	80
1	0	0	0	0	0	0	0	1	01	-127	1	0	0	0	0	0	0	1	81
				:									:						
126	0	1	1	1	1	1	1	0	7E	-2	1	1	1	1	1	1	1	0	FE
127	0	1	1	1	1	1	1	1	7F	-1	1	1	1	1	1	1	1	1	FF

Рис.2.13. Коди позитивних і негативних чисел

Якщо $ad_{\text{Поч}}$ – початкова адреса, дорівнює адресі команди безпосередньо розташованої за командою $JB \text{ bit, rel}$ чи $JNB \text{ bit, rel}$, а $ad_{\text{Кін}}$ – кінцева адреса, обумовлена як $ad_{\text{Поч}} + \text{rel}$, то величина rel відносного переходу по програмі визначається 16-річними виразами

$$\text{rel} = \begin{cases} ad_{\text{Кін}} - ad_{\text{Поч}} & \text{при } ad_{\text{Кін}} > ad_{\text{Поч}} \text{ и } \text{bit}7_{\text{rel}} = 0, \\ (100 + ad_{\text{Кін}}) - ad_{\text{Поч}} & \text{при } ad_{\text{Кін}} < ad_{\text{Поч}} \text{ и } \text{bit}7_{\text{rel}} = 1, \end{cases} \quad (2.3)$$

де $\text{bit}7_{\text{rel}}$ – 7-й біт (знаковий) у кодi числа rel .

У блоках 1 і 2 алгоритми МКСК контактором (рис.2.9) міститься перевірка біт інформації, що вводиться. При перевірці біт командами $JB \text{ bit, rel}$ і $JNB \text{ bit, rel}$ програма МКСК контактором прийме вид, приведений на рис.2.14.

Адреса	Код команди	Мітка	Мнемокод	Коментарі
000	30 91 08	M1	JNB P1.1, M4	$ad_{\text{Поч}}=003, ad_{\text{Кін}}=00B, \text{rel}=08; \text{bit}7_{\text{rel}}=0$
003	20 90 FA	M2	JB P1.0, M1	$ad_{\text{Поч}}=006, ad_{\text{Кін}}=000, \text{rel}=FA; \text{bit}7_{\text{rel}}=1$
006	75 A0 04	M3	MOV P2, #04	
009	80 F5		SJMP M1	$ad_{\text{Поч}}=00B, ad_{\text{Кін}}=000, \text{rel}=F5; \text{bit}7_{\text{rel}}=1$

Рис.2.14. Програма МКСК контактором

Адреса	Код команди	Мітка	Мнемокод	Коментарі
00B	75 A0 01	M4	MOV P2, #01	
00E	80 F0		SJMP M1	ad _{ПОЧ} =010, ad _{КІН} =000, rel=F0; bit7 _{rel} =1

Рис.2.14. Продовження

Особливістю програм, у яких використовуються команди з перемінною rel, є їх модульність. Наприклад, початкова адреса програми МКСК контактором (рис.2.14) може бути будь-якою, а не тільки 000H, і програма буде працювати відповідно до алгоритму. Така особливість дає можливість складати програми керування окремими об'єктами у виді закінчених і налагоджених модулів, а потім поєднувати їх в одну МКСК. Це простіше, ніж складати одну велику програму керування відразу всією множиною об'єктів.

Питання і завдання

1. Наведіть загальні характеристики і варіанти використання портів уведення-виводу мікроконтролера.
2. Що таке – альтернативне використання портів уведення-виводу.
3. Поясніть роботу принципової схеми розряду порту P1. Поясніть доцільність введення в схему порту регістра-засувки.
4. Поясніть принципову схему й алгоритм мікроконтролерної системи керування контактором.
5. Які існують способи виводу інформації через порти мікроконтролера? Складіть програми виводу інформації.
6. Складіть програми введення інформації без безпосереднього аналізу її біт.
7. Поясніть сутність і назвіть переваги способу введення інформації з одночасним аналізом її біт.
8. Дайте визначення кодам негативних чисел. Поясніть процедуру обчислення коду заданого негативного числа.
9. Поясніть структуру команд переходу, що використовують відносну адресацію, і поясніть процедуру обчислення адреси відносного переходу.
10. У чому основні переваги відносної адресації?
11. Поясніть програму керування контактором, звернувши особливу увагу на обчислення величин значень відносних переходів.

2.3. Схеми підключення зовнішньої пам'яті до МК51

МК51 має вбудовану РПП обсягом 4 Кбайта, що звичайно досить для розміщення програм МКСК. Однак у тих випадках, коли програма містить великий обсяг математичних обчислень над дробовими числами зі знаком довжиною 2 і більш байт, коли використовуються таблиці математичних функцій (тригонометричні, логарифмічні і т.д.) чи містяться великі обсяги текстової інформації, призначеної для виводу на дисплей, необхідне застосування ЗПП. Крім зазначених випадків, ЗПП застосовується на етапах налагодження програм МПСК, тому що можливі зміни програм краще виконувати над вмістом зовнішнього ПЗП і навіть в ОЗП, до якого підведена напруга живлення, що не відключається. Максимальний обсяг ЗПП складає 64 Кбайт, з яких нижні 4 Кбайта можуть заміщати РПП.

Схема підключення зовнішньої пам'яті програм (ЗПП)

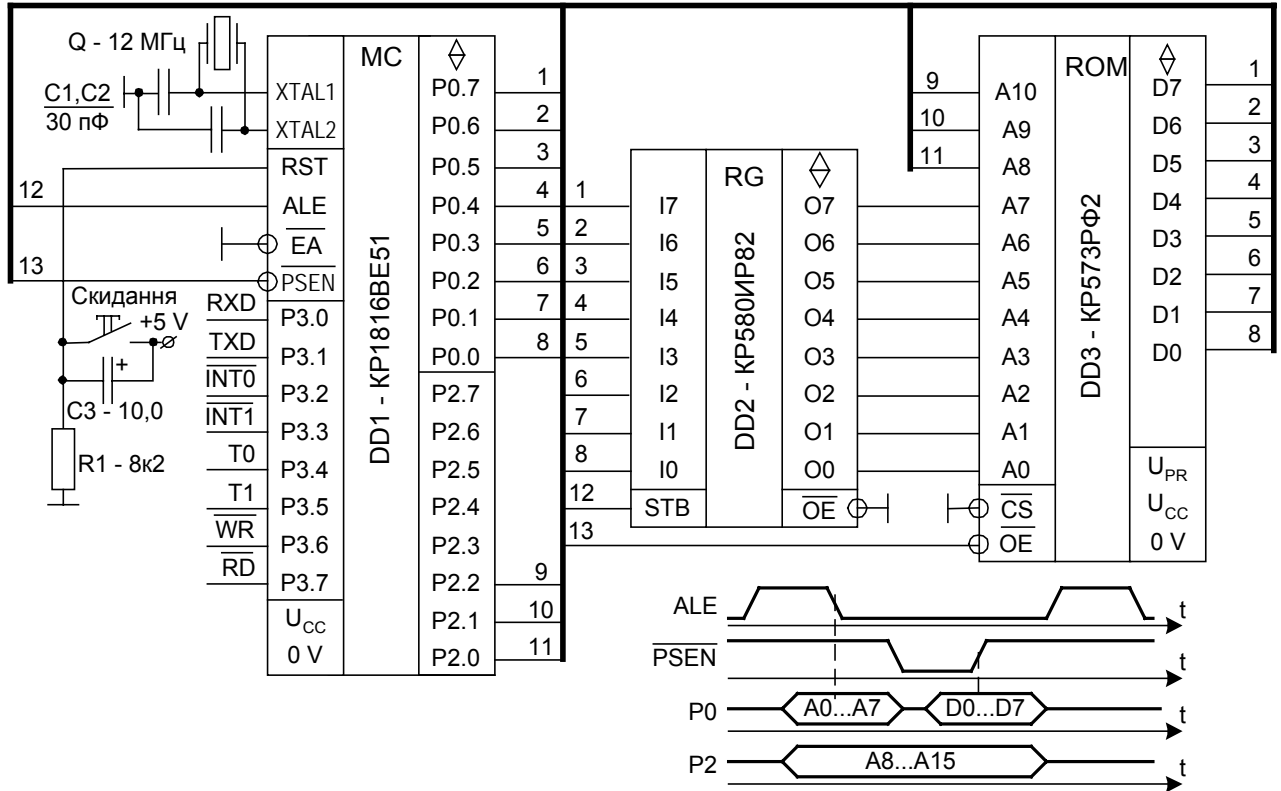


Схема підключення зовнішньої пам'яті даних (ЗПД)

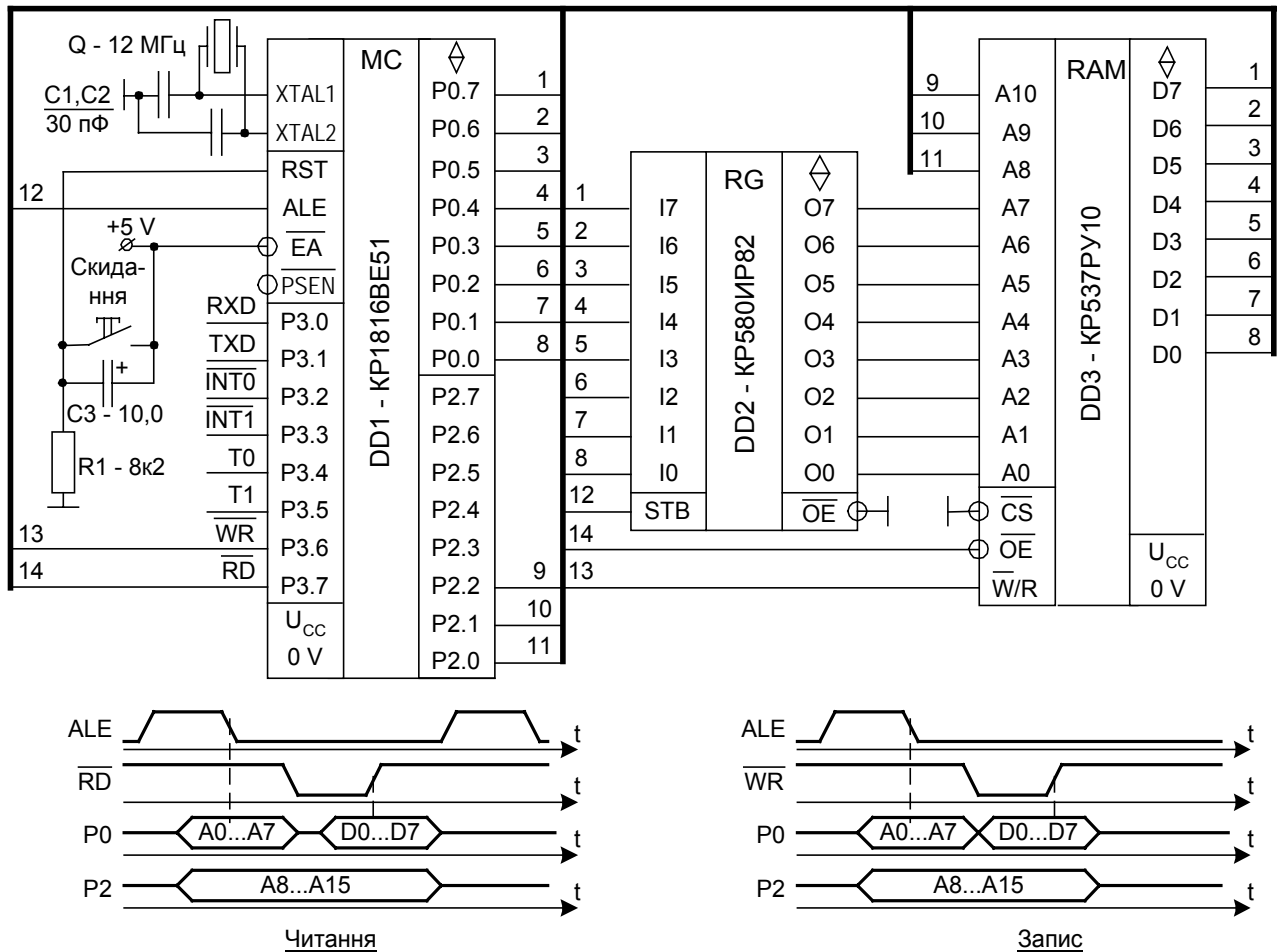


Рис.2.15. Схеми підключення зовнішньої пам'яті до мікроконтролера

На рис.2.15 приведена схема підключення ЗПП на ІМС типу КР573РФ2 ємністю 2 Кбайта, а РПП відключена сигналом $\overline{EA} = 0$. Читання інформації з ЗПП відбувається наступним способом:

1). Двобайтна адреса, узята з лічильника команд мікропроцесора, виставляється через включені на вивід порти P0 (молодший байт адреси) і P2 (старший байт адреси).

2). По зрізу імпульсу ALE, що надходить на вхід STB регістра DD2 тимчасові збереження молодшого байта адреси, цей байт засувається в регістрі. При заземленому вході \overline{OE} регістр знаходиться постійно в режимі читання.

3). Відбувається зчитування інформації по тактах у послідовності:

- на адресну шину ІМС DD3 надходить повна адреса комірки пам'яті, що складається з молодшого байта, який знімається з регістра DD2, і старшого байта, який знімається з порту P2;

- порт P0 переключасться на уведення;

- з приходом сигналу $\overline{PSEN}=0$ інформація зі ШД DD3 надходить у порт P0 МК51;

- по фронту сигналу \overline{PSEN} дані з ЗПП переписуються в МК51.

Порти P0, P2 не можна використовувати для простого введення/виводу інформації, тому що через них на початку читання провадиться вивід двох байт адреси.

МК51 має вбудовану РПД обсягом 128 байт ОПД і 21 байт РСФ, якої звичайно досить для виконання програм МКСК. ЗПД підключають у тих випадках, коли потрібно зберігати великі обсяги оперативної інформації, що характерно для МКСК зі збором статистичної інформації, реєстрації графіків перехідних процесів і т.п. Максимальний обсяг ЗПД складає 64 Кбайта.

На рис.2.15 приведена схема підключення ЗПД на ІМС типу КР537РУ10 ємністю 2 Кбайта, а РПП підключена сигналом $\overline{EA} = 1$.

Читання інформації, наприклад, з комірки ЗПД за адресою 037DH відбувається по програмі, що приведена на рис.2.16, наступним способом:

1). У регістр-показчик даних DPTR завантажується дане #037D, що є адресою комірки ЗПД.

2). Виконується команда пересилання в акумулятор байта з розширеної (повної) ЗПД по тактах у послідовності:

Код	Мнемокод	Коментарі
90 03 7D	MOV DPTR, #037D	Завантаження регістра показчика-даних DPTR
E0	MOVX A, @DPTR	Пересилання в акумулятор байта з розширеної ЗПД

Рис.2.16. Читання розширеної ЗПД

- двобайтна адреса, узята з DPTR, виставляється через включені на вивід порти P0 (молодший байт адреси) і P2 (старший байт адреси);

- по зрізу імпульсу ALE, що надходить на вхід STB регістра DD2 тимчасового збереження молодшого байта адреси, цей байт засувається в регістрі, який при заземленому вході \overline{OE} знаходиться постійно в режимі читання;

- на адресну шину ІМС DD3 надходить повна адреса комірки пам'яті, що складається з молодшого байта, який знімається з регістра DD2, і старшого байта,

який знімається з порту P2;

- порт P0 переключається на введення;

- через вивід P3.7 порту P3 генерується нульовий імпульс \overline{RD} , що стробує читання ЗПД;

- при $\overline{CS}=0$ і постійному одиничному сигналі на вході \overline{W}/R ІМС DD3 обрана для читання;

- по фронті сигналу \overline{RD} дані з ЗПД надходять в акумулятор МК51.

Порти P0, P2 не можна використовувати для простого введення/виводу інформації.

Якби адреса комірки ЗПД знаходилася в межах від 0000H до 00FFH, наприклад, була адресою 5CH, що відповідало б ЗПД-I (рис.2.1), то змінилися б принципова електрична схема і програма читання ЗПД. У зміненій електричній схемі адресні входи A10A9A8 ІМС DD3 потрібно від порту P2 відключити і заземлити. Змінена програма приведена на рис.2.17, а її виконання відбувається в наступній послідовності:

Код	Мнемокод	Коментарі
79 5C	MOV R1, #5C	Завантаження в регістр R1 даного #5C
E3	MOVX A, @R1	Пересилання в акумулятор байта з ЗПД-I

Рис.2.17. Читання ЗПД-I

1). У регістр спільного призначення R1 завантажується дане #5C, що є адресою комірки ЗПД-I. Для цих цілей можуть використовуватися лише два регістри - R0 або R1 - із восьми регістрів спільного призначення (рис.2.3).

2). Виконується команда пересилання в акумулятор байта з ЗПД-I по тактах у послідовності:

- однобайтна адреса, узята з R1, виставляється через включений на вивід порт P0;

- по зрізі імпульсу ALE, що надходить на вхід STB регістра DD2 тимчасового збереження молодшого байта адреси, цей байт засувається в регістрі, який при заземленому вході \overline{OE} знаходиться постійно в режимі читання;

- порт P0 переключається на введення;

- через вивід P3.7 порту P3 генерується нульовий імпульс \overline{RD} , що стробує читання ЗПД-I;

- при $\overline{CS}=0$ і постійному одиничному сигналі на вході \overline{W}/R ІМС DD3 обрана для читання;

- по фронті сигналу \overline{RD} дані з ЗПД надходять в акумулятор МК51.

Порт P0 не можна використовувати для простого введення/виводу інформації, а порт P2 - можна.

Запис інформації, наприклад, у комірку ЗПД за адресою 08BCH відбувається за програмою, приведеною на рис.2.18, наступним чином:

1). У регістр-показчик даних DPTR завантажується дане #08BC, що є адресою комірки ЗПД.

2). Виконується команда пересилання байта з акумулятора в розширену ЗПД по тактах у послідовності:

Код	Мнемокод	Коментарі
90 08 BC	MOV DPTR, #08BC	Завантаження регістра-показчика даних DPTR
F0	MOVX @DPTR, A	Пересилання байта з акумулятора в розширену ЗПД

Рис.2.18. Запис у розширену ЗПД

- двобайтна адреса, узята з DPTR, виставляється через включені на вивід адреси порти P0 (молодший байт адреси) і P2 (старший байт адреси);
- по зрізі імпульсу ALE, що надходить на вхід STB регістра DD2 тимчасові збереження молодшого байта адреси, цей байт засувається в регістрі, який при заземленому вході \overline{OE} знаходиться постійно в режимі читання;
- на адресну шину IMC DD3 надходить повна адреса комірки пам'яті, що складається з молодшого байта, який знімається з регістра DD2, і старшого байта, який знімається з порту P2;
- порт P0 залишається в режимі виводу, але в нього тепер надходить інформація з акумулятора МК51;
- через вивід P3.6 порту P3 генерується нульовий імпульс \overline{WR} , що стробує запис у ЗПД;
- при сигналі $\overline{CS}=0$ і постійному одиничному сигналі на вході \overline{RD} IMC DD3 обрана для запису;
- по фронті сигналу \overline{WR} інформація з порту P0 МК51 переписується в комірку ЗПД.

Порти P0, P2 не можна використовувати для простого введення/виводу інформації.

Можливий варіант запису у ЗПД-I, що, загалом, аналогічний читанню її, розглянутому вище. При такому записі тільки порт P0 не можна використовувати для простого введення/виводу інформації.

Біт	Познач.	Призначення
7	\overline{RD}	Читання з ЗПД
6	\overline{WR}	Запис у ЗПД
5	T1	Вхід T/Л1 у режимі рахунка зовнішніх імпульсів
4	T0	Вхід T/Л0 у режимі рахунка зовнішніх імпульсів
3	$\overline{INT1}$	Запит переривання 1
2	$\overline{INT0}$	Запит переривання 0
1	TXD	Вихід передавача послідовного порту
0	RXD	Вхід передавача послідовного порту

Рис.2.19. Альтернативні функції порту P3

Як видно при роботі з ЗПД, керуючі сигнали \overline{RD} і \overline{WR} надходили з порту P3. Розряди P3.6 і P3.7 також не можна використовувати для простого введення/виводу інформації. Повний перелік альтернативних функцій порту P3 приведений на рис.2.19. Якщо через деякий розряд порту P3 вводяться або виводяться позначені на рис.2.19 сигнали, те цей розряд не можна використовувати для простого введення/виводу інформації.

Питання і завдання

1. Поясніть роботу схеми підключення зовнішньої пам'яті програм.
2. Навіщо в схемі підключення зовнішньої пам'яті програм застосовується ІМС регістра і чи можна вільні розряди порту P2 використовувати для простого введення-висновку інформації?
3. Поясніть роботу схеми підключення зовнішньої пам'яті даних у режимі читання.
4. Поясніть роботу схеми підключення зовнішньої пам'яті даних у режимі запису.
5. Складіть програми читання-запису малої ЗПД (ЗПД-I). Поясніть призначення і варіанти використання регістрів непрямой адресації.
6. Складіть програми читання-запису розширеної ЗПД (ЗПД-I+ЗПД-II). Поясніть призначення і варіанти використання регістру покажчика даних.
7. Дайте характеристику сигналам альтернативних функцій порту P3.
8. Назвіть переваги і недоліки використання в мікроконтролерних систем керування блоків зовнішньої пам'яті.

2.4. Інтерфейс МК51 з великим числом зовнішніх пристроїв

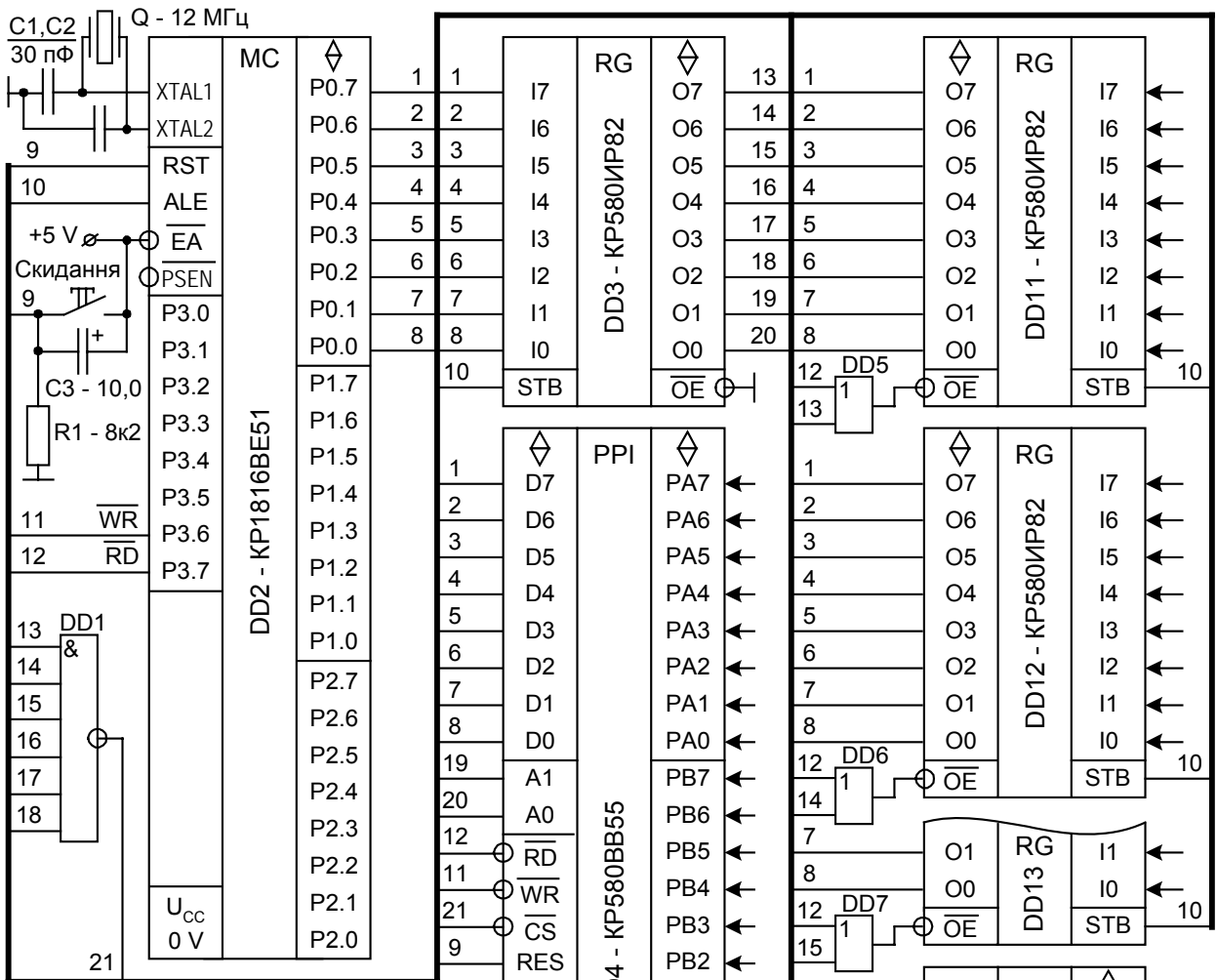
МК51 має власних 32 канали введення/виводу, яких для більшості МКСК досить. Збільшити число каналів введення/виводу можна застосуванням регістрів і ІМС ППІ (рис.2.20).

Три регістри DD11, DD12 і DD13 забезпечують введення по 24 каналам. Три регістри DD14, DD15 і DD16 забезпечують вивід по 24 каналам. ППІ DD4 забезпечує введення/вивід по 24 каналам, який можна запрограмувати на введення чи вивід сьома варіантами. Усього додається 72 каналу введення/виводу. У забезпеченні введення/виводу через зазначені регістри задіяний порт P0, виводи P3.6 і P3.7 порту P3 – всього 10 виводів, що виключаються з простого введення/виводу портів ППІ. Спільний баланс: $32-10+72=94$, що практично в 3 рази більше власних каналів введення/виводу МК51. Якщо замість шести регістрів DD11...DD16 застосувати ІМС ППІ з 24 каналами введення на кожному ІМС, то кількість каналів введення/виводу збільшиться до $32-10+144=166$. Однак для будь-якої схеми розширення каналів введення/виводу характерний той недолік, що введення і вивід можна здійснити тільки байтами, а введення і вивід бітами і маскуванням, що істотно спрощують програми МКСК, виявляються неможливими.

У даній схемі регістри і ППІ адресуються як комірки ЗПД-I. Вибір ІМС регістрів лінійний за допомогою шести біт A7...A2 адреси, активний рівень 0 яких заведений на входи STB і \overline{OE} регістрів. Вибір ІМС ППІ здійснюється через дешифратор на логічному елементі DD1 типу 6I-NI.

Введення інформації, наприклад, з регістра DD11 відбувається за програмою, приведеною на рис.2.20, наступним чином:

- 1). У регістр спільного призначення R0 завантажується байт #0111.1111B (#7F). Цей байт є адресою регістра DD11, тому що активний 0 має 7-й біт.
- 2). Виконується команда читання регістра по тактах у послідовності:
 - однобайтна адреса, що узятя з R0, виставляється через включений на вивід порт P0;



Варіанти настроювання PPI

Варіант	1	2	3	4	5	6	7
Введення	24	20	16	12	8	4	0
Вивід	0	4	8	12	16	20	24

Приклади програм введення/виводу

- 1). Введення із регістру DD11:
 MOV R0, #7F (#0111.1111)
 MOVX A, @R0
- 2). Вивід в регістр DD16:
 MOV R0, #FB (#1111.1011)
 MOVX @R0, A
- 3). Програмування PPI (PA, PB - введення; PC - вивід):
 MOV A, #92 (#1001.0010)
 MOV R0, #FF (#1111.1111)
 MOVX @R0, A
- 4). Введення із порту PB:
 MOV R0, #FD (#1111.1101)
 MOVX A, @R0
- 5). Вивід в порт PC:
 MOV R0, #FE (#1111.1110)
 MOVX @R0, A

Рис.2.20. Інтерфейс МК51 с великою кількістю зовнішніх пристроїв

- по зрізі імпульсу ALE, що надходить на вхід STB регістра DD3 тимчасового збереження молодшого байта адреси, цей байт засувається в регістрі, який при заземленому вході \overline{OE} знаходиться постійно в режимі читання;

- по зрізі імпульсу ALE, що надходить на входи STB вступних регістрів DD11, DD12 і DD13, їхні входні сигнали засуваються;

- порт P0 переключається на введення;

- через вивід P3.7 порту P3 генерується нульовий імпульс \overline{RD} , що стробує читання регістра DD11;

- при нульових сигналах, що надходять на обидва входи елемента DD5, регістр DD11 сигналом $\overline{OE} = 0$ відкривається для читання і його вміст видається в порт P0 МК51;

- по фронту сигналу \overline{RD} дані з порту P0 переписуються в акумулятор.

Вивід інформації, наприклад, у регістр DD16 відбувається за програмою, приведеної на рис.2.20, наступним способом:

1). У регістр спільного призначення R0 завантажується байт #1111.1011B (#FB). Цей байт є адресою регістра DD16, у якому активний 0 має 2-й біт.

2). Виконується команда читання регістра по тактах у послідовності:

- однобайтна адреса, узятя з R0, виставляється через включений на вивід порт P0;

- по зрізі імпульсу ALE, що надходить на вхід STB регістра DD3 тимчасового збереження молодшого байта адреси, цей байт засувається в регістрі, що при заземленому вході \overline{OE} знаходиться постійно в режимі читання;

- порт P0 залишається в режимі виводу, але тепер у нього надходить байт даних з акумулятора;

- МК51 формує нульовий імпульс запису \overline{WR} , що надходить на один із входів елемента DD10, а на інший його вхід з регістра DD3 також надходить сигнал 0; на виході DD10 формується сигнал рівня 1, що надходить на вхід STB регістра DD16;

- по фронті імпульсу \overline{WR} формується зріз сигналу STB, по якому інформація з порту P0 засувається в регістрі DD16.

Введення/вивід через ППІ (DD4) здійснюється наступним способом:

1). Спочатку проводиться ініціалізація ППІ: на введення порти PA і PB і вивід порт PC. Виробляється вивід керуючого слова режиму виду #92H (#1001.0010B) за адресою #FF (#1111.1111). Бітами адреси з 7-го по 2-й через дешифратор на DD1 вибирається ІМС ППІ, а бітами 1-м і 0-м вибирається регістр керуючого слова ППІ. Вивід керуючого слова по тактах у цілому відбувається так само, як вище розглянутий вивід у регістр DD16.

2). Введення, наприклад, з порту PB відбувається за програмою, приведеною на рис.2.20, що по тактах у цілому виконується так само, як вище розглянуте введення з регістра DD11.

3). Вивід у порт PC відбувається за програмою, приведеною на рис.2.20, що по тактах у цілому виконується так само, як вище розглянутий вивід у регістр DD16.

В усіх розглянутих випадках обміну інформацією між МК51 і зовнішніми пристроями порт P0 і розряди P3.6 і P3.7 порту P3 не можна використовувати для

простого введення/виводу інформації. Уся виведена байтом інформація попередньо формується в акумуляторі, а інформація, що вводиться байтом, міститься в акумулятор.

Питання і завдання

1. Як зважається завдання підключення до мікроконтролера зовнішніх пристроїв, кількість яких перевищує ємність убудованих портів введення-виводу?
2. Поясніть роботу схеми підключення зовнішніх пристроїв введення інформації.
3. Поясніть роботу схеми підключення зовнішніх пристроїв виводу інформації.
4. Складіть програму читання зовнішнього пристрою, підключеного через регістр-розширник.
5. Складіть програму запису у зовнішнього пристрою, підключеного через регістр-розширник.
6. Складіть програму читання зовнішнього пристрою, підключеного через ППІ.
7. Складіть програму запису у зовнішнього пристрою, підключеного через ППІ.

2.5. Таймер/лічильники МК51. Реалізація витримок часу

МК51 містить два програмувальних 16-розрядних таймери/лічильника Т/Л0 і Т/Л1, структурна схема одного з них приведена на рис.2.21. У режимі таймера підраховуються імпульси машинних циклів мікроконтролера, а в режимі лічильника підраховуються зовнішні імпульси, що надходять через входи Т0 і Т1 порту P3 (рис.2.19). Обидва лічильники працюють тільки на додавання. Стан лічильника змінюється по зрізі входного сигналу. Кожен 16-розрядний повний лічильник складається з двох 8-розрядних лічильників, що позначаються як старший ТН і молодший ТЛ байти лічильника.

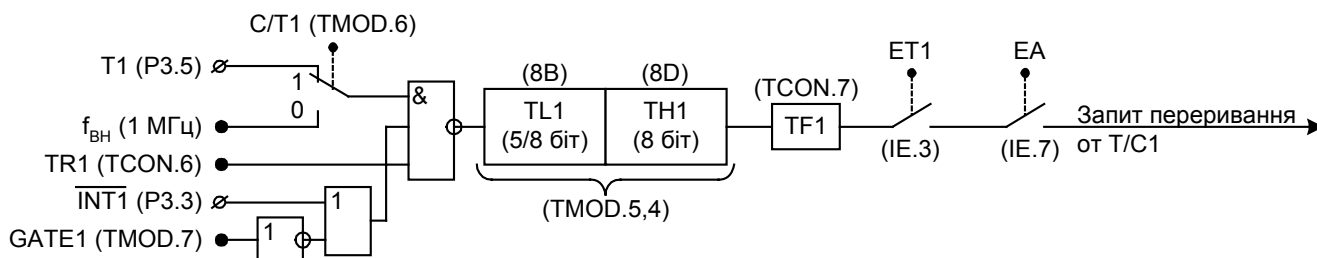


Рис.2.21. Структурна схема таймер/лічильника Т/Л1 в режимах 0 і 1

Для програмування (ініціалізації) режиму роботи Т/Л і оперативного керування ними служать 3 регістри спеціальних функцій – ТМОН (рис.2.22), ТСОН (рис.2.23) і ІЕ (рис.2.24).

Кожен лічильник може бути запрограмований на 4 режими. У трьох режимах (0, 1 і 2) лічильники працюють незалежно один від одного з однаковими функціями в однойменних режимах, а в режимі 3 лічильники виконують різні функції.

Програмування полягає у відповідній установці біт ТМОН.5 і ТМОН.4 для Т/Л1 і ТМОН.1 і ТМОН.0 для Т/Л0.

Режим 0. Т/Л працює як 13-розрядний лічильник з послідовно включеними 5-розрядним молодшим лічильником ТЛ (попереднім дільником, у якому використовуються тільки п'ять молодших біт з 0-го по 4-й) і 8-розрядним старшим лічиль-

Біт	Позначення	Призначення			
7	GATE1	1/0 – керування T/L1 від входу $\overline{INT1}$ дозволено/заборонено			
6	C/T1	1/0 – T/L1 працює як лічильник / як таймер			
5	M11	0	0	1	1
4	M10	0	1	0	1
Режим №:		0	1	2	3
3	GATE0	1/0 - керування T/L0 від входу $\overline{INT0}$ дозволено/заборонено			
2	C/T0	1/0 – T/L0 працює як лічильник / як таймер			
1	M01	0	0	1	1
0	M00	0	1	0	1
Режим №:		0	1	2	3

Рис.2.22. TMOD – регістр режимів таймер/лічильників T/L0 та T/L1

ником ТН. Ємність лічильника дорівнює $2^{13}=8192$. Вид рахункових імпульсів на вході і, відповідно, режим таймера чи лічильника зовнішніх імпульсів задається бітом TMOD.6 (мнемонічне позначення C/T1) для T/L1 і TMOD.2 (C/T0) для T/L0. При тактовій частоті 12 МГц, частота виконання машинних циклів складає 1/12 від тактової чи частоти 1 МГц, а період рахункових імпульсів у режимі таймера дорівнює 1 мкс. Період рахункових зовнішніх імпульсів не повинний бути менше 2 мкс, а зверху період не обмежений.

Біт	Позначення	Призначення
7	TF1	1 - прапор переповнення T/L1; скидання в 0 на початку обслуговування переривання від T/L1
6	TR1	1/0 - старт/стоп T/L1
5	TF0	1 - прапор переповнення T/L0; скидання в 0 на початку обслуговування переривання від T/L0
4	TR0	1/0 - старт/стоп T/L0
3	IE1	1 - прапор запиту $\overline{INT1}$; скидання в 0 на початку обслуговування запиту по зрізі
2	IT1	1/0 – переривання $\overline{INT1}$ по зрізі / рівню
1	IE0	1 - прапор запиту $\overline{INT0}$; скидання в 0 на початку обслуговування запиту по зрізі
0	IT0	1/0 – переривання $\overline{INT0}$ по зрізі / рівню

Рис.2.23. TCON – регістр статусу T/L, типів переривань і їхніх прапорів

Старт/стоп рахунка здійснюється програмно шляхом відповідної установки біта TCON.6 (мнемонічне позначення TR1) для T/L1 і біта TCON.4 (TR0) для T/L0. Можливий також апаратний старт/стоп лічильників з використанням сигналів $\overline{INT1}$ для T/L1 і $\overline{INT0}$ для T/L0, що надходять через виводи порту P3 (рис.2.19). Дозвіл апаратного керування таймер/лічильниками провадиться установкою в 1 біта TMOD.7 (мнемонічне позначення GATE1) для T/L1 і біта TMOD.3 (GATE0) для T/L0. У цілому, рахункові імпульси досягають лічильника, якщо при заблокованому сигналом GATE=0 апаратному керуванні рахунок програмно дозволений сигналом TR=1, або при сигналах GATE=1 і TR=1 є сигнал $\overline{INT}=1$ зов-

нішнього дозволу рахунка. При $GATE=1$ і $\overline{INT}=0$ лічильник зупинений незалежно від стану сигналу TR.

Перед стартом лічильника в старший TH і молодший TL байти лічильника по їхніх адресах (рис.2.3) завантажуються числа початкового вмісту. При переповненні лічильника, коли з лічильника TH виникає біт переносу, а вміст усього лічильника (TH+TL) стає нульовим, встановлюється в 1 прапор переповнення TCON.7 (мнемонічне позначення TF1) для Т/Л1 або біта TCON.5 (TF0) для Т/Л0. Від моменту старту лічильника до моменту установки прапора відраховується від 1 до 8096 імпульсів у залежності від попереднього завантаження лічильника.

Прапор TF може перевірятися програмно, але установка прапора може викликати переривання по переповненню лічильника. Для програмного скидання прапора потрібно виконати команду запису нуля в біт TF. Для установки переривання потрібно записати 1 у біти ІЕ.7 (мнемонічне позначення ЕА) дозвіл всіх переривань і, наприклад, у ІЕ.3 (ЕТ1) дозвіл переривань від Т/Л1 (рис.2.24). З моменту установки прапора TF викликається підпрограма обробки переривання, а після старту цієї підпрограми прапор автоматично скидається в 0 (рис.2.23).

Біт	Позначення	Призначення
7	ЕА	1/0 – дозвіл / заборона всіх переривань
6,5		Не використовуються
4	ЕS	1/0 – переривання від послідовного порту дозволені / заборонені
3	ЕТ1	1/0 – переривання від Т/Л1 дозволені / заборонені
2	ЕХ1	1/0 – переривання від $\overline{INT1}$ дозволені / заборонені
1	ЕТ0	1/0 – переривання від Т/Л0 дозволені / заборонені
0	ЕХ0	1/0 – переривання від $\overline{INT0}$ дозволені / заборонені

Рис.2.24. ІЕ – регістр масок переривань

Для настроювання лічильника на витримку, щоб від його старту до переповнення (код числа в момент переповнення має значення $\#10.0000.0000.0000B = \#2000H = \#(1FFF+1)H$) лічильник відрахував N_T імпульсів, у лічильник потрібно попередньо завантажити число (формула 16-річна)

$$N_{\text{ЛПЧ}} = 1FFF+1-N_T = 1FFF-(N_T-1) \quad (2.3)$$

Приклад 1. Реалізувати на базі Т/Л1 витримку часу 5 мс із заборною апаратного керування таймер/лічильником і дозволом переривань.

Для створення такої витримки часу можна використовувати режим 0 таймера. При періоді 1 мкс рахункових імпульсів необхідна витримка в імпульсах складе

$$N_T = \frac{5 \text{ мс}}{1 \text{ мкс}} = 5000_{10} = 1388H \quad \text{імпульсів}$$

У лічильник потрібно попередньо завантажити 13-розрядне число

$$N_{\text{ЛПЧ}} = 1FFF - (1388 - 1) = 0C78H = \underbrace{0.1100.0111}_{\text{TH1}}.\underbrace{1000B}_{\text{NL1}}$$

Тому що в TL1 значущими є тільки 5 молодших біт (з 0-го по 4-й), то в коді $N_{\text{ЛПЧ}}$ у біти з 5-го по 7-й можна записати усе, що завгодно, наприклад, 3 нулі:

$$N_{\text{ЛПЧ}} = 0110.0011.0001.1000\text{В} = 6318\text{Н}$$

Значить, у ТН1 потрібно завантажити код 63Н, а в ТЛ1 – код 18Н.

Програма приведена на рис.2.25.

Код	Мнемокод	Коментарі
75 89 00	MOV TMOD, #00	#00Н= #0000.0000В – установка режиму по рис.2.22
75 8D 63	MOV TH1, #63	Попереднє завантаження Т/Л1
75 8B 18	MOV TL1, #18	
D2 AB	SETB ET1	Дозвіл переривання від Т/Л1 (рис.2.24)
D2 AF	SETB EA	Дозвіл усіх переривань
D2 8E	SETB TR1	Старт Т/Л1

Рис.2.25. Налаштування Т/Л1 на витримку часу 5 мс у режимі 0

Режим 1. Т/Л працює як 16-розрядний лічильник з послідовно включеними 8-розрядним старшим лічильником ТН і 8-розрядним молодшим лічильником ТЛ (попереднім дільником). Ємність лічильника складає $2^{16}=65536$.

Робота в режимі 1 подібна до роботи в режимі 0 з тією відмінністю, що код числа в момент переповнення лічильника має значення #1.0000.0000.0000.0000В = #10000Н = #(FFFF+1)Н і в лічильник потрібно попередньо завантажити число

$$N_{\text{ЛПЧ}} = \text{FFFF}+1-N_{\text{T}} = \text{FFFF}-(N_{\text{T}}-1) \quad (2.4)$$

Приклад 2. Реалізувати на базі Т/Л0 витримку часу 20 секунд із заборною апаратного керування таймер/лічильником і дозволом переривань.

Для створення такої витримки часу не можна використовувати режим 1 таймера, тому що при періоді 1 мкс рахункових імпульсів необхідна витримка в імпульсах складе

$$N_{\text{T}} = \frac{20 \text{ с}}{1 \text{ мкс}} = 20.000.000_{10} \text{ імпульсів,}$$

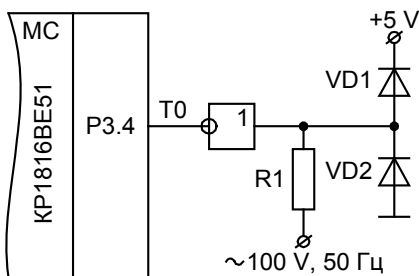


Рис.2.26. Формування лічильних імпульсів для Т/Л0

що більше ємності 65536_{10} лічильника імпульсів.

У режимі лічильника підведемо імпульси, сформовані за схемою, приведеною на рис.22.6, з періодом проходження 20 мс.

Витримка в імпульсах складе

$$N_{\text{T}} = \frac{20 \text{ с}}{20 \text{ мс}} = 1000_{10} = 03\text{E}8\text{Н імпульсів,}$$

що не перевищує ємність лічильника 65536_{10} .

У лічильник потрібно попередньо завантажити 16-розрядне число

$$N_{\text{ЛПЧ}} = \text{FFFF}-(03\text{E}8-1) = \text{FC}18\text{Н}$$

Програма приведена на рис.2.27.

Код	Мнемокод	Коментарі
75 89 05	MOV TMOD, #05	#05Н= #0000.0101В – установка режиму по рис.2.22
75 8C FC	MOV TH0, #FC	Попереднє завантаження Т/Л0 на витримку часу 20 секунд
75 8A 18	MOV TL0, #18	

Рис.2.27. Налаштування Т/Л0 на витримку часу 20 с у режимі 1

Код	Мнемокод	Коментарі
75 A8 82	MOV IE, #82	#82H= #1000.0010 - дозвіл усіх переривань і від Т/ЛЮ (рис.2.24)
D2 8C	SETB TR0	Старт Т/ЛЮ

Рис.2.27. Продовження

Режим 2. Структурна схема Т/Л1 (для Т/ЛЮ того ж сама) для режиму 2 приведена на рис.2.28.

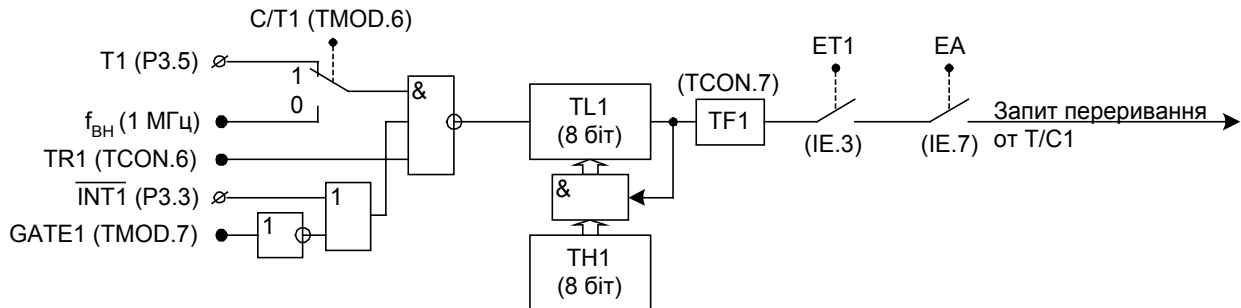


Рис.2.28. Структурна схема таймер/лічильника Т/Л1 у режимі 2

У цьому режимі в старший байт лічильника ТН завантажується число $N_{\text{Ллч}}$. Вміст ТН при старті перезавантажується в молодший байт лічильника ТЛ і в ньому відраховується N_T імпульсів до переповнення. В момент установки прапора переповнення ТФ вміст ТН переписується в ТЛ і процес повторюється. Таким чином, з періодом, рівним часу рахунку N_T імпульсів устанавлюється прапор ТФ. Код числа в момент переповнення лічильника має значення $1.0000.0000B = 100H = (FF+1)H$ і в старший байт ТН1 лічильника потрібно попередньо завантажити число

$$N_{\text{Ллч}} = FF+1 - N_T = FF - (N_T - 1) \quad (2.5)$$

Режим 3. У режимі 3 Т/Л1 обслуговує послідовний порт, а з Т/ЛЮ утворюються два незалежних 8-розрядних таймери/лічильники ТН0 і ТЛ0. Таймер/лічильник ТЛ0 використовує весь набір керуючих і вихідних сигналів таймер/лічильника Т/ЛЮ. Таймер/лічильник ТН0 працює тільки як таймер, керується тільки сигналом старт/стопа TR1, узятим від Т/Л1, і встановлює прапор переповнення ТФ1, не викликаючи при цьому переривання.

Питання і завдання

1. Поясніть структурну схему таймер/лічильника в режимах 0 і 1.
2. Поясніть вміст і призначення регістрів спеціальних функцій, використовуваних для ініціалізації таймер/лічильників.
3. Складіть розрахунок значення коду, що завантажується в заданий таймер/лічильник для створення заданої витримки часу в режимі 0.
4. Складіть розрахунок значення коду, що завантажується в заданий таймер/лічильник для створення заданої витримки часу в режимі 1.
5. Складіть програму ініціалізації заданий таймер/лічильника на задану витримку часу в режимі 0.
6. Складіть програму ініціалізації заданий таймер/лічильника на задану витримку часу в режимі 1.
7. Поясніть структурну схему таймер/лічильника в режимі 2.

2.6. Система переривань МК51.

Використання переривань у програмах

У МК51 реалізована п'ятирівнева система переривань (рис.2.29).

Два апаратних переривання викликаються сигналами $\overline{INT0}$ і $\overline{INT1}$. Варіанти цих переривань програмуються бітами TCON.0 (мнемонічне позначення IT0) і TCON.2 (IT1). При IT=0 прапор запиту переривання IE встановлюється в 1 по нульовому рівні сигналу \overline{INT} . По прапору IE=1 викликається підпрограма обслуговування переривань, якщо переривання від даного входу \overline{INT} дозволено. Скидання прапора провадиться тільки програмно при виконанні команди CLR bit. При IT=1 прапор запиту переривання IE встановлюється в 1 по зрізі сигналу \overline{INT} . По прапору IE=1 викликається підпрограма обслуговування переривань, якщо переривання від даного входу \overline{INT} дозволено, і скидання прапора провадиться автоматично в момент старту підпрограми обслуговування переривання. Стартова адреса підпрограми обслуговування переривання, що надійшло по входу $\overline{INT0}$, дорівнює 0003H, а по входу $\overline{INT1}$ - 0013H.

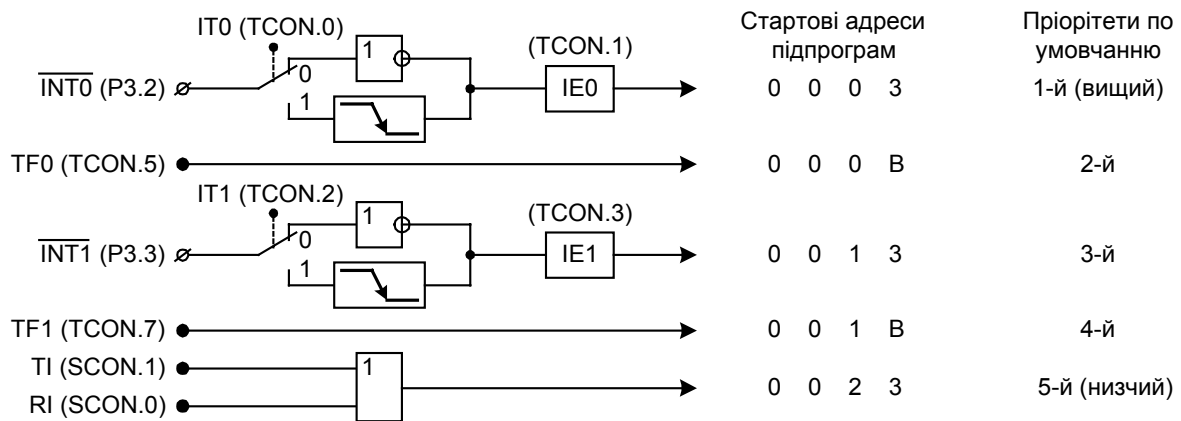


Рис.2.29. Структурна схема системи переривань

Два апаратних переривання викликаються сигналами $\overline{INT0}$ і $\overline{INT1}$. Варіанти цих переривань програмуються бітами TCON.0 (мнемонічне позначення IT0) і TCON.2 (IT1). При IT=0 прапор запиту переривання IE встановлюється в 1 по нульовому рівні сигналу \overline{INT} . По прапору IE=1 викликається підпрограма обслуговування переривань, якщо переривання від даного входу \overline{INT} дозволено. Скидання прапора провадиться тільки програмно при виконанні команди CLR bit. При IT=1 прапор запиту переривання IE встановлюється в 1 по зрізі сигналу \overline{INT} . По прапору IE=1 викликається підпрограма обслуговування переривань, якщо переривання від даного входу \overline{INT} дозволено, і скидання прапора провадиться автоматично в момент старту підпрограми обслуговування переривання. Стартова адреса підпрограми обслуговування переривання, що надійшло по входу $\overline{INT0}$, дорівнює 0003H, а по входу $\overline{INT1}$ - 0013H.

Два програмних переривання від прапорів TF0 і TF1 переповнення таймер/лічильників T/L0 і T/L1 запускають підпрограми обслуговування переривань по стартових адресах, відповідно, 000BH і 001BH. Ці програмні переривання можуть бути перетворені в апаратні переривання по зрізі вхідних сигналів T0 і T1 таймер/лічильників, якщо їх установити в режими 0 або 1 рахунка зовнішніх імпу-

льсів, попередньо завантаживши в них, відповідно, 1FFF і FFFF. Тоді прихід єдиного зовнішнього 0-імпульсу викликає переповнення лічильника і виклик підпрограми переривання, після чого автоматично скинеться прапор переповнення TF0 і TF1.

Одне програмне переривання викликається сигналами TI і RI приймача-передавача послідовного порту. Стартова адреса підпрограми обслуговування переривання 0023H.

Дозвіл і заборона переривань здійснюється за допомогою регістра масок переривань IE (рис.2.24).

Усі запити переривання упорядковані по пріоритетах. Заявка вищого пріоритету припиняє виконання заявки нижчого пріоритету. За умовчанням вищий пріоритет має запит $\overline{INT0}$, а нижчий пріоритет має запит від послідовного порту (рис.2.29). Пріоритетність запитів переривань можна призначити за допомогою регістра IP (рис.2.30).

Біт	Позначення	Призначення
7-5		Не використовуються
4	PS	1/0 - УАПП має вищий / нижчий пріоритет
3	PT1	1/0 - T/C1 має вищий / нижчий пріоритет
2	PX1	1/0 - $\overline{INT1}$ має вищий / нижчий пріоритет
1	PT0	1/0 - T/C0 має вищий / нижчий пріоритет
0	PX0	1/0 - $\overline{INT0}$ має вищий / нижчий пріоритет

Рис.2.30. IP – реєстр призначення пріоритетів переривань

За умовчанням у реєстр IP записуються нулі. Якщо, наприклад, потрібно призначити запитам T/C0 і $\overline{INT1}$ пріоритет вище, ніж у запиту $\overline{INT0}$, то потрібно установити в 1 біти PT0 і PX1 реєстра IP. Тоді всі запити переривання розбиваються на два блоки. У 1-м блоці містяться запити T/C0 і $\overline{INT1}$, причому T/C0 має пріоритет перед $\overline{INT1}$. 2-й блок складають заявки $\overline{INT0}$, T/L1 і від послідовного порту, причому $\overline{INT0}$ має пріоритет перед запитом від T/L1, а пріоритет послідовного порту ще нижче. Між собою блок 1 має пріоритет перед блоком 2.

Застосування таймер/лічильників і системи переривань розглянемо на прикладі автоматизації деякої насосної установки, релейна схема якої приведена на рис.1.58. Електродвигун насоса включається/виключається контактором К. Ручне керування здійснюється кнопками П і С. Тиск на виході насоса контролює реле тиску РТ. При нормальному тиску контакт РТ розімкнено, а при зниженому - контакт РТ замкнено. Якщо знижений тиск утримується, наприклад, протягом 20 с, то насос повинний бути відключений.

Принципова електрична схема й алгоритм МКСУ насосної установки з контролем тиску приведені на рис.2.31.

На початку програми (блок 1) настраюється T/L0 режим 1 лічильника, дозволяються переривання від $\overline{INT0}$, T/L0 і $\overline{INT1}$, причому від $\overline{INT0}$ і $\overline{INT1}$ по зрізі.

Основна програма складається з двох блоків:

Блок 2: Контролюється стан кнопки П "Пуск". Якщо П не натиснута, то на "Вихід", інакше на блок 3.

Блок 3: Вмикається контактор К шляхом засилання 0 у P3.0.

В алгоритмі задіяно три запити переривання - від $\overline{INT0}$, Т/ЛЮ і $\overline{INT1}$.

Сигнал запиту переривання $\overline{INT0}$ надходить від кнопки С "Стоп". Підпрограма обслуговування запиту $\overline{INT0}$ складається з двох блоків:

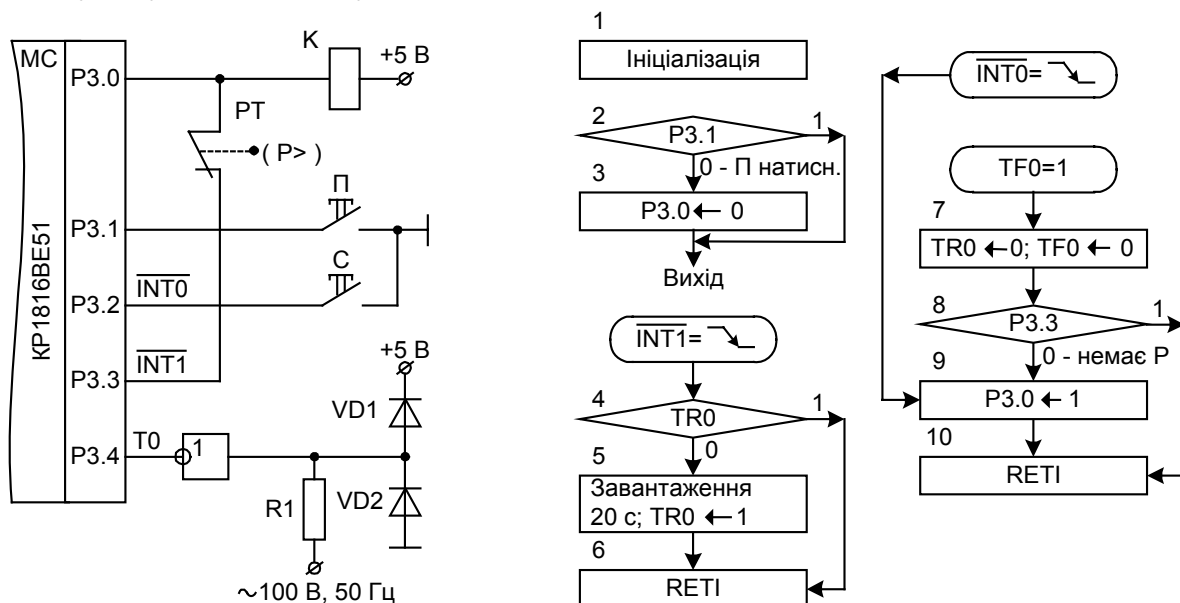


Рис.2.31. Схема і алгоритм МКСК насосом з контролем тиску

Блок 9: Виключається контактор К шляхом засилання 1 у P3.0.

Блок 10: Виконується команда RETI виходу з підпрограми обслуговування переривання. Ця команда знімає заборону на обслуговування повторного запиту переривання від тільки що обслугованої заявки і всіх запитів нижчих пріоритетів і передає керування відкладеній команді. Команда RET тільки передає керування відкладеній команді, але не знімає блокування на обслуговування запитів переривань рівного і меншого пріоритетів. Команда RETI еквівалентна двом послідовно виконуваним у МПСК командам - EI і RET.

Сигнал запиту переривання $\overline{INT1}=0$ надходить від контакту реле тиску РТ з моменту включення контактора К, коли установиться P3.0=0. Контакт РТ розмикається при нормальному тиску, який повинний бути вище деякої уставки тиску, що показано значком (P>). При пуску тиск, природно, менше нормального і уводиться витримка часу 20 секунд на набір тиску. Але і при роботі насоса тиск може понизитися, що є ознакою несправності насосної установки, і якщо тиск не відновиться через 20 секунд, то насос потрібно вимкнути. Підпрограма обслуговування запиту $\overline{INT1}$ складається з трьох блоків:

Блок 4: Перевіряється робота Т/ЛЮ на створення витримки часу. Якщо Т/ЛЮ уже стартував, то повторно запускати його на рахунок не треба, інакше це було б продовженням витримки часу понад 20 секунд.

Блок 5: Завантажується таймер/лічильник Т/ЛЮ у режимі 1 рахунка зовнішніх імпульсів на витримку 20 с, як це зроблено на рис.2.27. Потім лічильник стартує по команді TR0←1.

Блок 6: Вихід з підпрограми переривання.

По закінченні 20 секунд від моменту старту Т/ЛЮ виставляється прапор TF0 і запускається підпрограма, що складається з 4-х блоків:

Блок 7: Зупиняється Т/ЛЮ (TR0←0) і скидається прапор переповнення (TF0←0).

Блок 8: Перевіряється стан контакту реле тиску РТ. Якщо контакт РТ розімкнутий (P3.3=1), що свідчить про набір нормального тиску через 20 секунд від моменту початку його контролю, то здійснюється перехід на блок 10, у якому завершується виконання підпрограми витримки часу без вимикання насоса. Якщо контакт РТ замкнутий (P3.3=0), що свідчить про аварійну ситуацію в насосній установці, то виконується блок 9 вимикання насоса.

Програма МКСК насосною установкою з контролем тиску приведена на рис.2.32. Блок М2 розміщений за адресою 0100H.

Адреса	Код	Мітка	Мнемокод	Коментарі
0000	80 04	М1	SJMP ИН1	Обхід стартових адрес підпрограм обслуговування переривань
0002	00		NOP	
0003	D2 B0	М9	SETB P3.0	Вимкнути контактор К
0005	32	М10	RETI	Вихід з підпрограм INT0 і TF0
0006	75 89 05	ИН1	MOV TMOD, #05	Див. рис.2.27
0009	80 14		SJMP ИН2	На продовження ініціалізації
000B	53 88 CF	М7	ANL TCON, #CF	Скинути TR0 і TF0
000E	20 B3 F4	М8	JB P3.3, M10	Перевірка тиску. Якщо тиск є, то на М10; rel=F4=105-11
0011	80 F0		SJMP M9	Йти на підпрограму INT0
0013	20 8C 08	М4	JB TR0, M6	Йти на М6, якщо витримка часу 20 сек. відраховується ; rel=08=1E-16
0016	75 8C FC	М5	MOV TH0, #FC	Завантаження Т/ЛЮ на витримку часу 20 секунд
0019	75 8A 18		MOV TL0, #18	
001C	D2 8C		SETB TR0	Старт Т/ЛЮ
001E	32	М6	RETI	Вихід з підпрограми INT1
001F	75 A8 87	ИН2	MOV IE, #87	Продовження ініціалізації
0022	75 88 05		MOV TCON, #05	Встановити переривання від запитів INT0 і INT1 по зрізі
0025		Прог.		Початок основних програм
:			:	:
0100	20 B1 02	М2	JB P3.1, Вихід	Перевірка натискання кнопки П; rel=02
0103	C2 B0	М3	CLR P3.0	Вімкнути контактор К
0105		Вихід		Вихід із програми вмикання К

Рис.2.32. Програма керування насосом з контролем тиску

Переваги МКСК перед МПСК видно із табл.2.1.

Таблиця 2.1

Вид системи керування насосом	Кількість корпусів великих інтегральних мікросхем	Обсяг програми *	
		комірок ПЗУ	команд
МПСК (рис.1.58 + рис.1.27а + рис.1.27г)	10	128	63
МКСК (рис.2.31)	1	41	17

* Підрахунки за програмами, що приведені на рис.1.63 і рис.2.32.

Питання і завдання

1. Поясніть структурну схему системи переривань.
2. Поясніть вміст і призначення регістрів спеціальних функцій, використовуваних для ініціалізації системи переривань.
3. Як змінити рівень пріоритету заданих запитів переривань.
4. Поясніть принципову схему МКСК насосом з контролем тиску.
5. Поясніть програму блоку ініціалізації схеми МКСК насосом.
6. Поясніть роботу блоків алгоритму і програми вмикання насоса в роботу й оперативне відключення кнопкою "Stop".
7. Поясніть роботу блоків алгоритму і програми, що активуються по перериванню при зниженні тиску.
8. Поясніть роботу блоків алгоритму і програми, що активуються по перериванню при завершенні витримки часу, відведеної для контролю тривалості падіння тиску.

2.7. Основи організації послідовного інтерфейсу

Наявність у мікроконтролері порту послідовного введення/виводу відкриває можливість побудови мультипроцесорних і мультиконтролерних систем.

Блок-схема послідовного порту (ПП) показана на рис.2.33.

Передача і прийом інформації, згрупованої в байти, здійснюється молодшими бітами вперед.

Для того щоб передати інформацію через вивід TXD, потрібно просто зробити запис байта в регістр SBUF (рис.2.4). Після цього схема ПП самостійно перетворить паралельний код, що міститься в регістрі SBUF, у послідовний код і пошле його на вивід TXD. Після передачі останнього біта повідомлення встановлюється прапор TI запити переривання (рис.2.29). Далі можна передавати наступний байт інформації.

У режимі прийому інформації послідовний код, що надходить на вивід RXD, перетвориться схемою ПП у паралельний код. З приходом останнього біта повідомлення, паралельний код записується в регістр SBUF і встановлюється прапор RI запити переривання. Далі до приходу останнього біта наступного повідомлення потрібно встигнути переслати вміст регістра SBUF у будь-яку іншу комірку РПД.

Керування режимом роботи ПП здійснюється через регістр керування/статусу послідовного порту із символічним ім'ям SCON (рис.2.34).

Характеристика режимів роботи послідовного порту:

Режим 0 - регістр зсуву.

Інформація передається і приймається через вивід RXD, а через вивід TXD передаються і приймаються строб-імпульси зсуву інформації. Частота машинних циклів (МЦ) передачі/прийому біт інформації - постійна величина (див. табл.2.2). Швидкість передачі найвища.

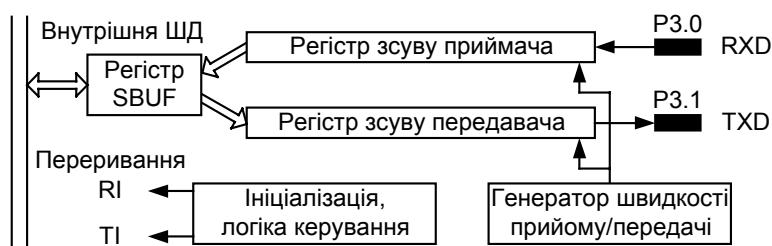


Рис.2.33. Функціональна схема послідовного порту

Біт	Позначення	Призначення				
7	SM0	0	0	1	1	Біти вибору режиму роботи послідовного порту. Встановлюються і скидаються програмно
6	SM1	0	1	0	1	
	Режим ПП	0	1	2	3	
5	SM2	Біт дозволу мультиконтролерної роботи				
4	REN	1/0 – дозвіл/заборона прийому послідовних даних. Установлюється/скидається програмно				
3	TB8	Значення 8-го біта (рахунок біт від 0) даних, переданого в режимах 2 і 3. Встановлюється/скидається програмно				
2	RB8	Значення 8-го біта прийнятих даних у режимах 2 і 3. В режимі 1 у RB8 заноситься стоп-біт. В режимі 0 біт RB8 не використовується. Встановлюється/скидається апаратно				
1	TI	Прапор переривання передавача. Встановлюється апаратно в момент передачі останнього 7-го біта повідомлення в режимі 0 і стоп-біта в режимах 1, 2 і 3. Скидається програмно				
0	RI	Прапор переривання приймача. Встановлюється апаратно. Скидається програмно. Варіанти установки прапора RI пояснюються табл.2.2.				

Рис.2.34. SCON – регістр керування/статусу послідовного порту

Передача даних починається через один МЦ після виконання команди запису байта даних у регістр SBUF і завершується установкою прапора TI у 9-м МЦ.

Прийом інформації виробляється протягом восьми МЦ із другого по дев'ятий за умови, що в регістрі SCON установлений біт REN (REN=1) і скинутий прапор RI (RI=0). У дев'ятому МЦ установлюється прапор RI, після чого потрібно переписати вміст SBUF у будь-яку іншу комірку РПД.

Режим 1 – 8-бітний асинхронний приймач-передавач.

Формат повідомлення при передачі інформації: старт-біт – 8 біт даних – стоп-біт (рис.2.35). Інформація передається через вивід TXD, а приймається – через RXD. Швидкість прийому/передачі – величина перемінна і задається таймером T/Л1 і бітом SMOD (PCON.7) регістра PCON.

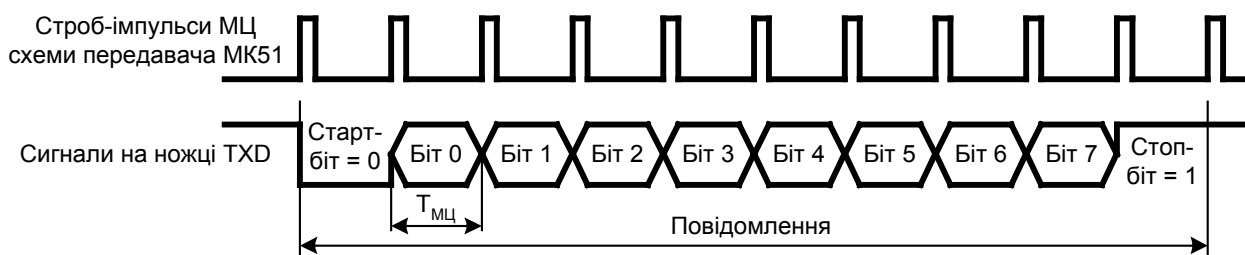


Рис.2.35. Формат повідомлення при виводі інформації з МК51 у режимі 1

Перед сеансом передачі потрібно скинути прапор TI. Передача даних починається після виконання команди запису байта даних у регістр SBUF. Далі:

- на вивід TXD виставляється старт-біт, нульове значення якого утримується протягом першого МЦ; тривалість МЦ $T_{МЦ}$ дорівнює $1/f_{МЦ}$ (значення $f_{МЦ}$ приведені в табл.2.2);

- на вивід TXD виставляються послідовно 0-й, 1-й, ... 7-й біти даних, дійсні значення яких утримуються протягом 2-го ... 9-го МЦ;

- на вивід TXD виставляється стоп-біт, одиничне значення якого утримується з початку 10-го МЦ до посилки наступного повідомлення;

- у 10-м МЦ встановлюється прапор ТІ запиту переривання від передавача, яким повідомляється процесору про закінчення виводу повідомлення через послідовний порт.

Формат повідомлення при прийомі інформації представлений на рис.2.36. Перед сеансом прийому даних потрібно скинути прапор RI і в регістрі SCON установити біт REN. Прийом даних починається з моменту виявлення на вході RXD зрізу сигналу (переходу з 1 в 0), що є ознакою надходження старт-біта. Далі відбувається:

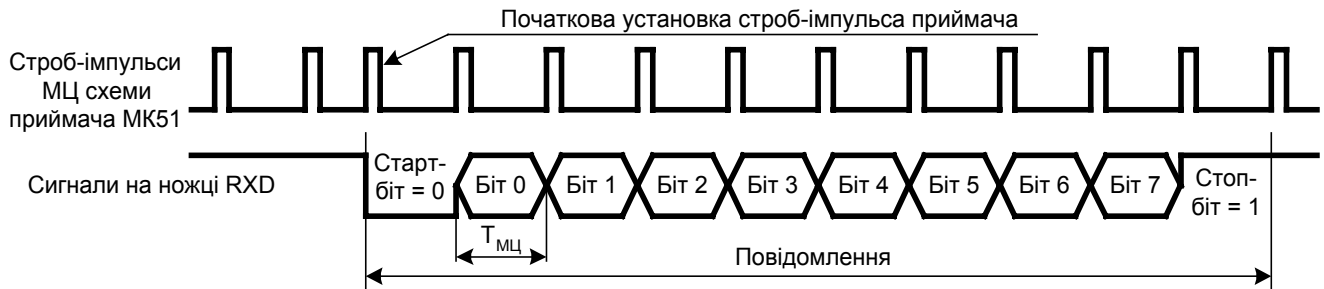


Рис.2.36. Формат повідомлення при прийомі інформації контролером у режимі 1

- по зрізі сигналу RXD коректується початок 1-го МЦ; цією початковою установкою досягається синхронізація МЦ передавача і приймача;

- протягом десяти МЦ вводяться старт-біт, 8 біт даних і стоп-біт;

- у кожному МЦ вхід RXD опитується 16 раз; приблизно посередині МЦ протягом трьох інтервалів часу, що збігаються з 7-м, 8-м і 9-м опитуваннями, ідентифікується біт на вході RXD за правилом - "2 з 3-х" і в регістр приймача, який зсуває код (рис.2.33), заноситься те значення біта, що отримане мінімум у двох опитуваннях із трьох;

- якщо при прийомі старт-біт опитування "2 з 3-х" дав значення 1, то схема ПП залишається в режимі виявлення сигналу 0 на вході RXD;

- у 10-му МЦ встановлюється прапор RI запиту переривання приймачем у двох випадках:

1) якщо при SM2=1 надійшов стоп-біт; у цьому випадку стоп-біт записується в біт RB8 регістра SCON;

2) якщо SM2=0; у цьому випадку стоп-біт не запам'ятовується.

Якщо зазначені умови не виконуються, то прапор RI не встановлюється і байт інформації, що надійшов, губиться.

Режим 2 – 9-бітний асинхронний приймач-передавач.

Формат повідомлення: старт-біт – 8 біт даних (від 0 до 7) – програмувальний 8-й біт - стоп-біт (рис.2.37). Інформація передається через вивід TXD, а приймається – через RXD. Швидкість прийому/передачі постійна і приймає одне з двох фіксованих значень у залежності від значення біта SMOD.

Передача повідомлення в цілому відбувається так само, як і в режимі 1 згідно рис.2.35. Відмінність полягає в тому, що значення 8-го біта повідомлення береться з біта TB8 регістра SCON, а не із SBUF. Тому перед записом байта даних для передачі в регістр SBUF потрібно спочатку зробити відповідний запис у біт TB8 регістра SCON.

Прийом повідомлення в цілому відбувається так само, як і в режимі 1 згідно

рис.2.36. Відмінності полягають у наступному:

- якщо SM2=0, то в 10-му МЦ 8-й програмувальний біт даних заноситься в RB8, а в 11-му циклі встановлюється прапор RI запиту переривання приймачем;
- якщо SM2=1, то в 10-му МЦ 8-й програмувальний біт даних заноситься в RB8, у 11-му циклі при RB8=1 встановлюється прапор RI запиту переривання приймачем, а при RB8=0 прапор RI залишається скинутим і повідомлення, що надійшло, губиться.

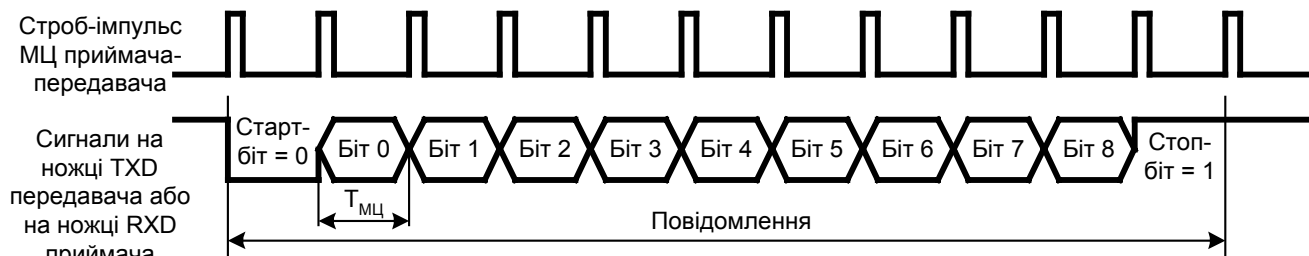


Рис.2.37. Формат повідомлення у режимі 2

Режим 3 – 9-бітний асинхронний приймач-передавач.

Аналогічний режиму 2 з тією лише різницею, що швидкість прийому/передачі – величина перемінна і задається таймером Т/Л1 і бітом SMOD.

У режимах 2 і 3 при SM2=1 прапор переривання RI буде встановлений і, відповідно буде виявлене і прийняте повідомлення, що надійшло, якщо в цьому повідомленні 8-й біт даних буде встановлений у 1. Цей біт заноситься в біт RB8 регістра SCON. Інакше повідомлення, що надійшло, буде загублено і прапор RI залишиться скинутим.

У режимі 1 прапор переривання RI буде встановлений в 1 в момент надходження стоп-біта, якщо SM2=1. Повідомлення буде прийнято, а стоп-біт перепишеться в розряд RB8 регістра SCON. Інакше повідомлення, що надійшло, буде загублено і прапор RI залишиться скинутим.

У режимі 0 біт SM2 повинний бути скинутий.

Описані особливості роботи ПП у різних режимах узагальнені в табл.2.2.

У режимах 1 і 3 використовувати Т/Л1 як джерело завдання частоти прийому/передачі потрібно тільки як таймер. Доцільно використовувати його в режимі 2 автозавантаження. У цьому випадку частота переповнень f_{OV} Т/Л1 визначиться по формулі

$$f_{OV} = \frac{f_{\Omega}}{12 \cdot (256 - TH1_{10})}, \quad (2.6)$$

де $TH1_{10}$ – десятковий еквівалент числа, що завантажується в старший байт Т/Л1.

Переривання від Т/Л1 потрібно заборонити і запустити таймер на рахунок.

У разі потреби роботи на низьких швидкостях прийому/передачі потрібно використовувати Т/Л1 як таймер у режимах 0 чи 1 рахунка. Тоді переривання від Т/Л1 повинні бути дозволені для того, щоб по перериваннях можливо було б запустити знову Т/Л1 за підпрограмою обробки переривань. Природно, програмно це використання Т/Л1 складніше, ніж у режимі 2 рахунка.

В автономних мультипроцесорних і мультимікроконтролерних системах частота $f_{МЦ}$ МЦ або швидкість прийому-передачі може бути будь-якою величиною, проте щоб вона не перевищувала частоти МЦ мікроконтролера. Потрібно лише стежити за тим, щоб відмінність частот МЦ передавача і приймача не перевищувала значень, зазначених у табл.2.3. Тоді інформація буде прийматися вірогідно.

Таблиця 2.2

Характеристики режимів роботи послідовного порту*

Режим	Вид об-міну	Біти регістру SCON							Устано-вка прапора	Частота $f_{МЦ}$ МЦ (КГц) або швидкість передачі й прийому біт повідомлень, Кбіт/с
		SM0	SM1	SM2	REN	TB8	RB8			
0	Передача	0	0	0	x	x	x	TI	$\frac{f_Q}{12}$, где f_Q – частота кварцового резонатору	
	Прийом				1			RI		
1	Передача	0	1	x	x	x	TI	$\frac{2^{SMOD}}{32} f_{OV}$, где f_{OV} - частота переповнень Т/Л1		
	Прийом			0			RI			
2	Передача	1	0	x	x	8-й біт	x	TI	$\frac{2^{SMOD}}{64} f_Q$	
	Прийом			0			x	RI		
				1						bit8=1
				1						bit8=0
3	Передача	1	1	x	x	8-й біт	x	TI	$\frac{2^{SMOD}}{32} f_{OV}$	
	Прийом			0			x	RI		
				1						bit8=1
				1						bit8=0

* - x – будь-яке значення біта: 0 або 1

Таблиця 2.3

Припустимі розходження швидкості приймально-передачі

Довжина повідомлення, біт	7	8	9	10	11	12
Режим роботи ПП	-	0	-	1	2 і 3	-
Припустима похибка швидкостей передачі, %	7,1	6,25	5,5	5,0	4,55	4,2

Якщо ж здійснюється зв'язок з комп'ютером, то швидкість передачі повинна вибиратися зі стандартного ряду, підтримуваного інтерфейсом RS-232 послідовного порту COM1 чи COM2 комп'ютерів: 19200, 9600, 4800, 2400, 1200, 600, 300 біт/с. Варіанти налаштування Т/Л1 у режимі рахунка 2 при кварцовій частоті f генератора рівній 12 МГц для режиму 3 ПП приведені в табл.2.4.

Видно, що максимальна швидкість обміну з комп'ютером складає 4800 біт/с або 436 повідомлень/с. Для підняття швидкості обміну потрібно змінити частоту генератора, підбравши кварцовий резонатор з відповідною частотою f_Q .

Таблиця 2.4

Значення швидкості передачі інформації

Стандартна швидкість, біт/с	Значення SMOD (PCON.7)	Значення, що завантажується в TH1	Дійсна швидкість, біт/с	Похибка, %
19200	0	$254_{10} = FEH$	15625	-18,6
	1	$253_{10} = FDH$	20833	8,51
9600	0	$253_{10} = FDH$	10417	8,51
	1	$249_{10} = F9H$	8928,6	-6,99
4800	0	$249_{10} = F9H$	4464,3	-6,99
	1	$243_{10} = F3H$	4807,7	0,16

Таблиця 2.4. Продовження

2400	0	$243_{10} = F3H$	2403,8	0,16
	1	$230_{10} = E6H$	2403,8	0,16
1200	0	$230_{10} = E6H$	1201,9	0,16
	1	$204_{10} = CCH$	1201,9	0,16
600	0	$204_{10} = CCH$	601	0,16
	1	$152_{10} = 98H$	601	0,16
300	0	$152_{10} = 98H$	300,5	0,16
	1	$48_{10} = 30H$	300,5	0,16

Питання і завдання

1. Поясніть, використовуючи функціональну схему, принцип дії послідовного порту.
2. Поясніть зміст біт регістра керування/статусу послідовного порту.
3. Дайте характеристику роботі послідовного інтерфейсу в режимі 0.
4. Дайте характеристику роботі послідовного інтерфейсу в режимі 1 при виводу інформації.
5. Дайте характеристику роботі послідовного інтерфейсу в режимі 1 при введенні інформації.
6. Дайте характеристику роботі послідовного інтерфейсу в режимі 2 при виводу інформації.
7. Дайте характеристику роботі послідовного інтерфейсу в режимі 2 при введенні інформації.
8. Дайте характеристику роботі послідовного інтерфейсу в режимі 3 при виводу інформації.
9. Дайте характеристику роботі послідовного інтерфейсу в режимі 3 при введенні інформації.
10. Як проводиться налаштування швидкості передачі інформації?

2.8. Організація мультиконтролерних систем

Основою побудови мультиконтролерних систем є використання програмувального 8-го біта, який є тільки в режимах 2 або 3 ПП. Структурна схема мультиконтролерної системи приведена на рис.2.38.

Мультикроконтролерна система складається з ведучого контролера (станції) і ведених контролерів (абонентів). Можливі два види сеансів у мультиконтролерній системі: передача від станції до абонента ("станція→абонент") і прийом станцією інформації від абонента ("абонент→станція"). Зв'язок між станцією й абонентами ініціюється станцією. Прямий зв'язок між абонентами відсутній. Кожен абонент має 8-розрядну адресу.

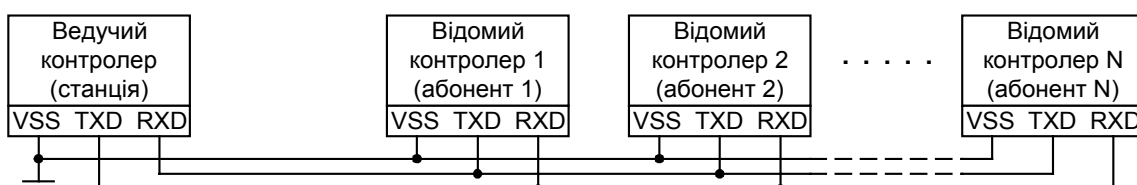


Рис.2.38. Структурна схема мультиконтролерної системи (МКС)

Станція і всі абоненти повинні працювати в однакових режимах з однаковими (у межах похибок, зазначених у табл.2.3) швидкостями обміну. У всіх абонентів при їхній ініціалізації встановлюється за допомогою SM2=1 режим мультиконтролерної роботи. У станції доцільно установити SM2=0.

Обом сеансам – "станція→абонент" і "абонент→станція" передують операції вибору абонента. Суть цієї операції полягає в наступному. Станція посилає перше широкомовне повідомлення (призначене для всіх абонентів), у якому 8-й програмувальний біт TB8 дорівнює 1, біти з 0-го по 6-й є адресою обираного абонента, а 7-й біт - показником напрямку обміну інформацією (нехай, для визначеності, bit7=0 для сеансу "станція→абонент", а bit7=1 - "абонент→станція"). У всіх абонентів, що прийняли це повідомлення, встановлюються прапори RI (див. табл.2.2), і виконуються підпрограми обробки переривання по прапору RI приймача ПП. У цих підпрограмах абоненти аналізують адресу, що надійшла. Той абонент, адреса якого збіглася з адресою, що надійшла, скидає у себе біт SM2 у 0. З моменту скидання SM2 абонент вважається обраним, тому що прапори RI і TI будуть встановлюватися незалежно від значення 8-го біта. З цим абонентом можна далі робити обмін інформацією.

У сеансі "станція→абонент" посилаються повідомлення, у яких 8-й програмувальний біт TB8 дорівнює 0, а в бітах 0...7 міститься корисна інформація. Тепер тільки обраний абонент, що скинув свій біт SM2 у 0, прийме це повідомлення, установивши свій прапор RI у 1, а інші абоненти прапор RI не установлять, і, тому, повідомлення, що надійшло, для них буде загубленим. Наприкінці сеансу зв'язку станція посилає друге широкомовне повідомлення формату: 8-й програмувальний біт TB8 дорівнює 1, біти з 0-го по 6-й є адресою обраного абонента, а 7-й біт – значення 0. Тепер активний абонент запише в біт SM2 значення 1 і на цьому сеанс буде завершено.

У сеансі "абонент→станція" абонент посилає повідомлення, у яких 8-й програмувальний біт TB8 дорівнює 0, а в бітах 0...7 міститься корисна інформація. Ці повідомлення посилаються через вивід TXD контролера обраного абонента і приймаються тільки станцією. Наприкінці сеансу зв'язку абонент посилає повідомлення, у якому 8-й програмувальний біт TB8 дорівнює 1, а у своєму регістрі SCON знову встановлює в 1 біт SM2. Сеанс завершено.

Приклад. Скласти програми обміну інформацією в мультиконтролерній системі при наступних вихідних даних:

1). Адреси абонентів:

Абонент	№ 1	№ 2	№ 3	...
Адреса	0000.0001 = 01H	0000.0010 = 02H	0000.0011 = 03H	...

2). Усі пристрої МКС працюють у режимі 3 зі швидкістю прийому-передачі, рівною 2400 біт/с.

3). У сеансі "станція→абонент №1" адреси масиву переданих даних у РПД контролера станції становлять 30H...33H (4 комірки пам'яті), а адреси розміщення прийнятих повідомлень в абонента №1 є 45H...48H (4 комірки пам'яті).

4). У сеансі "абонент №2→станція" адреси масиву переданих даних у РПД абонента №2 становлять 71H...73H (3 комірки пам'яті), а адреси розміщення прийнятих повідомлень у станції є 56H...58H (3 комірки пам'яті).

Рішення. Блок програм, приведений на рис.2.39...2.44, складається з програм ініціалізації станції й абонентів, програм станції й абонента в сеансах "станція→абонент" і "абонент→станція"

Програми ініціалізації станції й абонентів

Мнемокод	Коментарі
MOV SCON, #D8	#D8H= #1101.1000 – установка режиму 3 роботи послідовного порту згідно рис.2.34
MOV IE, #87	#87H= #1000.0111 – заборонити переривання від Т/Л1 і послідовного порту
MOV TMOD, #20	#20H= #0010.0000B – установка режиму 2 Т/Л1
MOV TH1, #F3	Завантаження в регістр TH1 константи #F3, що визначає швидкість обміну 2400 біт/с (табл.2.4) при $f=12$ МГц
SETB TR1	Старт Т/Л1

Рис.2.39. Програма ініціалізації станції

Мнемокод	Коментарі
MOV SCON, #F8	#F8H= #1111.1000 – установка режиму 3 мультиконтролерної роботи послідовного порту (згідно рис.2.34)
MOV IE, #97	#97H= #1001.0111 – заборонити переривання від Т/Л1, дозволити переривання від послідовного порту
MOV TMOD, #20	#20H= #0010.0000B – установка режиму 2 Т/Л1
MOV TH1, #F3	Завантаження в регістр TH1 константи #F3, що визначає швидкість обміну 2400 біт/с (табл.2.4)
SETB TR1	Старт Т/Л1

Рис.2.40. Програма ініціалізації абонентів №1 і №2

Програми станції й абонента в сеансі "станція→абонент"

Мітка	Мнемокод	Коментарі
	<u>Виклик абонента №1 на зв'язок</u>	
	SETB TB8	Установка біта TB8 з метою забезпечення можливості запуску підпрограм переривання всіх абонентів
	MOV SBUF, #01	Перше широкомовне повідомлення, у якому зазначені № 1-го абонента і вид сеансу: "станція→абонент"
	CLR TB8	Скидання біта TB8 перед початком передачі даних
	<u>Підготовка до передачі даних від станції до абонента №1</u>	
	MOV R0, #30	Завантаження в регістр R0 непрямої адресації адреси 1-ої комірки РПД масиву даних, що пересилаються
	MOV R7, #04	Завантаження в регістр R7 кількості комірок масиву даних, що пересилаються, (4 комірки)
	<u>Передача даних від станції до абонента №1</u>	
M1	JNB TI, M1	Чекання завершення передачі повідомлення
	CLR TI	Скидання прапора передачі повідомлення

Рис.2.41. Програма станції в сеансі "станція→абонент №1"

Мітка	Мнемокод	Коментарі
	MOV SBUF, @R0	Передача чергового байта масиву
	INC R0	Просування по адресах масиву даних, призначених для передачі абоненту №1
	DINZ R7, M1	Перевірка кінця передачі масиву даних
	<u>Передача абоненту №1 повідомлення "Кінець зв'язку"</u>	
M2	JNB TI, M2	Чекання завершення передачі повідомлення
	CLR TI	Скидання прапора передачі повідомлення
	SETB TB8	Установка біта TB8
	MOV SBUF, #01	Друге широкомовне повідомлення, у якому зазначений № 1-го абонента. Повідомлення кінця зв'язку
M3	JNB TI, M3	Чекання завершення передачі повідомлення
	CLR TI	Скидання прапора передачі повідомлення
END1	<u>Кінець</u>	<u>сеансу зв'язку</u>

Рис.2.41. Продовження

Мітка	Мнемокод	Коментарі
	<u>Перевірка адреси, що поступила зі станції</u>	
Адреса 0023	MOV A, SBUF	По перериванню RI приймача (стартова адреса 0023) пересилання повідомлення, що надійшло, в акумулятор
	MOV B, A	Копіювання A в регістр B
	CLR A.7	Придушення в прийнятому повідомленні біта виду обміну
	CLR RI	Скидання прапора переривання від приймача
	CJNE A, #01, EXIT1	Порівняння прийнятого коду з адресою 01H абонента №1. Якщо надійшла адреса не абонента №1, то на вихід
	CLR SM2	Скидання біта SM2 у регістрі SCON
	CLR ES	Заборона переривань від послідовного порту
M4	JB B.7, OUT1	Розпізнавання виду зв'язку: IN1 (введення) і OUT1 (вивід)
	<u>Підпрограма прийому даних зі станції</u>	
	MOV R0, #45	Завантаження в регістр R0 непрямій адресі адреси 1-ї комірки РПД, у яку запишеться 1-і прийняте повідомлення
IN1	CLR RI	Скидання прапора RI запиту переривання від приймача ПП
M5	JNB RI, M5	Чекання приходу повідомлення
	JB RB8, M6	Перевірка значення 8-го біта в повідомленні, що надійшло. Якщо він дорівнює 1, то завершити сеанс прийому повідомлень від станції
	MOV @R0, SBUF	Пересилання вмісту буфера ПП, у комірку РПД
	INC R0	Установка адреси комірки РПД, у яку запишеться наступне повідомлення від станції

Рис.2.42. Програма абонента №1 у сеансі "станція→абонент №1"

Мітка	Мнемокод	Коментарі
	SJMP IN1	Безумовний перехід на початок програми прийому даних від станції
OUT1	<u> Підпрограма передачі даних на станцію </u>	
	<u>Завершення сеансу зв'язку зі станцією</u>	
M6	SETB SM2	Установка біта SM2 у регістрі SCON
	SETB ES	Дозвіл переривань від ПП
EXIT1	RETI	Вихід з підпрограми обробки переривання від послідовного порту

Рис.2.42. Продовження

Програми станції й абонента в сеансі "абонент→станція"

Мітка	Мнемокод	Коментарі
	<u>Виклик абонента №2 на зв'язок</u>	
	SETB TB8	Установка біта TB8 з метою забезпечення можливості запуску підпрограм переривання всіх абонентів від їхніх приймачів
	MOV SBUF, #82	1-е широкомовне повідомлення, у якому зазначені № 2-го абонента і вид сеансу: "абонент→станція"
	<u>Підготовка до сеансу "абонент→станція"</u>	
	MOV R0, #56	Завантаження в регістр R0 непрямой адресації адреси 1-ої комірки масиву РПД, у яку запишеться 1-е повідомлення, що надійде від абонента
	<u>Прийом станцією даних від абонента №2</u>	
M7	JNB RI, M7	Чекання приходу повідомлення від абонента
	CLR RI	Скидання прапора прийому повідомлення
	JB RB8, END2	Перевірка біта RB8 кінця зв'язку
	MOV @R0, SBUF	Запис повідомлення, що надійшло, у РПД
	INC R0	Просування по адресах масиву РПД, у яку записуються прийняті повідомлення
	SJMP M7	Повернення на прийом наступного повідомлення
END2	<u>Кінець сеансу зв'язку</u>	

Рис.2.43. Програма станції в сеансі "абонент №2→станція"

Мітка	Мнемокод	Коментарі
	<u>Перевірка адреси, переданої станцією</u>	
Адреса 0023	MOV A, SBUF	По перериванню RI від приймача пересилання повідомлення, що надійшло, в акумулятор
	MOV B, A	Копіювання A в регістр B
	CLR A.7	Придушення в прийнятому повідомленні біта виду обміну
	CLR RI	Скидання прапора переривання від приймача

Рис.2.44. Програма абонента №2 у сеансі "абонент №2→станція"

Мітка	Мнемокод	Коментарі
	CJNE A, #02, EXIT2	Порівняти прийнятий код з адресою 02H абонента №2. Якщо надійшла не адреса абонента №2, то вихід
	CLR SM2	Скидання біта SM2 у регістрі SCON
	CLR ES	Заборона переривань від послідовного порту
	<u>Розпізнання виду зв'язку – введення чи вивід даних</u>	
M4	JB B.7, OUT2	Перевірка в операції вибору абонента 7-го біта, що вказує на вид зв'язку
IN2	Підпрограма прийому даних зі станції	
	<u>Підпрограма передачі даних на станцію</u>	
OUT2	MOV R0, #71	Завантаження в регістр R0 непрямой адресації адреси 1-ої комірки, вміст якої буде передано на станцію
	MOV R7, #03	Завантаження в регістр кількості комірок масиву РПД, вміст яких буде передано на станцію
	CLR TB8	Скидання біта TB8, що виконує роль покажчика кінця зв'язку зі станцією
M8	MOV SBUF, @R0	Пересилання чергового біта на станцію
	INC R0	Просування по адресах масиву РПД, вміст яких призначено для відправлення на станцію
M9	JNB TI, M9	Чекання кінця передачі повідомлення
	CLR TI	Скидання прапора переривання від передавача
	DJNZ R7, M8	Перевірка кінця масиву даних, що пересилаються. Якщо не всі дані відправлені на станцію, то на мітку M8
	SETB TB8	Установка біта TB8, що виконує роль покажчика кінця зв'язку зі станцією
	MOV SBUF, #02	Передача на станцію повідомлення, що містить адресу #02 абонента і 8-й біт зі значенням 1
M10	JNB TI, M10	Чекання кінця передачі повідомлення
	CLR TI	Скидання прапора запиту переривання від передавача
	<u>Завершення сеансу зв'язку зі станцією</u>	
M6	SETB SM2	Установка біта SM2 у регістрі SCON
	SETB ES	Дозвіл переривань від ПП
EXIT2	RETI	Вихід з підпрограми обробки переривання від послідовного порту

Рис.2.44. Продовження

Питання і завдання

1. Поясніть принцип дії мультиконтролерної системи.
2. Поясніть програму ініціалізації станції.
3. Поясніть програму ініціалізації абонентів.
4. Поясніть програму станції в сеансі обміну інформацією "станція-абонент".
5. Поясніть програму абонента в сеансі обміну інформацією "станція-абонент".
6. Поясніть програму станції в сеансі обміну інформацією "абонент-станція".
7. Поясніть програму абонента в сеансі обміну інформацією "абонент-станція".

2.9. Мікроконтролерна система керування вантажним ліфтом

Функціональна схема керування вантажним ліфтом на два поверхи приведена на рис.2.45. Є електродвигун Д, напрямок обертання якого і, отже, рух ліфта нагору чи униз, визначається тим, який з контакторів Н ("Нагору") чи У ("Униз") включений. Для пуску ліфта нагору чи униз служать кнопки ПН і ПУ. При досягненні ліфтом крайнього верхнього положення натискається кінцевий вимикач КН, ліфт зупиняється і ввімкнути його для руху нагору неможливо. Аналогічно кінцевий вимикач КУ зупиняє рух ліфта при досягненні їм нижнього крайнього положення. Кнопкою С ("Стоп") ліфт можна зупинити в будь-якій положенні. При реверсі руху ліфта між включеннями контакторів різних напрямків руху вводиться пауза тривалістю 0,5 секунди для того, щоб встигла згаснути дуга на контактах відключеного контактора. Про стан ліфта сигналізують лампи: ЛН – "Ліфт нагорі", ЛУ – "Ліфт унизу" і ЛЗ – "Ліфт зупинений".

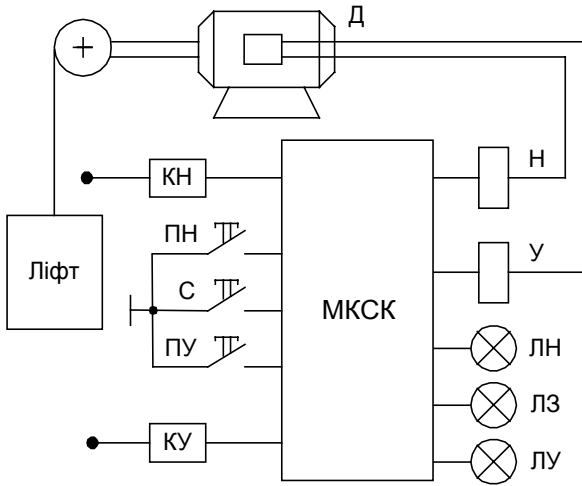


Рис.2.45. Функціональна схема системи керування вантажним ліфтом

Принципова електрична схема МКСК приведена на рис.2.46. Вхідні сигнали заведені на порт P1, вихідні – на порт P2. Рахункові імпульси для створення витримки часу подані на вхід T0. Для загострення фронтів імпульсів, що надходять на вхід T0 (вивід P3.4), застосовуються інвертор за умови, щоб тривалість зрізу сигналу T0 не перевищувала 20 нс. На схемі показаний один інвертор, хоча їх може бути декілька послідовно включених.

Алгоритм керування ліфтом, приведений на рис.2.47, містить модуль ініціалізації таймер/лічильника Т/ЛЮ (блок 1), модуль витримки часу (блоки 2...4), модуль керування рухом ліфта нагору (блоки 5...10) і модуль керування рухом ліфта униз (блоки 11...16).

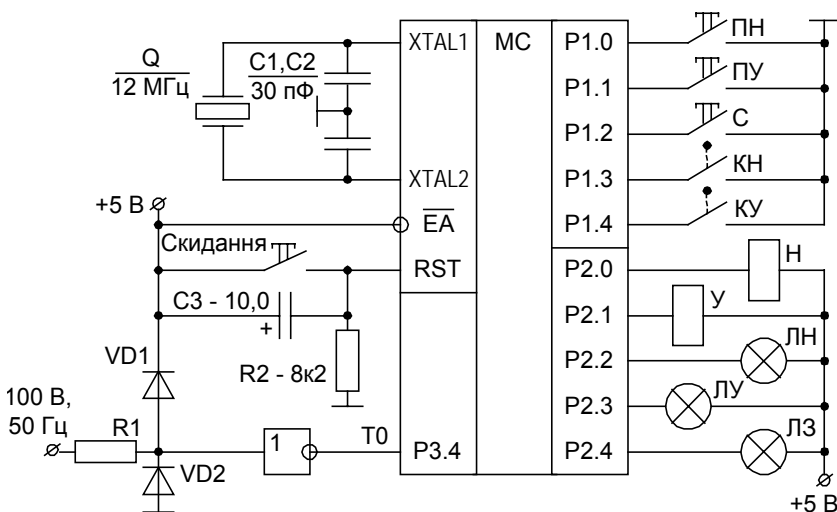


Рис.2.46. Принципова електрична схема

У блоці 1 шляхом завантаження в регістр TMOD коду #05H=#0000.0101B виробляється налаштування Т/ЛЮ на режим 1 лічильника з заборонаю апаратного керування лічильником (див. рис.2.22).

Функції блоків модуля витримки часу:

Блок 4: У лічильник Т/ЛЮ завантажується код EFE7H. Через 0,5 секунд піс-

ля старту Т/ЛЮ при періоді рахункових імпульсів 20 мс до переповнення на лічильник повинно надійти $N_T=25_{10}=19H$ імпульсів. По формулі (22.2) знаходимо код числа, що завантажується попередньо в Т/ЛЮ

$$N_{сч} = FFFF - (0019 - 1) = FFE7H$$

Після завантаження лічильника установкою біта TR0 він запускається на рахунок.

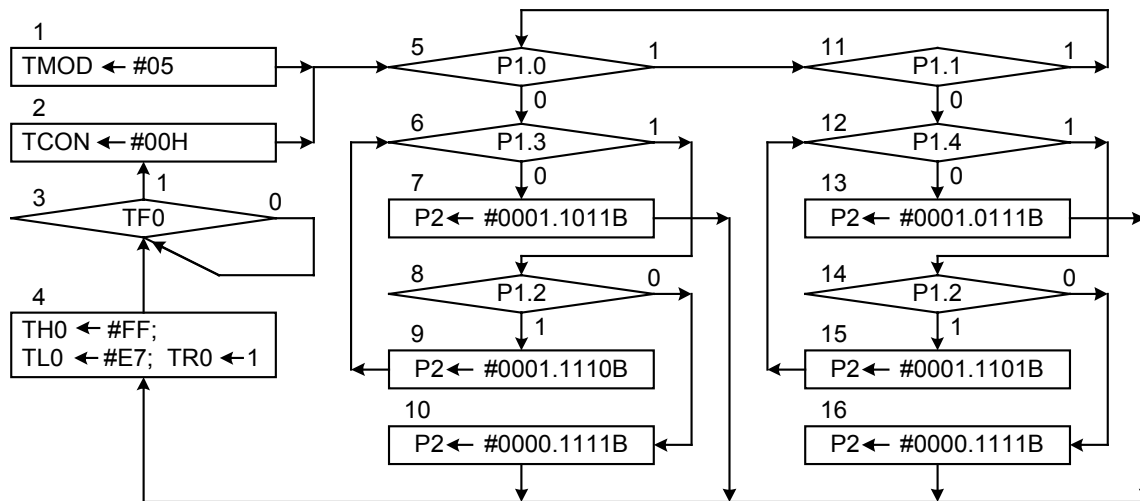


Рис.2.47. Алгоритм мікроконтролерної системи керування вантажним ліфтом

Блок 3: Контролюється прапор TF0 переповнення Т/ЛЮ.

Блок 2: Зупиняється лічильник і скидається прапор переповнення TF0.

Функції блоків модуля керування рухом ліфта нагору:

Блок 5: Опитування кнопки ПН пуску ліфта нагору. Якщо вона не натиснута, то перехід на перший блок модуля керування рухом ліфта вниз, інакше на блок 6.

Блок 6: Опитування кінцевого вимикача КН. Якщо ліфт нагорі і КН замкнуто, то виконується блок 7.

Блок 7: Запалюється лампа ЛН (біт P2.2=0), а всі інші споживачі, підключені до порту P2, вимикаються. Далі вихід на модуль витримки часу.

Блок 8: Опитування кнопки С. Якщо вона не натиснута, то виконується блок 9, інакше перехід на блок 10.

Блок 9: Вмикається контактор Н (біт P2.0=0) руху ліфта нагору, а всі інші споживачі, підключені до порту P2, виключаються. Далі вихід на блок 6 контролю кінцевого вимикача.

Блок 10: Запалюється лампа ЛЗ (біт P2.4=0), а всі інші споживачі, підключені до порту P2, вимикаються. Далі вихід на модуль витримки часу.

Для роботи модуля руху ліфта нагору характерно те, що в ньому після натискання кнопки ПН утвориться замкнутий цикл із блоків 6-8-9-6, вийти з якого можна або при замиканні кінцевого вимикача КН, коли ліфт досяг крайнього верхнього положення, або після натискання кнопки С "Стоп".

Функції блоків модуля керування рухом ліфта униз аналогічні функціям блоків модуля керування рухом ліфта нагору.

Реверс руху можливий тільки через 0,5 секунд після зупинки ліфта.

Програма МКСК вантажним ліфтом приведена на рис.2.48.

Адреса	Код	Мітка	Мнемокод	Коментарі
0000	75 89 05	M1	MOV TMOD, #05	#05H=#0000.0101B – настроювання Т/ЛЮ на режим 1 лічильника
0003	80 0E		SJMP M5	rel=0E=13-05
0005	75 8C FF	M4	MOV TH0, #FF	Попереднє завантаження Т/ЛЮ на витримку часу 0,5 секунди
0008	75 8A E7		MOV TL0, #E7	
000B	D2 BC		SETB TR0	Старт Т/ЛЮ
000D	30 8D FD	M3	JNB TF0, M3	rel=FD=(100+0D)-10
0010	75 88 00	M2	MOV TCON, #00	Стоп Т/ЛЮ і скидання прапора переповнення TF0
0013	20 90 15	M5	JB P1.0, M11	rel=15=2B-16
0016	20 93 05	M6	JB P1.3, M8	rel=05=1E-19
0019	75 A0 1B	M7	MOV P2, #1B	Запалити тільки лампу ЛН
001C	80 E7		SJMP M4	rel=E7=(100+05)-1E
001E	30 92 05	M8	JNB P1.2, M10	rel=05=26-21
0021	75 A0 1E	M9	MOV P2, #1E	Ввімкнути тільки контактор Н
0024	80 F0		SJMP M6	rel=F0=(100+16)-26
0026	75 A0 0F	M10	MOV P2, #0F	Запалити тільки лампу ЛЗ
0029	80 DA		SJMP M4	rel=DA=(100+05)-2B
002B	20 91 E5	M11	JB P1.1, M5	rel=E5=(100+13)-2E
002E	20 93 05	M12	JB P1.4, M14	rel=05=36-31
0031	75 A0 17	M13	MOV P2, #17	Запалити тільки лампу ЛУ
0034	80 CF		SJMP M4	rel=CF=(100+05)-36
0036	30 92 05	M14	JNB P1.2, M16	rel=05=3E-39
0039	75 A0 1D	M15	MOV P2, #1D	Ввімкнути тільки контактор У
003C	80 F0		SJMP M12	rel=F0=(100+2E)-3E
003E	75 A0 0F	M16	MOV P2, #0F	Запалити тільки лампу ЛЗ
0041	80 C2		SJMP M4	rel=C2=(100+05)-43
0043				

Рис.2.48. Програма керування вантажним ліфтом

Питання і завдання

1. Поясніть функціональну принципову електричну схему МКСК ліфтом.
2. Поясніть роботу блоків ініціалізації алгоритму і програми керування ліфтом.
3. Поясніть роботу блоків алгоритму і програми витримки часу при зміні напрямку руху ліфта.
4. Поясніть роботу блоків алгоритму і програми керування рухом ліфта нагору.
5. Поясніть роботу блоків алгоритму і програми керування рухом ліфта вниз.

3. ПИТАННЯ ЕКСПЛУАТАЦІЇ МІКРОПРОЦЕСОРНИХ ПРИСТРОЇВ

3.1. Налагодження апаратних засобів МПСК

МПСК складається з взаємодіючих апаратних засобів (мікросхем і електричних компонентів) і програмного забезпечення (програм). У цьому випадку пошук несправності мікропроцесорного пристрою складний тим, що важко визначити причину і місце несправності - в апаратній частині чи в програмному забезпеченні. У будь-якій ситуації в першу чергу потрібно установити справність елементів апаратної частини і, у випадку несправності, - усунути їх. Для рішення подібного роду проблем використовується контрольно-вимірювальна апаратура, номенклатура якої варіюється від простих приладів до спеціальних багатофункціональних систем. Ця задача може вирішуватися різними способами з різною ефективністю і з різними витратами системних ресурсів, причому з ростом ефективності ростуть і ресурси. Тому вибір раціональних способів являє собою важливу і досить складну задачу.

Контрольно-вимірювальна апаратура. Під звичайною контрольно-вимірювальною апаратурою маються на увазі ті прилади, що застосовувалися для налагодження електричних і електронних схем до появи мікропроцесора, а саме тестери, осцилографи, цифрові вольтметри і частотоміри. При налагодженні МПСК ці прилади використовуються для контролю напруги електроживлення, величини споживаного струму, перевірки частоти і форми періодичних сигналів і контролю наявності неперіодичних сигналів на шинах мікропроцесора в режимі вільного рахунку.

Ручні інструментальні засоби. До них відносяться логічні пробники, логічні компаратори, безконтактні індикатори струму.

Логічний пробник являє собою пристрій для контролю рівня напруги в точках схеми, у яких сигнал утримується постійним протягом часу контролю чи змінюється з малою частотою – порядку декількох герців. Результати контролю виводяться на світлові індикатори рівнів логічного нуля і одиниці чи заданого проміжного рівня.

Логічний компаратор містить шлейф (багатожильний кабель), що має з одного боку кліпсу, за допомогою якої підключаються до випробовуваної мікросхеми без її випаювання з плати, панельки для установки в неї зразкової мікросхеми тотожної випробовуваній і логічний пристрій з дисплеєм (рис.3.1). Вхідні сигнали однакові для обох мікросхем. Усі вихідні сигнали випробовуваної мікросхеми порівнюються з відповідними вихідними сигналами зразкової. При справній випробовуваній мікросхемі її вихідні сигнали повинні збігтися із сигналами зразкової. Результати перевірки відображаються на дисплеї.

Безконтактні *індикатори струму* служать для контролю струмів у захищених ізоляційним покриттям провідниках друкованих плат (рис.3.2). Індикатор потрібно орієнтувати так, щоб провідник друкованої плати і зазор магнітопроводу індикатора були взаємно перпендикулярні. При наявності в доріжці друкованої плати імпульсів струму навколо їх утворюється перемінне магнітне поле напруженістю H пропорційної струму в доріжці, а в котушці індуктується електрорушійна

сила (е.р.с.). Якщо е.р.с. немає, то або доріжка обірвана з боку джерела сигналу, або джерело сигналу не посилає імпульси. Якщо величина е.р.с. занижена, то або струм у доріжці малий через обрив доріжки в приймачів, або перекручені (занадто положисті) фронти імпульсів. Якщо величина е.р.с. завищена, то або мається коротке замикання доріжки на землю, або коротке замикання на вході приймача.

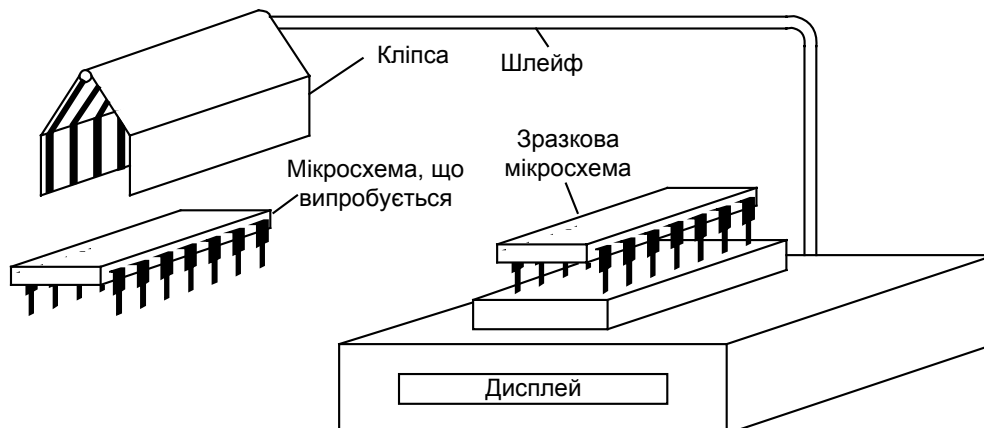


Рис.3.1. Контроль ІМС за допомогою логічного компаратора

Тому що величина е.р.с. залежить не тільки від перерахованих факторів, але і від відстані між сердечником індикатора і провідником друкованої плати, то потрібно певна навичка в його застосуванні. Цим індикатором не можна контролювати протікання по доріжці постійного струму.

Логічні аналізатори – це пристрої, що дозволяють реєструвати і запам'ятовувати по тактах сигнали, що змінюються, одночасно у всіх провідниках шин МПСК.

Перед початком роботи задається опорний код, з яким будуть порівнюватися коди, що знімаються з контрольованої шини. При роботі логічного аналізатору запам'ятовуються блоки сигналів контрольованої шини, що передують опорному коду чи ідуть за ним. Технічні характеристики логічних аналізаторів: від 8 до 48 контрольованих розрядів шин; від 64 до 2048 тактів станів сигналів для кожного розряду; частота реєстрації від 20 до 200 МГц; регульована ємність блоку кодів сигналу, що реєструється, до моменту появи опорного коду; внутрішнє і зовнішнє тактування.

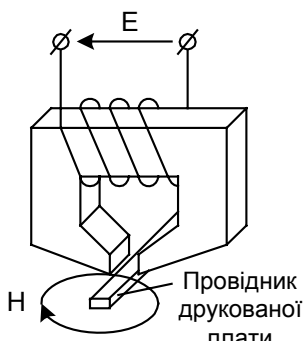
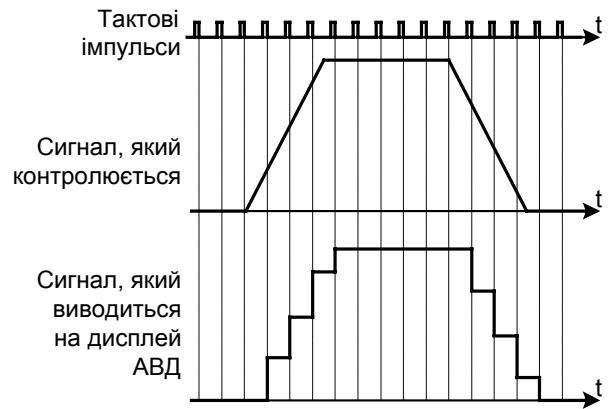
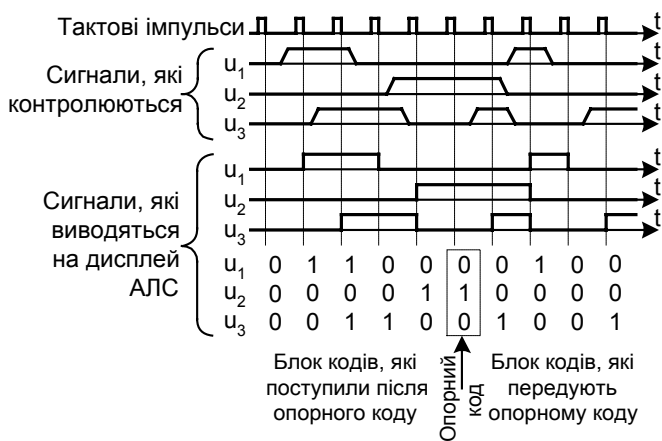


Рис.3.2. Індикатор струму

В залежності від частоти і виду тактових імпульсів логічні аналізатори підрозділяють на два типи - АЛС і АТД.

Аналізатор логічних станів (АЛС) тактується зовнішніми імпульсами, що знімаються з МПСК, наприклад, тактовими імпульсами з періодом, рівним часу машинного циклу, часу виконання команд. Опорним кодом може бути задана адреса на ША, код операції й операнди ШД, номер зовнішнього пристрою МПСК й ін. Реєструються сигнали логічних станів ША, ШД і ШК МПСК. Результати контролю МПСК запам'ятовуються в цифровому виді і виводяться на дисплей АЛС або у виді графіків сигналів, або у виді масиву сигналів зі значеннями 0 і 1 (рис.3.3а). Перевагою АЛС є великий інтервал часу контролю сигналів МПСК, а недоліком - форма виведених на дисплей сигналів відрізняється від дійсної форми контрольованих сигналів.



а). Режим аналізатора логічних состояний (АЛС)

б). Режим аналізатора тимчасових діаграм (АТД)

Рис.3.3. Діаграми запису сигналів логічного аналізатора

Аналізатор тимчасових діаграм (АТД) тактується як зовнішніми, так і внутрішніми імпульсами, причому частота тактових імпульсів повинна набагато перевершувати частоту зміни сигналів на шині МПСК. Опорний код установлюється так само, як для АЛС. Результати контролю запам'ятовуються в аналоговому виді і виводяться у виді графіків сигналів, що досить точно передають форму контрольованих сигналів (рис.3.3б), що є перевагою режиму АТД. Недоліком є малий інтервал часу контролю сигналів.

Сигнатурні аналізатори являють собою прилади, що здійснюють стиск послідовного потоку двійкової інформації, що проходить через контрольовану точку схеми МПСК. Код стиснутої інформації називається сигнатурою. Його застосування для діагностування засновано на тім принципі, що при збудженні схеми МПСК однією і тією ж послідовністю сигналів у контрольованій точці буде постійна сигнатура. Якщо ж сигнатура контрольованої точки відрізняється від еталонної сигнатури, то значить пристрій несправний. Метод сигнатур аналогічний методу позначення на аналогових схемах рівнів напруг у контрольних точках.

Причину появи неправильної сигнатури легко знайти, перевіряючи різні точки схеми з позначеними для них сигнатурами, відзначаючи серед них правильні і неправильні і просліджуючи послідовності сигналів. Процедура продовжується доти, поки не вдасться знайти елемент із правильними вхідними, але помилковими вихідними сигнатурами. Цей елемент і буде несправним. Дана методика дозволяє з високою точністю локалізувати несправність.

Принцип дії сигнатурного аналізатора пояснюється рис.3.4.

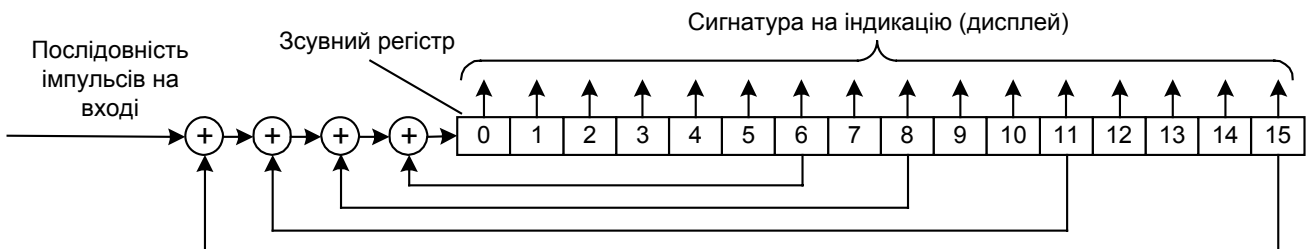


Рис.3.4. Принцип дії сигнатурного аналізатора

Уміст 16-розрядного зсувного регістру відображається в шістнадцятерічному форматі. Звичайно використовуються наступні нестандартні шістнадцятеричні символи 0,1,2,3,4,5,6,7,8,9,A,C,F,H,P,U, які зручно виводити на дисплей світлових індика-

торів, що мають по сім сегментів. Наприклад, при надходженні на вхід сигнатурного аналізатора послідовності із 20 імпульсів 1111.1100.0001.1111.1111 буде сформована наступна сигнатура 359Н.

Імовірність виявлення збою в контрольованому вузлі МПСК при застосуванні сигнатурного аналізу з 16 розрядним зрушійним регістром дорівнює 1 (100%), якщо вхідна послідовність має не більш 16 імпульсів і дорівнює 0,99998 (99,998%) при довжині вхідної послідовності більш 16 імпульсів.

Питання і завдання

- 1. Дайте характеристики специфіки й особливостей налагодження схем мікропроцесорних і мікроконтролерних систем.*
- 2. У яких операціях налагодження апаратної частини і як можуть використовуватися контрольовано-вимірвальні прилади?*
- 3. У яких операціях налагодження апаратної частини і як можуть використовуватися логічні пробники і логічні компаратори?*
- 4. У яких операціях налагодження апаратної частини і як можуть використовуватися безконтактні індикатори струму?*
- 5. У яких операціях налагодження апаратної частини і як можуть використовуватися аналізатори логічних станів?*
- 6. У яких операціях налагодження апаратної частини і як можуть використовуватися аналізатори часових діаграм?*
- 7. У яких операціях налагодження апаратної частини і як можуть використовуватися*
- 8. У яких операціях налагодження апаратної частини і як можуть використовуватися сигнатурні аналізатори?*

3.2. Налагодження програмного забезпечення МПСК

Налагодження програмного забезпечення МПСК містить в собі контроль працездатності і локалізацію відмовлень програми. Основними методами налагодження є аналіз тексту програми і тестування програми, яка виконується.

Суть статичного аналізу складається з перевірки синтаксису команд, форматів даних і перевірки повноти і несуперечності графа задач МПСК (рис.3.5).

Граф є узагальненим представленням алгоритму, на якому вершини зіставляються з початковими і кінцевими точками команд безумовних і умовних переходів по програмі, а гілки еквівалентні лінійним ділянкам програми. Таке представлення має ту перевагу, що граф, відображаючи процеси перетворення інформації, набагато простіше реального алгоритму і, тим більше, програми.

Якщо повний граф задач МПСК містить усе-таки велике число вершин і гілок, то доцільно на ньому виділити підграфи. Підграфи, як правило, виділяються по функціональній схемі так, щоб вершини і гілки, які відображені на підграфові, відносилися б до однієї закінченої задачі, наприклад, керування одним об'єктом. У такому випадку кількість гілок між підграфами мінімальне, що спрощує аналіз підграфа, а невеликі розміри підграфів дозволяють простежити на них усі можливі шляхи руху інформації, тим самим установити повноту і несуперечність виконання команд програм.

Тестування програми, яка виконуються, провадиться з реальними і спробними сигналами. Основними методами виявлення відмовлень є періодичні виконання спеціально складеної тестової програми, безупинний контроль зависань і зациклень програми. Локалізація відмовлень у програмі здійснюється переведенням МПСК в покрокове виконання команд. В усіх названих варіантах тестування в схему МПСК вводяться додаткові елементи і складаються спеціальні програми.

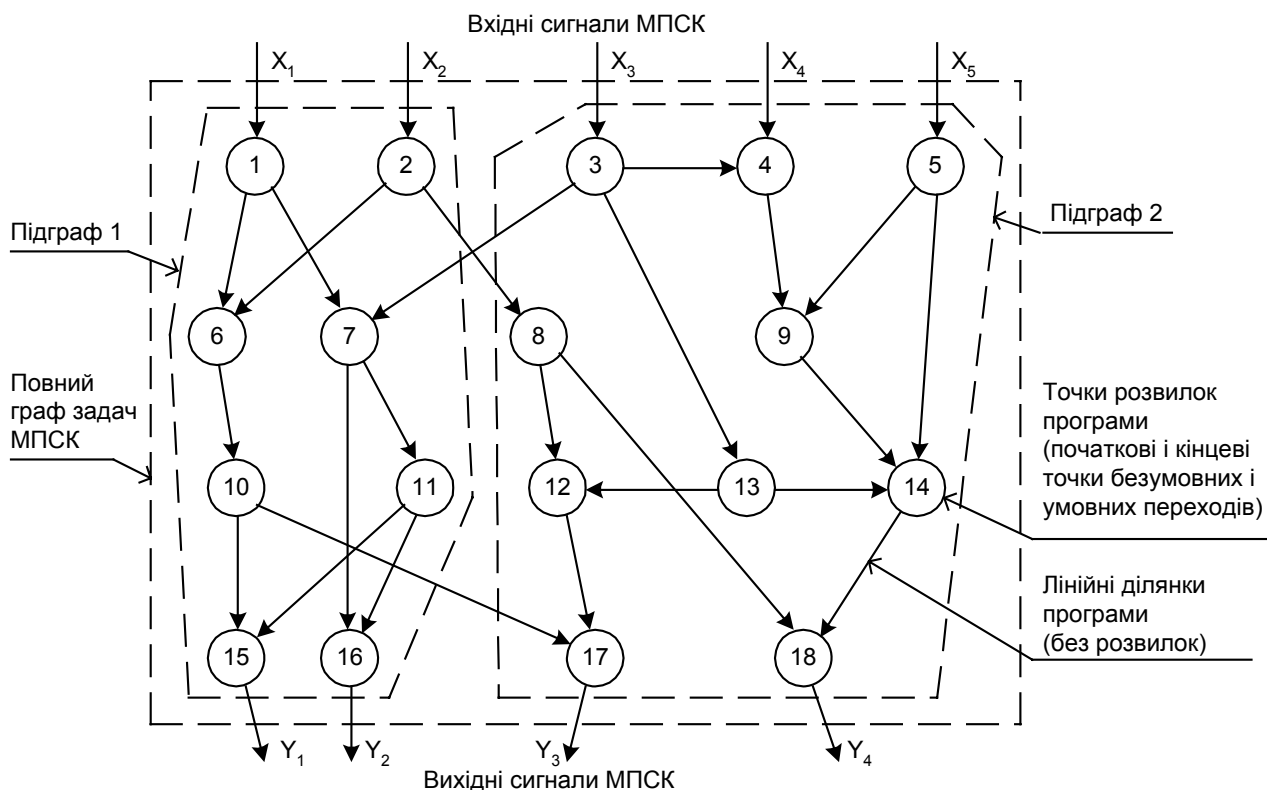


Рис.3.5. Граф задач МПСК

Тестовими програмами проводиться перевірка працездатності елементів схеми й основної програми МПСК. При тестуванні можуть генеруватися спробні сигнали. На час тестування запам'ятовується і не змінюється стан сигналів вихідної програми. Результатами тестування є інформація про програму, що відмовила, про несправні елементи схеми. У випадку виявлення відмовлення далі проводиться покрокове виконання команд програми МПСК.

На рис.3.6 приведена принципова електрична схема покрокового контролю виконання команд, а на рис.3.7 - алгоритм покрокового режиму.

При розімкненому тумблері SA2 (положення "Робота") виконується основна програма МПСК. У положенні "Тест" реалізується покроковий режим виконання основної програми МПСК: на кожному кроці виконується тільки одна команда і за результатами її виконання виводиться діагностична інформація. Зміст діагностичної інформації повинний бути таким, щоб з її допомогою можна було б знайти несправності в роботі

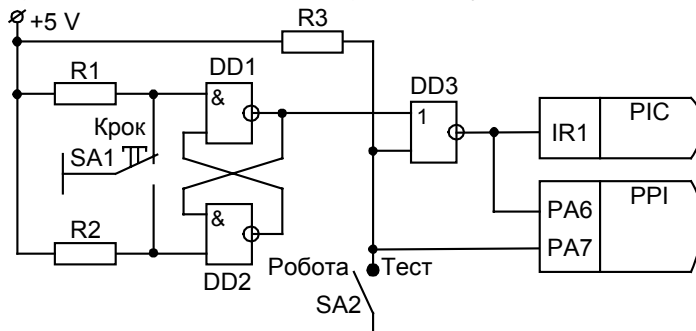


Рис.3.6. Схема покрокового режиму для мікропроцесора КР580ВМ80

МПСК. Приклади діагностичної інформації:

- вивід на дисплей адреси команди, виконаної на останньому кроці;
- вивід коду і мнемокоду виконаної команди;
- вивід умісту регістрів і заданих комірок пам'яті;
- вивід значень вхідних і вихідних сигналів зовнішніх пристроїв.

Схема підготовляється до покрокового режиму переключенням тумблера SA2 у положення "Тест". Вхід у покроковий режим і подальше просування по програмі кроками здійснюється кнопкою SA1 "Крок", яку потрібно щораз спочатку натиснути, а потім відпустити. У результаті такої маніпуляції кнопкою "Крок" у стеці буде збережена адреса відкладеної команди і програма зациклиться на блоках 2 і 3 (рис.3.7), виконавши перед цим у блоці 1 програму виводу діагностичної інформації з результатів виконання чергової команди.

При натиснутій кнопці "Крок" на вхід IR1 контролера переривань PIC надійде сигнал 1, процесор приступить до обслуговування запиту переривання IR1 і керування буде передане на стартову адресу блоку 1. Програма блоку 1 складається з трьох функціональних частин:

- витяг з виділеного спареного регістра загального призначення мікропроцесора чи виділених комірок ОЗП адреси виконаної команди;

- вивід на дисплей діагностичної інформації, що становить адреси і коди виконаної команди і значення сигналів в обраних точках схеми МПСК і зовнішніх пристроїв;

- пересилання зі стека адреси відкладеної команди у виділений спарений регістр загального призначення чи виділені комірки ОЗП.

У блоці 2 читається з тумблера SA2 сигнал режиму роботи схеми, який надходить на вхід PA7 контролера PPI. Якщо SA2 переводиться в положення "Робота", то іде безповоротний вихід в основну програму через блок 6. При положенні "Тест" тумблера виконуються команди блоку 3.

Сигнал PA6, що перевіряється в блоці 3, утримується в стані 1 доти, поки кнопка SA1 "Крок" залишається натиснутою. Тому при натиснутій кнопці "Крок" програма зациклюється на блоках 2 і 3.

Після відпускання кнопки "Крок" програма покрокового режиму зациклюється на блоках 4 і 5. Діагностична інформація, сформована в блоці 1, утримується постійно виведеною на дисплей і аналізується обслуговуючим персоналом.

Для просування на крок по програмі, що тестується, натискається кнопка "Крок". Проводиться вихід через блок 6 на відкладену команду. Команда виконується і під час її виконання перевіряється вхід IR1 контролера PIC. При натиснутій кнопці "Крок" буде IR1=1 і знову запусниться блок 1 програми обробки переривання з попереднім збереженням у стеці адреси відкладеної команди.

Схема безупинного контролю зависань програми приведена на рис.3.8. Якщо програма МПСК нормально виконується, то відбуваються періодичні звертання до зовнішніх пристроїв – ЗП1, ЗП2,... сигналом $\overline{CS}=0$. Під час цих звертань пе-

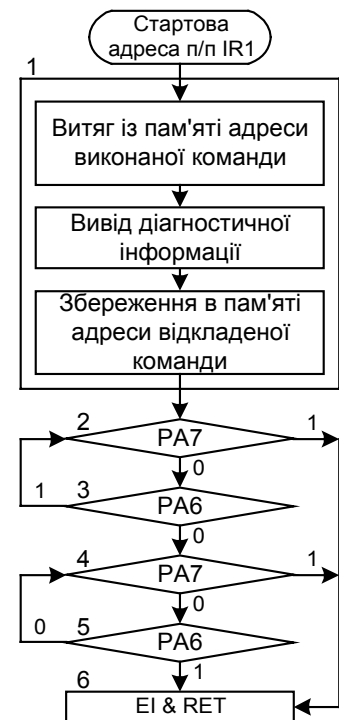


Рис.3.7. Алгоритм покрокового режиму

ріодично скидається лічильник СТ. Якщо в звертаннях до ЗП наступила тривала перерва, то лічильник під дією тактових імпульсів ТІ встигне заповнитися до кінця і на виході Q переповнення лічильника з'явиться сигнал, по якому відбудеться скидання процесора чи мікроконтролера, а також буде виведена сигналізація про зависання програми МПСК.

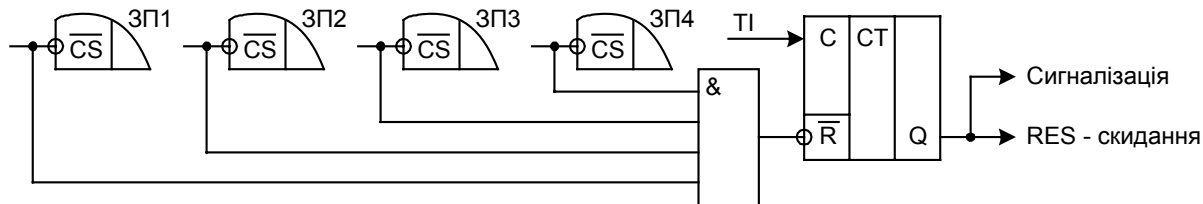


Рис.3.8. Схема контролю зависань програми

Схема безупинного контролю зациклень програми приведена на рис.3.9. При нормально виконуваній програмі МПСК, що складається з послідовно виконуваних підпрограм П1, П2 і т.д., на початку кожної підпрограми посилається 0-імпульс скидання на лічильник СТ. Якщо відбулася неприпустимо велика затримка у виконанні хоча б однієї підпрограми, то лічильник під дією тактових імпульсів ТІ встигне заповнитися до кінця і на виході Q переповнення лічильника з'явиться сигнал, по якому відбудеться скидання процесора чи мікроконтролера, а також буде виведена сигналізація про зациклення програми МПСК.

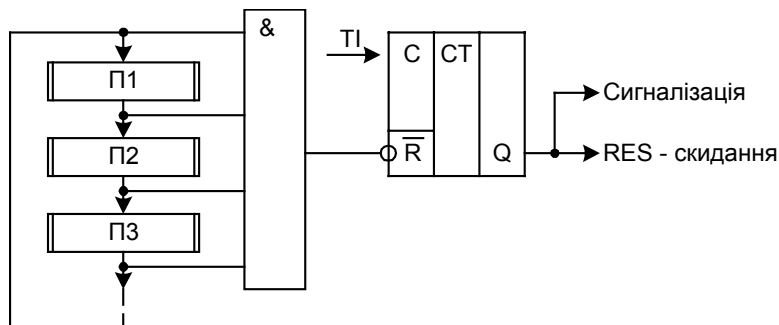


Рис.3.9. Схема контролю зациклень програми

Питання і завдання

1. Поясніть суть статичного аналізу програм. Як складається граф задач?
2. Поясніть метод тестування програми. Які види тестування використовуються при налагодженні програмного забезпечення?
3. Поясніть схему тестування МПСК в покроковому режимі.
4. Поясніть алгоритм тестування МПСК в покроковому режимі.
5. Що таке – діагностична інформація? Наведіть приклади діагностичної інформації.
6. Поясніть схему і принцип дії системи контролю зависань програми.
7. Поясніть схему і принцип дії системи контролю зациклень програми.

3.3. Методи забезпечення стійкості до перешкод

Перешкодами для МПСК є зовнішні чи внутрішні впливи, що приводять до перекручування дискретної інформації під час її передачі, обробки і збереження. Працездатність МПСК багато в чому залежить від її стійкості до перешкод. Збій навіть в одному біті коду операції команди веде до відмови МПСК. Так, напри-

клад, коди операцій $33H=1100.0011$ і $D3H=1101.0011$ двох команд мікропроцесора KP580BM80, відповідно, JMP і OUT відрізняються тільки одним 4-м бітом, а результати їхнього виконання суттєво різні. Коди операцій $20H=0010.0000$ і $24H=0010.0100$ двох команд мікроконтролера K1816BE51, відповідно, JB bit, rel і ADD A, #d також відрізняються тільки одним 2-м бітом, а результати їхнього виконання розрізняються істотно.

По характеру впливу на МПСК перешкоди виявляються як затримки передачі імпульсів, перекичування форми імпульсів, у тому числі – фронтів, перекичування амплітуди імпульсів, постійні зсуви рівнів напруги живлення, динамічні нестабільності напруги живлення.

По джерелу створення перешкоди підрозділяються на зовнішні і внутрішні. Зовнішні перешкоди виявляються як наведення від сторонніх споживачів електрики таких як перетворювальні пристрої, електродвигуни, пристрої електроавтоматики, зварювальні апарати, електричний транспорт, радіоапаратура, удари блискавки і т.п. Прояви внутрішніх перешкод зв'язані з існуванням ліній зв'язку на платах схем МПСК.

По місцю прояву перешкоди підрозділяються на перешкоди в сигнальних лініях зв'язку й у ланцюгах живлення. Перешкоди в сигнальних лініях зв'язку підрозділяються на перешкоди в електрично коротких і електрично довгих лініях зв'язку.

Проявом внутрішніх перешкод в електрично коротких лініях зв'язку є перекичування фронтів імпульсів через ємність C_M монтажу й індуктивності L_L ліній зв'язку (рис.3.10), а також через наведення в сусідніх провідниках, викликаних ємнісним $C_{ЗВ}$ і індуктивним $M_{ЗВ}$ зв'язками між ними (рис.3.11). Природно реально перекичування відбуваються одночасно через C_M , L_L , $C_{ЗВ}$ і $M_{ЗВ}$, але, як правило, з явною перевагою однієї з причин перекичувань.

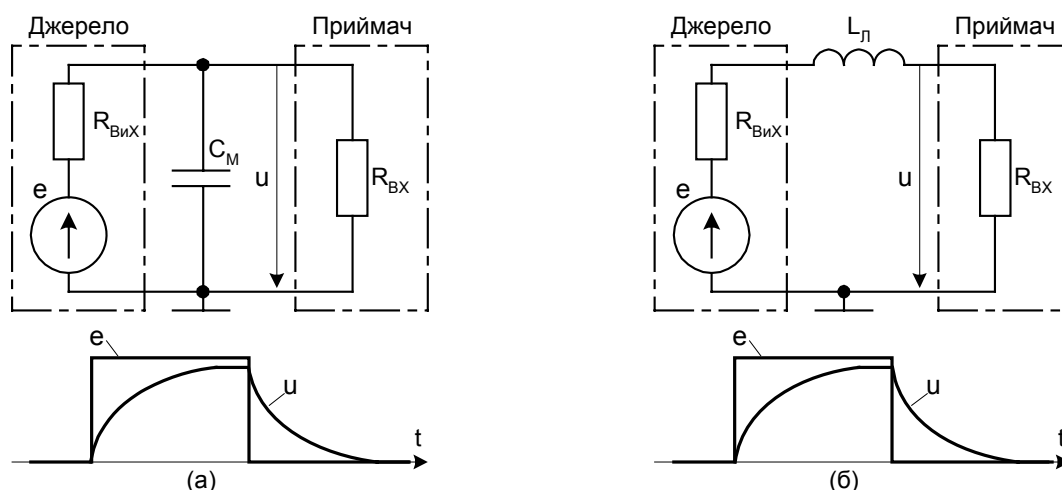


Рис.3.10. Перекичування фронтів імпульсів в коротких лініях зв'язку

Перекичування імпульсів і наведення через ємності C_M і $C_{ЗВ}$ характерні для схем МПСК, що містять елементи КМОП-типу, для яких малі струми в приєднаних лініях зв'язку, а через індуктивність L_L і індуктивний зв'язок $M_{ЗВ}$ – для ТТЛ-типу, для яких струми в приєднаних лініях зв'язку великі і створюють навколо них сильні магнітні поля.

На рис.3.11 джерело 1 передає сигнал для приймача 1, але через ємнісний і індуктивний зв'язки в сусідній пасивній лінії, що зв'язує джерело 2 із приймачем 2,

також наводиться сигнал-перешкода. Одночасно пасивна лінія спотворює сигнал в активній лінії, додатково навантажуючи її.

Зменшити перекичування в схемах, приведених на рис.3.10, можна як зниженням вихідного опору $R_{ВИХ}$ джерела, наприклад, включенням шинних формувачів, так і підвищенням вхідного опору $R_{ВХ}$ приймача, наприклад, застосуванням мікросхем з малими вхідними струмами. Потрібно також максимально видаляти провідники схеми від провідників ланцюгів живлення і землі, а шини живлення і землі виконувати навісними провідниками.

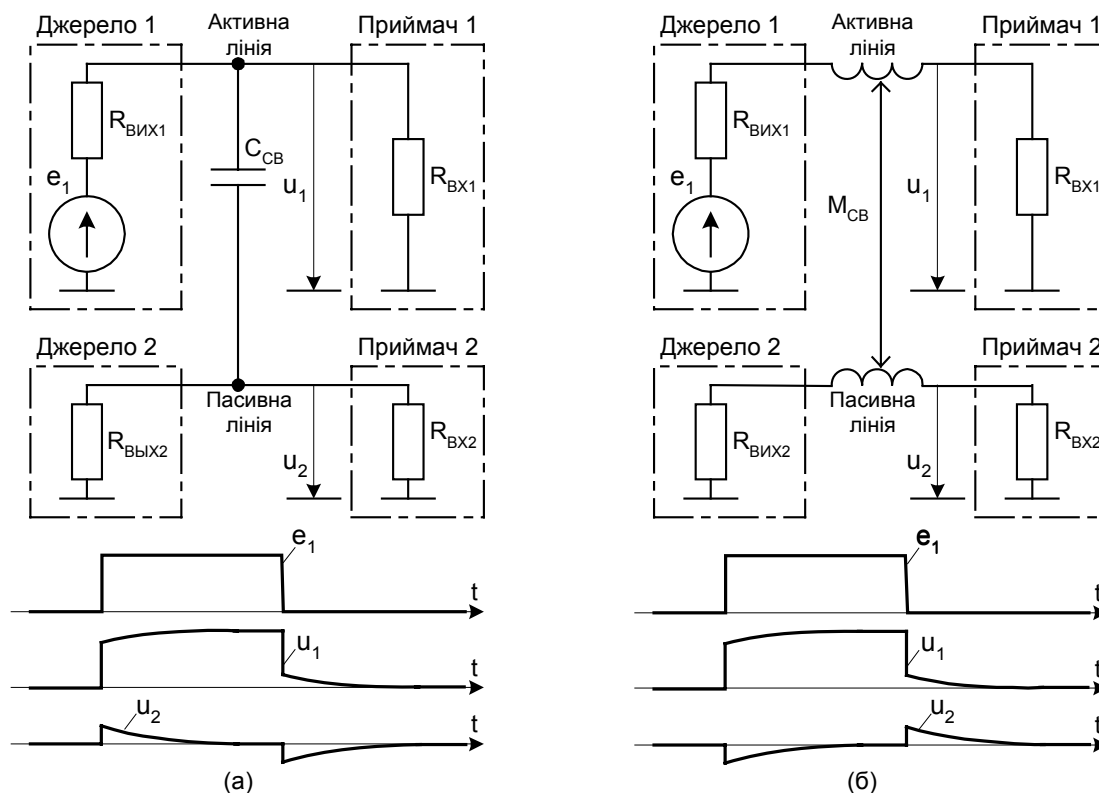


Рис.3.11. Перекичування фронтів імпульсів і наведення в коротких лініях зв'язку

Для зменшення перекичувань у схемі, приведеної на рис.3.11 шляхом ослаблення ємнісного й індуктивного зв'язку потрібно:

- застосовувати двосторонні друковані плати;
- провідники на різних сторонах друкованої плати розташовувати у взаємно перпендикулярних напрямках;
- зменшувати довжину поруч розташованих провідників;
- збільшувати відстань між провідниками, покладеними на одній стороні плати;
- між рівнобіжними провідниками вводити земляні провідники чи провідники живлення.

У випадку застосування коротких плоских кабелів (шлейфів) треба чергувати сигнальні провідники з заземленими провідниками.

Проявом внутрішніх перешкод у електрично довгих лініях зв'язку є затримки передачі сигналів, перекичування форми переданих сигналів через відбиття на неоднорідностях лінії зв'язку, взаємні наведення між лініями зв'язку, загасання сигналів.

При довжині ліній зв'язку більш 1 м перекичування фронтів імпульсу відсутні за умови двостороннього узгодження лінії зв'язку з джерелом сигналу і при-

ймачем, коли $R=r$ (рис.3.12), інакше відбуваються перекручування сигналу через багаторазові відбиття від кінців лінії. При довжині ліній зв'язку від 1 м до 3 м можна застосовувати кручену пару, причому досить узгодження хоча б з однією стороною лінії, наприклад, із джерелом сигналу ($R_{\text{ВИХ}}=r$), а краще мати двостороннє узгодження ($R_{\text{ВИХ}}=R_{\text{ВХ}}=r$). При довжині ліній зв'язку більш 3 м застосовується коаксіальний кабель тільки з двостороннім узгодженням.

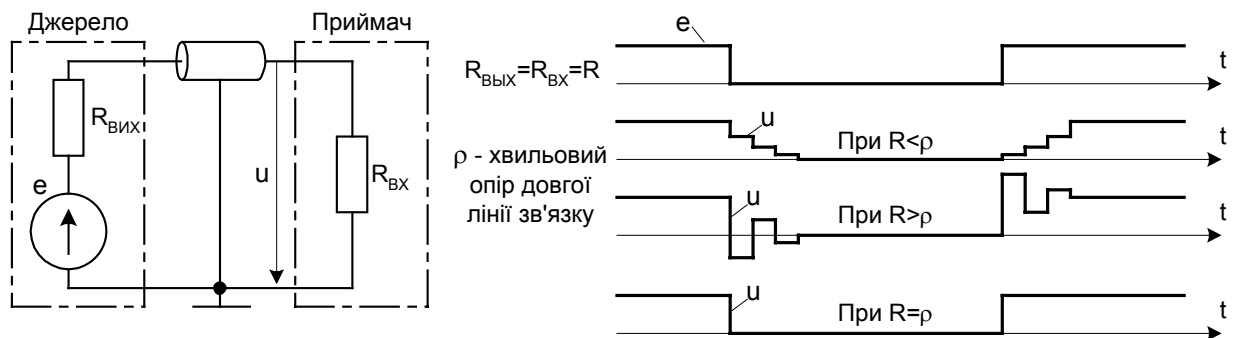


Рис.3.12. Перекручення фронтів імпульсів в довгих лініях зв'язку

Підключення до джерела декількох приймачів виконується за наступними правилами:

- до виходу одного джерела підключаються безпосередньо не більш трьох кручених пар сумарною довжиною не більш 2 м;
- приймачів, підключених через коаксіальний кабель, може бути більше трьох з перевищенням сумарної довжини ліній величини 2 м, але при цьому краще не створювати великих неоднорідностей узагалі, а на далекому кінці особливо (рис.3.13).

Довгі лінії зв'язку з'єднуються з платами через рознімання. Підключення до рознімання ззовні повинне виконуватися крученими парами або через плоский кабель. Земляні проводи крученої пари повинні підключатися до окремих контактів рознімання, причому земляні і сигнальні контакти рознімання повинні чергуватися. При нестачі контактів рознімання допускається поєднувати пайкою земляні провідники, причому число таких контактів повинне бути не менш трьох і вони повинні максимально відстояти друг від друга. У плоских кабелях потрібно чергу-

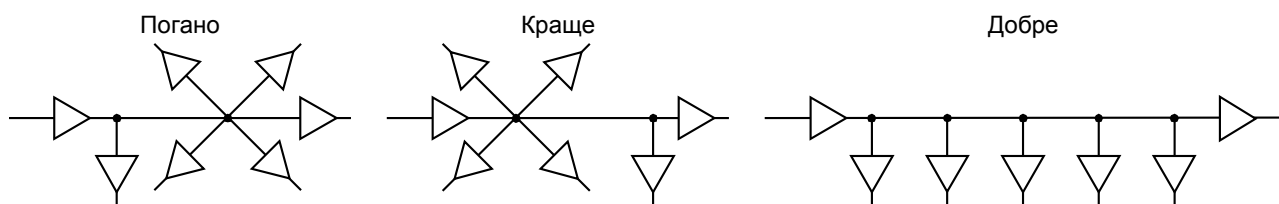


Рис.3.13. Варіанти підключення приймачів до магістралі

вати земляні і сигнальні жили, а при нестачі жил число земляних жил не повинне бути менш трьох і вони повинні бути максимально рознесені.

До проявів перешкод у ланцюгах живлення відносять:

- постійні зсуви рівня шини "земля", обумовлені активними опорами R_{III} шини "земля";
- імпульси напруги, виділювані на індуктивностях L_{III} шин живлення і землі (рис.3.14) і струмами перезарядки ємностей ліній зв'язку;
- коливання напруги мережі, викликані роботою могутніх споживачів.

На рис.3.14 позначено: i – струми, споживані ІМС, Δu – спадання напруги на ділянках земляної шини. Зважаючи на імпульсний характер струмів i , головною складовою у Δu є спадання напруги на індуктивностях $L_{ш}$.

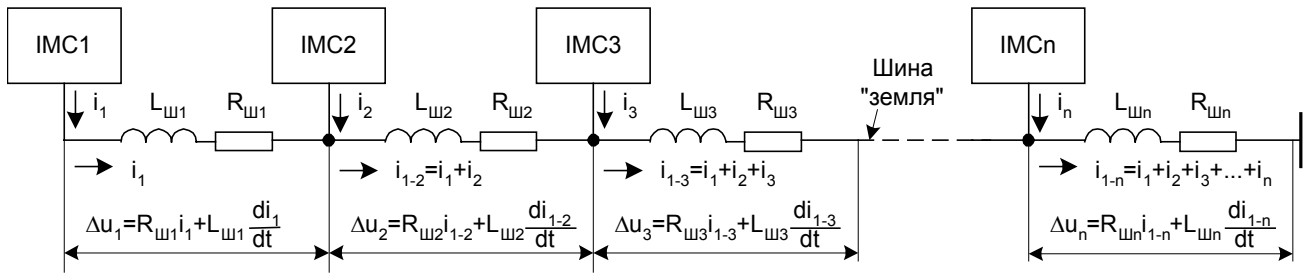


Рис.3.14. Перешкоди по ланцюгам живлення

Для придушення перешкод від живильної мережі варто підключати пристрій МПСК до окремого щита, що максимально відстоїть по електричній мережі від силових щитів, до яких підключені могутні споживачі і засоби перетворювальної техніки. Останні є могутніми джерелами перешкод. Підключення споживачів до магістралі живлення повинне бути виконане з урахуванням їх потужності чи споживаних струмів (рис.3.15).

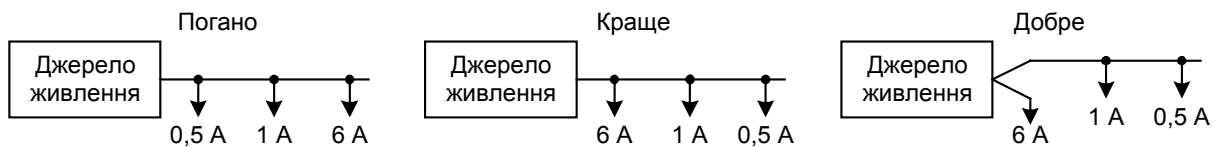


Рис.3.15. Варіанти підключення устроїв МПСК до джерел живлення

У блоках живлення пристроїв МПСК варто встановлювати до трансформатора живлення мережні фільтри, а після нього стабілізатори напруги. Для ослаблення перешкод, переданих через трансформатор, його первинну і вторинну обмотку (чи вторинні обмотки) варто розміщати на окремих стрижнях магнітопроводу чи трансформатора при розташуванні їх на одному стрижні між ними розміщати екран, виконаний у виді одного незамкнутого витка з листа фольги, причому екран повинний бути заземлений.

До проявів зовнішніх перешкод відносять наведення е.р.с. в елементах пристрою МПСК зовнішніми магнітними й електричними полями. Ефективним захистом від перемінних магнітних полів є кручені пари провідників (рис.3.16). Перемінне магнітне поле з індукцією B перетинає секції крученої пари. При однакових площах секцій пронизуючі їх магнітні потоки індуктуватимуть у протилежних сторонах секцій крученої пари однакові по величині е.р.с. e_{11} , e_{12} , e_{21} і e_{22} з напрямком, указаним на рис.3.16. У провідниках крученої пари е.р.с. e_{11} і e_{22} , а також e_{12} і e_{21} взаємно компенсують одна одну. Тому в цілому магнітне поле B не індуктує у крученій парі е.р.с.

Ефективним захистом від перемінних електричних полів є екранування провідників, причому екран повинний бути заземлений хоча б в одній точці. Якщо екран немагнітний, але заземлений у двох крайніх і в будь-якім числі проміжних точок, то він захищає також від магнітних полів. Магнітний екран захищає від зовнішнього магнітного поля незалежно від кількості точок, що заземлюють. Прокладка усередині екрана крученої пари забезпечує захист від магнітних полів при будь-якім його заземленні.

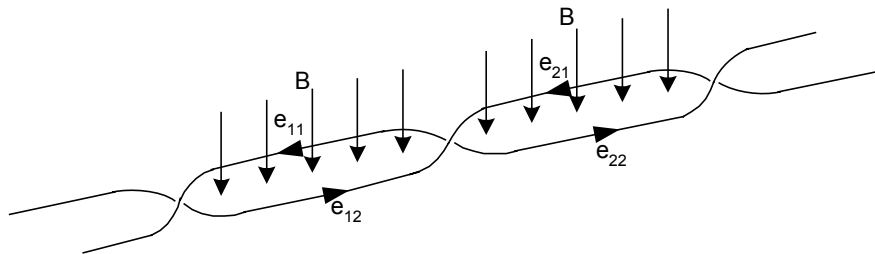


Рис.3.16. Захисні властивості крученої пари провідників

Якщо пристрої МПСК рознесені на десятки-сотні метрів, важко розраховувати на те, що землі окремих пристроїв будуть мати однаковий потенціал. Лінії зв'язку великої довжини мають великий опір R , велику індуктивність L , тому, у них навіть при малому струмі і та малій швидкості зміни їх може виділитися велика напруга, обумовлена як

$$u = R \cdot i + L \frac{di}{dt} \quad (3.1)$$

У цьому випадку захист забезпечується гальванічною розв'язкою між окремими пристроями застосуванням імпульсних трансформаторів, оптронів, волоконно-оптичних кабелів. При трансформаторній і оптронній передачі сигналів лінія зв'язку заземлюється тільки з однієї сторони і цим виключається поява різниці потенціалів між взаємодіючими пристроями. Трансформатор може застосовуватися у випадках невисоких вимог до швидкості передачі імпульсів і допустимості перекручувань фронтів імпульсів. Оптронні передачі в порівнянні з трансформаторними передачами є швидкодіючими і практично не перекручують форму переданих імпульсів.

Питання і завдання

1. Наведіть приклади відмовлень програм МПСК при перекручуванні хоча б одного біта інформації.
2. Наведіть класифікацію виду і джерел перешкод у МПСК.
3. Поясніть механізми перекручувань імпульсів у коротких лініях через ємності і індуктивності ліній зв'язку. Як зменшити ці перекручування?
4. Поясніть механізми перекручувань імпульсів у коротких лініях через ємнісні й індуктивні наведення в лініях зв'язку. Як зменшити ці перекручування?
5. Поясніть механізми перекручувань імпульсів у довгих неузгоджених лініях зв'язку. Як зменшити ці перекручування?
6. По яких схемах повинні в розподіленій мережі з довгими лініями підключатися до магістралі приймачі інформації?
7. Назвіть причини наявності перешкод у ланцюгах живлення? Як з ними боротися?
8. Як повинні виконуватися блоки джерел живлення, що загороджують проникнення перешкод з мережі?
9. Як здійснюється захист ліній зв'язку МПСК від дії зовнішніх електричних і магнітних полів?
10. Поясніть захисні властивості крученої пари провідників.
11. Поясніть захисні властивості засобів гальванічної розв'язки.

А. Команди мікропроцесора КР580ВМ80

1. Група команд пересилань

№	Зміст команди	Мнемокод*	Код ₂	КОП	Б	Ц	Т	С	Z	S	P	C'	Операція
1	Пересилання вмісту регістра Rs у регістр Rd (Rs, Rd = B, C, D, E., H, L, A)*	MOV Rd, Rs	01DDDSSS	—	1	1	5	-	-	-	-	-	Rd←Rs
2	Читання вмісту комірки пам'яті M, адреса якої зазначена у (H,L)-парі, у регістр Rd	MOV Rd, M	01DDD110	—	1	2	7	-	-	-	-	-	Rd←(M) чи Rd←((H,L))
3	Запис вмісту другого байта команди в регістр-приймач Rd	MVI Rd, d8	00DDD110 <b2>	—	2	2	7	-	-	-	-	-	Rd←<b2>
4	Читання в акумулятор A вмісту комірки, адреса якої зазначена у (B,C)-парі	LDAX B	00001010	0A	1	2	7	-	-	-	-	-	A←(B,C)
5	Читання в акумулятор A вмісту комірки, адреса якої зазначена у (D,E)-парі	LDAX D	00011010	1A	1	2	7	-	-	-	-	-	A←(D,E)
6	Читання в акумулятор A вмісту комірки, адреса якої зазначена у 2-му і 3-му байтах команди	LDA ad16	00111010 <b2> <b3>	3A	3	4	13	-	-	-	-	-	A←(<b3> <b2>)
7	Запис вмісту регістра Rs у комірку пам'яті M, адреса якої зазначена у (H,L)-парі	MOV M, Rs	01110SSS	7_	1	2	7	-	-	-	-	-	(M)←Rs
8	Запис вмісту другого байта команди в комірку за адресою, зазначеною в (H,L)-парі	MVI M	00110110 <b2>	36	2	3	10	-	-	-	-	-	(M)←<b2>
9	Запис вмісту акумулятора в комірку пам'яті за адресою, зазначеною в (B,C)-парі	STAX B	00000010	02	1	2	7	-	-	-	-	-	(B,C)←A
10	Запис вмісту акумулятора в комірку пам'яті за адресою, зазначеною в (D,E)-парі	STAX D	00010010	12	1	2	7	-	-	-	-	-	(D,E)←A
11	Запис вмісту акумулятора в комірку за адресою, зазначеною у 2-му і 3-му байтах команди	STA ad16	00110010 <b2> <b3>	32	3	4	13	-	-	-	-	-	(<b3> <b2>)←A
12	Вміст (H,L)-пари завантажується в показчик стека SP. Вміст (H,L)-пари не змінюється	SPHL	11111001	F9	1	1	5	-	-	-	-	-	SP←(H,L)
13	Вміст (H,L)-пари завантажується в програмний лічильник CP. Вміст (H,L)-пари не змінюється	PCHL	11101001	E9	1	1	5	-	-	-	-	-	CP←(H,L) чи CP←(H), CPL←(L)
14	Обмін вмісту реєстрових пар (HL) і (DE)	XCHG	11101011	EB	1	1	4	-	-	-	-	-	(H)↔(D), (L)↔(E)
15	Читання в (H,L)-пару вмісту 2-х суміжних комірок пам'яті, причому адреса 1-го байта	LHLD ad16	00101010 <b2> <b3>	2A	3	5	16	-	-	-	-	-	L←{<b3><b2>} H←(<b3><b2>+1)

№	Зміст команди	Мнемокод*	Код ₂	КОП	Б	Ц	Т	С	З	С	Р	С'	Операція
	пам'яті зазначена у 2-му і 3-му байтах команди												
16	Завантаження в (В,С)-пару вмісту 2-го і 3-го байтів команди	LXI В, d16	00000001 <b2> <b3>	01	3	3	10	-	-	-	-	-	В←<b2> С←<b3>
17	Завантаження в (D,E)-пару вмісту 2-го і 3-го байтів команди	LXI D, d16	00010001 <b2> <b3>	11	3	3	10	-	-	-	-	-	Е←<b2> D←<b3>
18	Завантаження в (H,L)-пару вмісту 2-го і 3-го байтів команди	LXI H, d16	00100001 <b2> <b3>	21	3	3	10	-	-	-	-	-	L←<b2> H←<b3>
19	Завантаження покажчика стеку SP вмістом 2-го і 3-го байтів команди	LXI SP, d16	00110001 <b2> <b3>	31	3	3	10	-	-	-	-	-	SPL←<b2> SPH←<b3>
20	Запис вмісту регістрів H і L за адресою, зазначеному в 2-му і 3-му байтах команди	SHLD ad16	00100010 <b2> <b3>	22	3	5	16	-	-	-	-	-	(<b3><b2>)←L (<b3><b2>+1)←H

*Коди регістрів загального призначення

Регістр	В	С	D	Е	Н	L	M=(HL)	A
Код	000	001	010	011	100	101	110	111

2. Група команд інкремента-декремента

№	Зміст команди	Мнемокод	Код ₂	КОП	Б	Ц	Т	С	З	С	Р	С'	Операція
21	Інкремент регістру R (R = В, С, D, Е, H, L, A)	INR R	00RRR100	—	1	1	5	-	+	+	+	+	R←R+1
22	Інкремент вмісту байта пам'яті, адреса якої зазначена у (H,L)-парі	INR M	00110100	34	1	3	10	-	+	+	+	+	(H,L)←(H,L)+1
23	Декремент регістра R (R = В, С, D, Е, H, L, A)	DCR R	00RRR101	—	1	1	5	-	+	+	+	+	R←R-1
24	Декремент вмісту байта пам'яті, адреса якої зазначена у (H,L)-парі	DCR M	00110101	35	1	3	10	-	+	+	+	+	(H,L)←(H,L)-1
25	Інкремент вмісту (В,С)-пари	INX В	00000011	03	1	1	5	-	-	-	-	-	(В,С)←(В,С)+1
26	Інкремент вмісту (D,E)-пари	INX D	00010011	13	1	1	5	-	-	-	-	-	(D,E)←(D,E)+1
27	Інкремент вмісту (H,L)-пари	INX H	00100011	23	1	1	5	-	-	-	-	-	(H,L)←(H,L)+1
28	Інкремент вмісту покажчика стека SP	INX SP	00110011	33	1	1	5	-	-	-	-	-	(SP)←(SP)+1
29	Декремент вмісту (В,С)-пари	DC В	00001011	0B	1	1	5	-	-	-	-	-	(В,С)←(В,С)-1
30	Декремент вмісту (D,E)-пари	DCX D	00011011	1B	1	1	5	-	-	-	-	-	(D,E)←(D,E)-1
31	Декремент вмісту (H,L)-пари	DCX H	00101011	2B	1	1	5	-	-	-	-	-	(H,L)←(H,L)-1
32	Декремент вмісту покажчика стека SP	DCX SP	00111011	3B	1	1	5	-	-	-	-	-	(SP)←(SP)-1

3. Група арифметичних команд

№	Зміст команди	Мнемокод	Код ₂	КОП	Б	Ц	Т	С	З	С	Р	С'	Операція
33	Додавання А і регістра R: Вміст акумулятора А складається з вмістом регістра R (R = В, С, D, Е, H, L, A), результат зберігається в А	ADD R	10000RRR	8_	1	1	4	+	+	+	+	+	A←(A)+R

№	Зміст команди	Мнемокод	Код ₂	КОП	Б	Ц	Т	С	Z	S	P	C'	Операція
34	Додавання А і пам'яті М: Вміст акумулятора А складається з вмістом комірки пам'яті М, адреса якої зазначена у (H,L)-парі, результат - в А	ADD M	10000110	86	1	2	7	+	+	+	+	+	$A \leftarrow (A) + (M)$
35	Додавання акумулятора з константою, що міститься в 2-м байті команди	ADI d8	11000110 <b2>	C6	2	2	7	+	+	+	+	+	$A \leftarrow (A) + \langle b2 \rangle$
36	Додавання А, регістра R і біта С переносу	ADC R	10001RRR	8_	1	1	4	+	+	+	+	+	$A \leftarrow (A) + R + C$
37	Додавання А, пам'яті М і біта С переносу	ADC M	10001110	8E	1	2	7	+	+	+	+	+	$A \leftarrow (A) + (M) + C$
38	Додавання акумулятора з константою, що міститься в 2-м байті команди, і бітом С переносу	ACI d8	11001110 <b2>	CE	2	2	7	+	+	+	+	+	$A \leftarrow (A) + \langle b2 \rangle + C$
39	Додавання вмісту реєстрової пари (B,C) із вмістом реєстрової пари (H,L)	DAD B	00001001	09	1	3	10	+	-	-	-	-	$(H,L) \leftarrow (H,L) + (B,C)$
40	Додавання вмісту реєстрової пари (D,E) із вмістом реєстрової пари (H,L)	DAD D	00011001	19	1	3	10	+	-	-	-	-	$(H,L) \leftarrow (H,L) + (D,E)$
41	Додавання вмісту реєстрової пари (H,L) із вмістом реєстрової пари (H,L)	DAD H	00101001	29	1	3	10	+	-	-	-	-	$(H,L) \leftarrow (H,L) + (H,L)$
42	Додавання вмісту реєстрової пари (H,L) із вмістом покажчика стека SP	DAD SP	00111001	39	1	3	10	+	-	-	-	-	$(H,L) \leftarrow (H,L) + (SP)$
43	Віднімання із А регістра R: із вмісту акумулятора А віднімається вміст регістра R (R = B, C, D, E, H, L, A), результат зберігається в А	SUB R	10010RRR	9_	1	1	4	+	+	+	+	+	$A \leftarrow (A) - R$
44	Віднімання із А пам'яті М: із вмісту акумулятора А віднімається вміст комірки пам'яті М, адреса якої зазначена у (H,L)-парі, результат - в А	SUB M	10010110	96	1	1	7	+	+	+	+	+	$A \leftarrow (A) - (M)$
45	Віднімання з акумулятора константи, що міститься у 2-м байті команди	SUI d8	11010110 <b2>	D6	2	2	7	+	+	+	+	+	$A \leftarrow (A) - \langle b2 \rangle$
46	Віднімання з А, регістра R і біта С позики	SBB R	10011RRR	9_	1	1	4	+	+	+	+	+	$A \leftarrow (A) - R - C$
47	Віднімання з А умісту комірки пам'яті М і біта С позики	SBB M	10011110	9E	1	2	7	+	+	+	+	+	$A \leftarrow (A) - (M) - C$
48	Віднімання з акумулятора константи, що міститься в 2-м байті команди, і біта С позики	SBI d8	11011110 <b2>	DE	2	2	7	+	+	+	+	+	$A \leftarrow (A) - \langle b2 \rangle - C$

4. Група логічних команд

№	Зміст команди	Мнемокод	Код ₂	КОП	Б	Ц	Т	С	З	С	Р	С'	Операція
49	Логічне множення (І) акумулятора і регістра R (R = B, C, D, E, H, L, A)	ANA R	10100RRR	A_	1	1	4	0	+	+	+	-	$A \leftarrow (A) \text{ AND } R$
50	Логічне множення (І) акумулятора і вмісту комірки пам'яті M, адреса якої в (H,L)-парі	ANA M	10100110	A6	1	2	7	0	+	+	+	-	$A \leftarrow (A) \text{ AND } (M)$
51	Логічне множення (І) акумулятора і константи, що міститься в 2-м байті команди	ANI d8	11100110 <b2>	E6	2	2	7	0	+	+	+	-	$A \leftarrow (A) \text{ AND } \langle b2 \rangle$
52	Виключне АБО акумулятора і регістра R (R = B, C, D, E, H, L, A)	XRA R	10101RRR	A_	1	1	4	0	+	+	+	-	$A \leftarrow (A) \text{ XRA } R$
53	Виключне АБО акумулятора і вмісту комірки пам'яті M, адреса якої в (H,L)-парі	XRA M	10101110	AE	1	2	7	0	+	+	+	-	$A \leftarrow (A) \text{ XRA } (M)$
54	Виключне АБО акумулятора і константи, що міститься в 2-м байті команди	XRI d8	11101110 <b2>	EE	2	2	7	0	+	+	+	-	$A \leftarrow (A) \text{ XRA } \langle b2 \rangle$
55	Логічне додавання (АБО) акумулятора і регістра R (R = B, C, D, E, H, L, A)	ORA R	10110RRR	B_	1	1	4	0	+	+	+	-	$A \leftarrow (A) \text{ OR } R$
56	Логічне додавання (АБО) акумулятора і вмісту комірки пам'яті M, адреса якої в (H,L)-парі	ORA M	10110110	B6	1	2	7	0	+	+	+	-	$A \leftarrow (A) \text{ OR } (M)$
57	Логічне додавання (АБО) акумулятора і константи, що міститься в 2-м байті команди	ORI d8	11110110 <b2>	F6	2	2	7	0	+	+	+	-	$A \leftarrow (A) \text{ OR } \langle b2 \rangle$
58	Порівняння A і регістра R (R = B, C, D, E, H, L, A). Від A віднімається регістр, залишаючи A незмінним, для встановлення прапорів: Z=1, якщо A=R і C=1, якщо A<R	CMP R	10111RRR	B_	1	1	4	+	+	+	+	+	$F \leftarrow (A) - (R)$
59	Порівняння A і пам'яті M. Із A віднімається вміст комірки пам'яті M, що адресується (H,L)-парою, залишаючи A незмінним, для встановлення прапорів: Z=1, якщо A=(M) і C=1, якщо A<(M)	CMP M	10111110	BE	1	2	7	+	+	+	+	+	$F \leftarrow (A) - (M)$
60	Порівняння A і константи, що міститься в 2-м байті команди, залишаючи A незмінним, для встановлення прапорів: Z = 1, якщо A=<b2> і C=1, якщо A<<b2>	CPI d8	11111110 <b2>	FE	2	2	7	+	+	+	+	+	$F \leftarrow (A) - \langle b2 \rangle$
61	Інвертування біт акумулятора A	CMA	00101111	2F	1	1	4	-	-	-	-	-	$A \leftarrow \bar{A}$

№	Зміст команди	Мнемокод	Код ₂	КОП	Б	Ц	Т	С	Z	S	P	C'	Операція
62	Інвертування біта С переносу	CMC	00111111	3F	1	1	4	+	-	-	-	-	$C \leftarrow \bar{C}$
63	Установка біта С переносу	STC	00110111	37	1	1	4	+	-	-	-	-	$C \leftarrow 1$

5. Група команд зсуву

№	Зміст команди	Мнемокод	Код ₂	КОП	Б	Ц	Т	С	Z	S	P	C'	Операція
64	Зсув вмісту акумулятора вліво циклічний	RLC	00000111	07	1	1	4	+	-	-	-	-	$A_{m+1} \leftarrow A_m;$ $A_0 \leftarrow A_7; C \leftarrow A_7$
65	Зсув вмісту акумулятора вправо циклічний	RRC	00001111	0F	1	1	4	+	-	-	-	-	$A_m \leftarrow A_{m+1};$ $A_7 \leftarrow A_0; C \leftarrow A_0$
66	Зсув вмісту акумулятора вліво арифметичний (з переносом)	RAL	00010111	17	1	1	4	+	-	-	-	-	$A_{m+1} \leftarrow A_m;$ $C \leftarrow A_7; A_0 \leftarrow C$
67	Зсув вмісту акумулятора вправо арифметичний (з переносом)	RAR	00011111	1F	1	1	4	+	-	-	-	-	$A_m \leftarrow A_{m+1};$ $A_7 \leftarrow C; C \leftarrow A_0$

6. Група команд передачі керування

№	Зміст команди	Мнемокод	Код ₂	КОП	Б	Ц	Т	С	Z	S	P	C'	Операція
68	Безумовний перехід на команду, адреса якої зазначена у 2-му і 3-му байтах команди	JMP ad16	11000011 <b2> <b3>	C3	3	3	10	-	-	-	-	-	$PC \leftarrow \langle b3 \rangle \langle b2 \rangle$
69	Умовний перехід на команду, адреса якої зазначена у 2-му і 3-му байтах команди, якщо прапор переносу не встановлений: C=0	JNC ad16	11010010 <b2> <b3>	D2	3	3	10	-	-	-	-	-	Якщо C=0, то $PC \leftarrow \langle b3 \rangle \langle b2 \rangle$, інакше $PC \leftarrow PC+3$
70	Умовний перехід на команду, адреса якої зазначена у 2-му і 3-му байтах команди, якщо прапор переносу встановлений: C=1	JC ad16	11011010 <b2> <b3>	DA	3	3	10	-	-	-	-	-	Якщо C=1, то $PC \leftarrow \langle b3 \rangle \langle b2 \rangle$, інакше $PC \leftarrow PC+3$
71	Умовний перехід на команду, адреса якої зазначена у 2-му і 3-му байтах команди, якщо прапор нуля не встановлений: Z=0	JNZ ad16	11000010 <b2> <b3>	C2	3	3	10	-	-	-	-	-	Якщо Z=0, то $PC \leftarrow \langle b3 \rangle \langle b2 \rangle$, інакше $PC \leftarrow PC+3$
72	Умовний перехід на команду, адреса якої зазначена у 2-му і 3-му байтах команди, якщо прапор нуля встановлений: Z=1	JZ ad16	11001010 <b2> <b3>	CA	3	3	10	-	-	-	-	-	Якщо Z=1, то $PC \leftarrow \langle b3 \rangle \langle b2 \rangle$, інакше $PC \leftarrow PC+3$
73	Умовний перехід на команду, адреса якої зазначена у 2-му і 3-му байтах команди, якщо прапор знака вказує на позитивне число: S=0	JP ad16	11110010 <b2> <b3>	F2	3	3	10	-	-	-	-	-	Якщо S=0, то $PC \leftarrow \langle b3 \rangle \langle b2 \rangle$, інакше $PC \leftarrow PC+3$
74	Умовний перехід на команду, адреса якої зазначена у 2-му і 3-му байтах команди, якщо прапор знака вказує на негативне число: S=1	JM ad16	11111010 <b2> <b3>	FA	3	3	10	-	-	-	-	-	Якщо S=1, то $PC \leftarrow \langle b3 \rangle \langle b2 \rangle$, інакше $PC \leftarrow PC+3$
75	Умовний перехід на коман-	JPO ad16	11100010	E2	3	3	10	-	-	-	-	-	Якщо P=0, то

№	Зміст команди	Мнемокод	Код ₂	КОП	Б	Ц	Т	С	Z	S	P	C'	Операція
	ду, адреса якої зазначена у 2-му і 3-му команди, якщо результат містить непарне число одиниць: P=0		<b2> <b3>										PC←<b3><b2>, інакше PC←PC+3
76	Умовний перехід на команду, адреса якої зазначена у 2-му і 3-му байтах команди, якщо результат містить парне число одиниць: P=1	JPE ad16	11101010 <b2> <b3>	EA	3	3	10	-	-	-	-	-	Якщо P=1, то PC←<b3><b2>, інакше PC←PC+3
77	Безумовний перехід до підпрограми, стартова адреса якої зазначена у 2-му і 3-му байтах команди	CALL ad16	11001101 <b2> <b3>	CD	3	5	17	-	-	-	-	-	(SP-1)(SP-2)←(PC); SP←(SP-2); PC←<b3><b2>
78	Умовний перехід до підпрограми, стартова адреса якої зазначена у 2-му і 3-му байтах команди, якщо прапор переносу не встановлений: C=0	CNC ad16	11010100 <b2> <b3>	B4	3	<u>3</u> 5	<u>11</u> 17	-	-	-	-	-	Якщо C=0, то (SP-1)(SP-2)←(PC); SP←(SP-2); PC←<b3><b2>, інакше PC←PC+3
79	Умовний перехід до підпрограми, стартова адреса якої зазначена у 2-му і 3-му байтах команди, якщо прапор переносу встановлений: C=1	CC ad16	11011100 <b2> <b3>	DC	3	<u>3</u> 5	<u>11</u> 17	-	-	-	-	-	Якщо C=1, то (SP-1)(SP-2)←(PC); SP←SP-2; PC←<b3><b2>, інакше PC←PC+3
80	Умовний перехід до підпрограми, стартова адреса якої зазначена у 2-му і 3-му байтах команди, якщо прапор нуля не встановлений: Z=0	CNZ ad16	11000100 <b2> <b3>	C4	3	<u>3</u> 5	<u>11</u> 17	-	-	-	-	-	Якщо Z=0, то (SP-1)(SP-2)←(PC); SP←SP-2; PC←<b3><b2>, інакше PC←PC+3
81	Умовний перехід до підпрограми, стартова адреса якої зазначена у 2-му і 3-му байтах команди, якщо прапор нуля встановлений: Z=1	CZ ad16	11001100 <b2> <b3>	CC	3	<u>3</u> 5	<u>11</u> 17	-	-	-	-	-	Якщо Z=1, то (SP-1)(SP-2)←(PC); SP←SP-2; PC←<b3><b2>, інакше PC←PC+3
82	Умовний перехід до підпрограми, стартова адреса якої зазначена у 2-му і 3-му байтах команди, якщо прапор знака вказує на позитивне число: S=0	CP ad16	11110100 <b2><b3>	F4	3	<u>3</u> 5	<u>11</u> 17	-	-	-	-	-	Якщо S=0, то (SP-1)(SP-2)←(PC); SP←SP-2; PC←<b3><b2>, інакше PC←PC+3
83	Умовний перехід до підпрограми, стартова адреса якої зазначена у 2-му і 3-му байтах команди, якщо прапор знака вказує на негативне число: S=1	CM ad16	11111100 <b2><b3>	FC	3	<u>3</u> 5	<u>11</u> 17	-	-	-	-	-	Якщо S=1, то (SP-1)(SP-2)←(PC); SP←SP-2; PC←<b3><b2>, інакше PC←PC+3
84	Умовний перехід до підпрограми, стартова адреса якої зазначена у 2-му і 3-му байтах команди, якщо результат містить непарне число одиниць: P=0	CPO ad16	11100100 <b2> <b3>	E4	3	<u>3</u> 5	<u>11</u> 17	-	-	-	-	-	Якщо P=0, то (SP-1)(SP-2)←(PC); SP←SP-2; PC←<b3><b2>, інакше PC←PC+3

№	Зміст команди	Мнемокод	Код ₂	КОП	Б	Ц	Т	С	Z	S	P	C'	Операція
85	Умовний перехід до підпрограми, стартова адреса якої зазначена у 2-му і 3-му байтах команди, якщо результат містить парне число одиниць: P=1	CPE ad16	11101100 <b2> <b3>	EC	3	$\frac{3}{5}$	$\frac{11}{17}$	-	-	-	-	-	Якщо P=1, то (SP-1)(SP-2)←(PC); SP←SP-2; PC←<b3><b2>, інакше PC←PC+3
86	Безумовне повернення з підпрограми за адресою, зазначеною в стеці SP	RET	11001001	C9	1	3	11	-	-	-	-	-	PC←(SP+1)(SP); SP←SP+2
87	Умовне повернення з підпрограми за адресою, зазначеною в стеці SP, якщо прапор переносу не встановлений: C=0	RNC	11010000	D0	1	$\frac{1}{3}$	$\frac{11}{17}$	-	-	-	-	-	Якщо C =0, то PC←(SP+1)(SP); SP←SP+2, інакше PC←PC+3
88	Умовне повернення з підпрограми за адресою, зазначеною в стеці SP, якщо прапор переносу встановлений: C=1	RC	11011000	D8	1	$\frac{1}{3}$	$\frac{11}{17}$	-	-	-	-	-	Якщо C=1, то PC←(SP+1)(SP); SP←SP+2, інакше PC←PC+3
89	Умовне повернення з підпрограми за адресою, зазначеною в стеці SP, якщо прапор нуля не встановлений: Z=0	RNZ	11000000	C0	1	$\frac{1}{3}$	$\frac{11}{17}$	-	-	-	-	-	Якщо Z=0, то PC←(SP+1)(SP); SP←SP+2, інакше PC←PC+3
90	Умовне повернення з підпрограми за адресою, зазначеною в стеці SP, якщо прапор нуля встановлений: Z=1	RZ	11001000	C8	1	$\frac{1}{3}$	$\frac{11}{17}$	-	-	-	-	-	Якщо Z =1, то PC←(SP+1)(SP); SP←SP+2, інакше PC←PC+3
91	Умовне повернення з підпрограми за адресою, зазначеною в стеці SP, якщо прапор знака вказує на позитивне число: S=0	RP	11110000	F0	1	$\frac{1}{3}$	$\frac{11}{17}$	-	-	-	-	-	Якщо S =0, то PC←(SP+1)(SP); SP←SP+2, інакше PC←PC+3
92	Умовне повернення з підпрограми за адресою, зазначеною в стеці SP, якщо прапор знака вказує на негативне число: S=1	RM	11111000	F8	1	$\frac{1}{3}$	$\frac{11}{17}$	-	-	-	-	-	Якщо S=1, то PC←(SP+1)(SP); SP←SP+2, інакше PC←PC+3
93	Умовне повернення з підпрограми за адресою, зазначеною в стеці SP, якщо результат містить непарне число одиниць: P=0	RPO	11100000	E0	1	$\frac{1}{3}$	$\frac{11}{17}$	-	-	-	-	-	Якщо P=0, то PC←(SP+1)(SP); SP←SP+2, інакше PC←PC+3
94	Умовне повернення з підпрограми за адресою, зазначеною в стеці SP, якщо результат містить парне число одиниць: P=1	RPE	11101000	E8	1	$\frac{1}{3}$	$\frac{11}{17}$	-	-	-	-	-	Якщо P=1, то PC←(SP+1)(SP); SP←SP+2, інакше PC←PC+3

7. Група команд роботи зі стеком

№	Зміст команди	Мнемокод	Код ₂	КОП	Б	Ц	Т	С	З	С	Р	С'	Операція
95	Введення в стек (B,C)-пари	PUSH B	11000101	C5	1	3	11	-	-	-	-	-	(SP-1) ←(B); (SP-2) ←(C); SP←SP-2
96	Введення в стек (D,E)-пари	PUSH D	11010101	05	1	3	11	-	-	-	-	-	(SP-1) ←(D); (SP-2) ←(E); SP←SP-2
97	Введення в стек (H,L)-пари	PUSH H	11100101	E5	1	3	11	-	-	-	-	-	(SP-1) ←(H); (SP-2) ←(L); SP←SP-2
98	Введення в стек (A,F) – слова стану програми	PUSH PSW	11110101	F5	1	3	11	-	-	-	-	-	(SP-1) ←(A); (SP-2) ←(F); SP←SP-2
99	Вивід зі стека (Y,Z)-пари	POP B	11000001	C1	1	3	10	-	-	-	-	-	C←(SP); B←(SP+1); SP←SP+2
100	Вивід зі стека (D,E)-пари	POP D	11010001	D1	1	3	10	-	-	-	-	-	E←(SP); D←(SP+1); SP←SP+2
101	Вивід зі стека (H,L)-пари	POP H	11100001	E1	1	3	10	-	-	-	-	-	L←(SP); H←(SP+1); SP←SP+2
102	Вивід зі стека (A,F) – слова стану програми	POP PSW	11110001	F1	1	3	10	-	-	-	-	-	F←(SP); A←(SP+1); SP←SP+2
103	Обмін стека SP і вмісту (H,L)-пари	XTHL	11100011	E3	1	5	18	-	-	-	-	-	(L)↔(SP); (H)↔(SP+1)

8. Група команд введення-виводу і керування мікропроцесором

№	Зміст команди	Мнемокод	Код ₂	КОП	Б	Ц	Т	С	З	С	Р	С'	Операція
104	Читання в акумулятор А вмісту зовнішнього пристрою, 8-бітна адреса ad8 якої зазначена у 2-му байті команди	IN ad8	11011011 <b2>	DB	2	3	10	-	-	-	-	-	A←(BY)
105	Запис у зовнішній пристрій, 8-бітна адресу ad8 якої зазначена у 2-му байті команди, вмісту акумулятора А	OUT ad8	11010011 <b2>	D3	2	3	10	-	-	-	-	-	(BY)←A
106	Заборона переривання	DI	11110011	F3	1	1	4	-	-	-	-	-	
107	Дозвіл переривання	EI	11111011	FB	1	1	4	-	-	-	-	-	
108	Повторний запуск від переривання, що надійшло під номером NNN	RST N	11NNN111	—	1	3	11	-	-	-	-	-	(SP-1)(SP-2)←(PC); SP←SP-2; PC←00000000. 00NNN000
109	Десятькове настроювання акумулятора	DAA	00100111	27	1	1	4	+	+	+	+	+	
110	Немає операції	NOP	00000000	00	1	1	4	-	-	-	-	-	PC←(PC)+1
111	Зупинка	HLT	01110110	76	1	1	7	-	-	-	-	-	

* Примітки:

d8 і d16 - байт даних та слово даних (чисельна константа).

ad8 і ad16 - 8-розрядна і 16-розрядна адреса.

Б. Команди мікроконтролера K1816BE51

1. Група команд пересилань

№	Зміст команди	Мнемокод	КОП ₂	КОП	Т	Б	Ц	Операція
1	Пересилання в акумулятор з регістру Rn (n = 0...7)	MOV A, Rn	11101RRR	E ₋	1	1	1	(A) ← (Rn), де n=0...7
2	Пересилання в акумулятор байта, що прямо адресується	MOV A, ad	11100101	E5	3	2	1	(A) ← (ad)
3	Пересилання в акумулятор байта з РПД, адреса якої зазначена у регістрі Rm (m=0,1)	MOV A, @Rm	1110011m	E ₋	1	1	1	(A) ← ((Rm)), де m=0 або 1
4	Завантаження в акумулятор константи	MOV A, #d	01110100	74	2	2	1	(A) ← #d
5	Пересилання в регістр з акумулятора	MOV Rn, A	11111RRR	F ₋	1	1	1	(Rn) ← (A)
6	Пересилання в регістр байта, що прямо адресується	MOV Rn, ad	10101RRR	A ₋	3	2	2	(Rn) ← (ad)
7	Завантаження в регістр константи	MOV Rn, #d	01111RRR	7 ₋	2	2	1	(Rn) ← #d
8	Пересилання по прямій адресі вмісту акумулятора	MOV ad, A	11110101	F5	3	2	1	(ad) ← (A)
9	Пересилання по прямій адресі вмісту регістра	MOV ad, Rn	10001RRR	8 ₋	3	2	2	(ad) ← (Rn)
10	Пересилання байта, що прямо адресується, по прямій адресі	MOV add, ads	10000101	85	9	3	2	(add) ← (ads)
11	Пересилання байта з РПД по прямій адресі	MOV ad, @Rm	1000011m	8 ₋	3	2	2	(ad) ← ((Rm))
12	Пересилання по прямій адресі константи	MOV ad, #d	01110101	75	7	3	2	(ad) ← #d
13	Пересилання в РПД з акумулятора	MOV @Rm, A	1111011m	F ₋	1	1	1	((Rm)) ← (A)
14	Пересилання в РПД байта, що прямо адресується	MOV @Rm, ad	1010011m	A ₋	3	2	2	((Rm)) ← (ad)
15	Пересилання в РПД константи	MOV @Rm, #d	0111011m	7 ₋	2	2	1	((Rm)) ← #d
16	Завантаження покажчика даних	MOV DPTR, #d16	10010000	90	13	3	2	(DPTR) ← #d16
17	Пересилання в акумулятор байта з ПП	MOVC A, @A+DPTR	10010011	93	1	1	2	(A) ← ((A)+(DPTR))
18	Пересилання в акумулятор байта з ПП	MOVC A, @A+PC	10000011	83	1	1	2	(PC) ← (PC) +1, (A) ← ((A)+(PC))
19	Пересилання в акумулятор байта з ЗПД	MOVX A, @Rm	1110001m	E ₋	1	1	2	(A) ← ((Rm))
20	Пересилання в акумулятор байта з розширеної ЗПД	MOVX A, @DPTR	11100000	E0	1	1	2	(A) ← ((DPTR))
21	Пересилання у ЗПД з акумулятора	MOVX @Rm, A	1111001m	F ₋	1	1	2	((Rm)) ← (A)
22	Пересилання в розширену ЗПД з акумулятора	MOVX @DPTR, A	11110000	F0	1	1	2	((DPTR)) ← (A)
23	Завантаження в стек	PUSH ad	11000000	C0	3	2	2	(SP) ← (SP)+1, ((SP)) ← (ad)
24	Витяг зі стека	POP ad	11010000	D0	3	2	2	(ad) ← (SP), (SP) ← (SP)-1

№	Зміст команди	Мнемокод	КОП ₂	КОП	Т	Б	Ц	Операція
25	Обмін акумулятора з регістром	XCH A, Rn	11001RRR	C ₋	1	1	1	(A) ← (Rn)
26	Обмін акумулятора з байтом, що прямо адресується	XCH A, ad	11000101	C5	3	2	1	(A) ← (ad)
27	Обмін акумулятора з байтом із РПД	XCH A, @Rm	1100011m	C ₋	1	1	1	(A) ← ((Rm))
28	Обмін молодшої тетради акумулятора з молодшою тетрадою регістра	XCHD A, @Rm	1101011m	D ₋	1	1	1	(A ₀₋₃) ↔ ((Rm) ₀₋₃)

2. Група команд арифметичних операцій

№	Зміст команди	Мнемокод	КОП ₂	КОП	Т	Б	Ц	Операція
29	Додавання акумулятора з регістром (n=0...7)	ADD A, Rn	00101RRR	2 ₋	1	1	1	(A) ← (A)+(Rn)
30	Додавання акумулятора з байтом, що прямо адресується	ADD A, ad	00100101	25	3	2	1	(A) ← (A)+(ad)
31	Додавання акумулятора з байтом із РПД (i=0,1)	ADD A, @Rm	0010011m	2 ₋	1	1	1	(A) ← (A)+((Rm))
32	Додавання акумулятора з константою	ADD A, #d	00100100	24	2	2	1	(A) ← (A)+#d
33	Додавання акумулятора з регістром і переносом	ADDC A, Rn	00111RRR	3 ₋	1	1	1	(A) ← (A)+(Rn)+(C)
34	Додавання акумулятора з байтом, що прямо адресується, і переносом	ADDC A, ad	00110101	35	3	2	1	(A) ← (A)+(ad)+(C)
35	Додавання акумулятора з байтом із РПД і переносом	ADDC A, @Rm	0011011m	3 ₋	1	1	1	(A) ← (A)+((Rm))+C
36	Додавання акумулятора з константою і переносом	ADDC A, #d	00110100	34	2	2	1	(A) ← (A)+#d+C
37	Десяткова корекція акумулятора	DA A	11010100	D4	1	1	1	Якщо (A ₀₋₃)>9 або (C)=1, то (A ₀₋₃) ← (A ₀₋₃)+6, потім якщо (A ₄₋₇)>9 або (C)=1, то (A ₄₋₇) ← (A ₄₋₇)+6
38	Віднімання з акумулятора регістра і позики	SUBB A, Rn	10011RRR	9 ₋	1	1	1	(A) ← (A)-(C)-Rn
39	Віднімання з акумулятора байта, що прямо адресується, і позики	SUBB A, ad	10010101	95	3	2	1	(A) ← (A)-(C)-(ad)
40	Віднімання з акумулятора байта РПД і позики	SUBB A, @Rm	1001011m	9 ₋	1	1	1	(A) ← (A)-(C)-((Rm))
41	Віднімання з акумулятора константи і позики	SUBB A, #d	10010100	94	2	2	1	(A) ← (A)-(C)-#d
42	Інкремент акумулятора	INC A	00000100	04	1	1	1	(A) ← (A)+1
43	Інкремент регістра	INC Rn	00001RRR	0 ₋	1	1	1	(Rn) ← (Rn)+1
44	Інкремент байта, що прямо адресується	INC ad	00000101	05	3	2	1	(ad) ← (ad)+1
45	Інкремент байта в РПД	INC @Rm	0000111m	0 ₋	1	1	1	((Rm)) ← ((Rm))+1
46	Інкремент покажчика даних	INC DPTR	10100011	A3	1	1	2	(DPTR) ←

№	Зміст команди	Мнемокод	КОП ₂	КОП	Т	Б	Ц	Операція
								(DPTR)+1
47	Декремент акумулятора	DEC A	00010100	14	1	1	1	(A) ← (A)-1
48	Декремент регістра	DEC Rn	00011RRR	1	1	1	1	(Rn) ← (Rn)-1
49	Декремент байта, що прямо адресується	DEC ad	00010101	15	3	2	1	(ad) ← (ad)-1
50	Декремент байта в РПД	DEC @Rm	0001011m	1_	1	1	1	((Rm)) ← ((Rm))-1
51	Множення акумулятора на регістр B	MUL AB	10100100	A4	1	1	4	(B)(A) ← (A)•(B)
52	Ділення акумулятора на регістр B	DIV AB	10000100	84	1	1	4	(A).(B)←(A)/(B)

3. Група команд логічних операцій

№	Зміст команди	Мнемокод	КОП ₂	КОП	Т	Б	Ц	Операція
53	Логічне І акумулятора і регістра	ANL A, Rn	01011RRR	5_	1	1	1	(A) ← (A) ∧ (Rn)
54	Логічне І акумулятора і байта, що прямо адресується	ANL A, ad	01010101	55	3	2	1	(A) ← (A) ∧ (ad)
55	Логічне І акумулятора і байта з РПД	ANL A, @Rm	0101011m	5_	1	1	1	(A) ← (A) ∧ ((Rm))
56	Логічне І акумулятора і константи	ANL A, #d	01010100	54	2	2	1	(A) ← (A) ∧ #d
57	Логічне І байта, що прямо адресується, й акумулятора	ANL ad, A	01010010	52	3	2	1	(ad) ← (ad) ∧ (A)
58	Логічне І байта, що прямо адресується, і константи	ANL ad, #d	01010011	53	7	3	2	(ad) ← (ad) ∧ #d
59	Логічне АБО акумулятора і регістра	ORL A, Rn	01001RRR	4_	1	1	1	(A) ← (A) ∨ (Rn)
60	Логічне АБО акумулятора і байта, що прямо адресується	ORL A, ad	01000101	45	3	2	1	(A) ← (A) ∨ (ad)
61	Логічне АБО акумулятора і байта з РПД	ORL A, @Rm	0100011m	4_	1	1	1	(A) ← (A) ∨ ((Rm))
62	Логічне АБО акумулятора і константи	ORL A, #d	01000100	44	2	2	1	(A) ← (A) ∨ #d
63	Логічне АБО байта, що прямо адресується, й акумулятора	ORL ad, A	01000010	42	3	2	1	(ad) ← (ad) ∨ (A)
64	Логічне АБО байта, що прямо адресується, і константи	ORL ad, #d	01000011	43	7	3	2	(ad) ← (ad) ∨ #d
65	Виключне АБО акумулятора і регістра	XRL A, Rn	01101RRR	6_	1	1	1	(A) ← (A) ⊕ (Rn)
66	Виключне АБО акумулятора і байта, що прямо адресується	XRL A, ad	01100101	65	3	2	1	(A) ← (A) ⊕ (ad)
67	Виключне АБО акумулятора і байта з РПД	XRL A, @Rm	0110011m	6_	1	1	1	(A) ← (A) ⊕ ((Rm))
68	Виключне АБО акумулятора і константи	XRL A, #d	01100100	64	2	2	1	(A) ← (A) ⊕ #d
69	Виключне АБО байта, що прямо адресується, й акумулятора	XRL ad, A	01100010	62	3	2	1	(ad) ← (ad) ⊕ (A)
70	Виключне АБО байта, що прямо адресується, і константи	XRL ad, #d	01100011	63	7	3	2	(ad) ← (ad) ⊕ #d

№	Зміст команди	Мнемокод	КОП ₂	КОП	Т	Б	Ц	Операція
71	Скидання акумулятора	CLR A	11100100	E4	1	1	1	(A) ← 0
72	Інверсія акумулятора	CPL A	11110100	F4	1	1	1	(A) ← (\bar{A})
73	Зсув акумулятора вліво циклічний	RL A	00100011	23	1	1	1	(A _{n+1}) ← (A _n), n=0...6; (A ₀) ← (A ₇)
74	Зсув акумулятора вліво через перенос	RLC A	00110011	33	1	1	1	(A _{n+1}) ← (A _n), n=0...6; (A ₀) ← (C), (C) ← (A ₇)
75	Зсув акумулятора вправо циклічний	RR A	00000011	03	1	1	1	(A _n) ← (A _{n+1}), n=0...6; (A ₇) ← (A ₀)
76	Зсув акумулятора вправо через перенос	RRC A	00010011	13	1	1	1	(A _n) ← (A _{n+1}), n=0...6; (A ₇) ← (C), (C) ← (A ₀)
77	Обмін місцями тетрад в акумуляторі	SWAP A	11000100	C4	1	1	1	(A ₀₋₃) ← (A ₄₋₇)

4. Група команд операцій з бітами

№	Зміст команди	Мнемокод	КОП ₂	КОП	Т	Б	Ц	Операція
78	Скидання переносу	CLR C	11000011	C3	1	1	1	(C) ← 0
79	Скидання біта	CLR bit	11000010	C2	4	2	1	(b) ← 0
80	Установка переносу	SETB C	11010011	D3	1	1	1	(C) ← 1
81	Установка біта	SETB bit	11010010	D2	4	2	1	(b) ← 1
82	Інверсія переносу	CPL C	10110011	B3	1	1	1	(C) ← (\bar{C})
83	Інверсія біта	CPL bit	10110010	B2	4	2	1	(b) ← (\bar{b})
84	Логічне І біта і переносу	ANL C, bit	10000010	82	4	2	2	(C) ← (C) ∧ (b)
85	Логічне І інверсії біта і переносу	ANL C, \bar{b}	10110000	B0	4	2	2	(C) ← (C) ∧ (\bar{b})
86	Логічне АБО біта і переносу	ORL C, bit	01110010	72	4	2	2	(C) ← (C) ∨ (b)
87	Логічне АБО інверсії біта і переносу	ORL C, \bar{b}	10100000	A0	4	2	2	(C) ← (C) ∨ (\bar{b})
88	Пересилання біта в перенос	MOV C, bit	10100010	A2	4	2	1	(C) ← (b)
89	Пересилання переносу в біт	MOV bit, C	10010010	92	4	2	2	(b) ← (C)

5. Група команд передачі керування

№	Зміст команди	Мнемокод	КОП ₂	КОП	Т	Б	Ц	Операція
90	Довгий перехід у повному обсязі пам'яті програм	LJMP ad16	00000010	02	12	3	2	(PC) ← ad16
91	Абсолютний перехід усередині сторінки в 2 Кбайти	AJMP ad11	A ₁₀ A ₉ A ₈ 00001	_1	6	2	2	(PC) ← (PC)+2 (PC ₀₋₁₀) ← ad11
92	Короткий відносний перехід усередині сторінки в 256 байт	SJMP rel	10000000	80	5	2	2	(PC) ← (PC)+2 (PC) ← (PC) + rel
93	Непрямої відносний перехід	JMP @A + DPTR	01110011	73	1	1	2	(PC) ← (A) + (DPTR)
94	Перехід, якщо акумулятор дорівнює нулю	JZ rel	01100000	60	5	2	2	(PC) ← (PC)+2, якщо (A)=0, то (PC) ← (PC) + rel
95	Перехід, якщо акумулятор не дорівнює нулю	JNZ rel	01110000	70	5	2	2	(PC) ← (PC)+2, якщо (A)≠0, то (PC) ← (PC) + rel

№	Зміст команди	Мнемокод	КОП ₂	КОП	Т	Б	Ц	Операція
96	Перехід, якщо переніс дорівнює одиниці	JC rel	01000000	40	5	2	2	$(PC) \leftarrow (PC)+2$, якщо $(C)=1$, то $(PC) \leftarrow (PC) + rel$
97	Перехід, якщо переніс дорівнює нулю	JNC rel	01010000	50	5	2	2	$(PC) \leftarrow (PC)+2$, якщо $(C)=0$, то $(PC) \leftarrow (PC) + rel$
98	Перехід, якщо біт дорівнює одиниці	JB bit, rel	00100000	20	11	3	2	$(PC) \leftarrow (PC)+3$, якщо $(b)=1$, то $(PC) \leftarrow (PC) + rel$
99	Перехід, якщо біт дорівнює нулю	JNB bit, rel	00110000	30	11	3	2	$(PC) \leftarrow (PC)+3$, якщо $(b)=0$, то $(PC) \leftarrow (PC) + rel$
100	Перехід, якщо біт установлений, з наступним скиданням біта	JBC bit, rel	00010000	10	11	3	2	$(PC) \leftarrow (PC)+3$, якщо $(b)=1$, то $(b) \leftarrow 0$ и $(PC) \leftarrow (PC) + rel$
101	Декремент регістра і перехід, якщо не нуль	DJNZ Rn, rel	11011RRR	D_	5	2	2	$(PC) \leftarrow (PC)+2$, $(Rn) \leftarrow (Rn)-1$, якщо $(Rn) \neq 0$, то $(PC) \leftarrow (PC) + rel$
102	Декремент байта, що прямо адресується, і перехід, якщо не нуль	DJNZ ad, rel	11010101	D5	8	3	2	$(PC) \leftarrow (PC)+3$, $(ad) \leftarrow (ad)-1$, якщо $(ad) \neq 0$, то $(PC) \leftarrow (PC) + rel$
103	Порівняння акумулятора з байтом, що прямо адресується, і перехід, якщо не співпадають	CJNE A, ad, rel	10110101	B5	8	3	2	$(PC) \leftarrow (PC)+3$, якщо $(A) \neq (ad)$, то $(PC) \leftarrow (PC) + rel$, якщо $(A) < (ad)$, то $(C) \leftarrow 1$, інакше $(C) \leftarrow 0$
104	Порівняння акумулятора з константою і перехід, якщо не співпадають	CJNE A, #d, rel	10110100	B4	10	3	2	$(PC) \leftarrow (PC)+3$, якщо $(A) \neq \#d$, то $(PC) \leftarrow (PC) + rel$, якщо $(A) < \#d$, то $(C) \leftarrow 1$, інакше $(C) \leftarrow 0$.
105	Порівняння регістра з константою і перехід, якщо не співпадають	CJNE Rn, #d, rel	10111RRR	B_	10	3	2	$(PC) \leftarrow (PC)+3$, якщо $(Rn) \neq \#d$, то $(PC) \leftarrow (PC) + rel$, якщо $(Rn) < \#d$, то $(C) \leftarrow 1$, інакше $(C) \leftarrow 0$
106	Порівняння байта в РПД із константою і перехід, якщо не співпадають	CJNE @Rm, #d, rel	1011011m	B_	10	3	2	$(PC) \leftarrow (PC)+3$, якщо $((Rm)) \neq \#d$, то $(PC) \leftarrow (PC) + rel$, якщо $((Rm)) < \#d$, то $(C) \leftarrow 1$, інакше $(C) \leftarrow 0$
107	Довгий виклик підпрограми	LCALL ad16	00010010	12	12	3	2	$(PC) \leftarrow (PC)+3$, $(SP) \leftarrow (SP)+1$, $((SP)) \leftarrow (PC_{0-7})$,

№	Зміст команди	Мнемокод	КОП ₂	КОП	Т	Б	Ц	Операція
								(SP) ← (SP)+1, ((SP)) ← (PC ₈₋₁₅), (PC) ← ad16
108	Абсолютний виклик підпрограми в межах сторінки в 2 Кбайта	ACALL ad11	A ₁₀ A ₉ A ₈ 1 0001	_1	6	2	2	(PC) ← (PC)+2, (SP) ← (SP)+1, ((SP)) ← (PC ₀₋₇), (SP) ← (SP)+1, ((SP)) ← (PC ₈₋₁₅), (PC ₀₋₁₀) ← ad11
109	Повернення з підпрограми	RET	00100010	22	1	1	2	(PC ₈₋₁₅) ← ((SP)), (SP) ← (SP)-1, (PC ₀₋₇) ← ((SP)), (SP) ← (SP)-1
110	Повернення з підпрограми обробки переривання з дозволом прийому інших переривань з пріоритетом, рівним пріоритету обслугованого переривання	RETI	00110010	32	1	1	2	(PC ₈₋₁₅) ← ((SP)), (SP) ← (SP)-1, (PC ₀₋₇) ← ((SP)), (SP) ← (SP)-1
111	Немає операції	NOP	00000000	00	1	1	1	(PC) ← (PC)+1

Команди, що устанавлюють прапори результату

Команди	Прапори	Команди	Прапори	Команди	Прапори	Команди	Прапори
ADD	C, OV, AC	DA	C	CLR C	C=0	ORL C, b	C
ADDC	C, OV, AC	RRC	C	SETB C	C=1	MOV C, b	C
SUBB	C, OV, AC	RLC	C	ANL C, b	C	CJNE	C
MUL, DIV	C=0, OV	CPL C	C=̄C	ANL C, ̄b	C	ORL C, ̄b	C

Примітки:

Т - тип команди (див. рис.2.11);

Б, Ц - кількість байт і циклів команди

Література

1. Балашов Е.И., Григорьев В.Д., Петров Г.А. Микро и миниЭВМ. – Л.: Энергоатомиздат, 1984. – 256 с.
2. Большие интегральные схемы запоминающих устройств: Справочник / А.Ю Гордонов, Н.В. Бекин, В.В. Цыркин и др.; Под ред А.Ю. Гордонова и Ю.Н. Дьякова. – М.: Радио и связь, 1990. – 288 с.
3. Зубчук В.И., Сигорский В.П., Шкуро А.Н. Справочник по цифровой схемотехнике. – К.: Техніка, 1990. – 448 с.
4. Козаченко В.Ф. Микроконтроллеры: руководство по применению 16-разрядных микроконтроллеров Intel MCS-196/296 во встроенных системах управления. – М.: Изд-во ЭКОМ, 1997. – 688 с.
5. Лебедев О.Н. Микросхемы памяти и их применение. – М.: Радио и связь, 1990. – 160 с.
6. Лебедев О.Н., Мирошниченко А.И., Телец В.А. Изделия электронной техники. Цифровые микросхемы. Микросхемы памяти. Микросхемы ЦАП и АЦП: Справочник. – М.: Радио и связь, 1994. – 248 с.
7. Майоров В.Г., Гаврилов А.И. Практический курс программирования микропроцессорных систем. – М.: Машиностроение, 1989. – 272 с.
8. Микропроцессоры: Справочное пособие для разработчиков судовой РЭА / Г.Г.Гришин, А.А.Мошков, О.В.Ольшанский, Ю.А.Овечкин.–Л.: Судостроение, 1987. – 520 с.
9. Микропроцессоры и микропроцессорные комплекты интегральных микросхем: В 2-х кн. – М.: Радио и связь, 1988.
10. Микропроцессоры: В 3-х кн. Кн.1. Архитектура и проектирование МикроЭВМ. Организация вычислительных процессов / П.В. Нестеров, В.Ф. Шаньгин, В.Л. Горбунов и др.; Под ред. Л.Н. Преснухина. – М.: Высшая школа, 1986. – 495 с.
11. Новиков Ю.В., Калашников О.А., Гуляев С.Э. Разработка устройств сопряжения для персонального компьютера типа IBM PC. – М.: Изд-во ЭКОМ, 1997. – 224 с.
12. Предко М. Руководство по микроконтроллерам. Том 1. – Москва: Постмаркет, 2001. – 416 с.
13. Преснухин Л.Н., Воробьев Н.В., Шишкевич А.А. Расчет элементов цифровых устройств. – М.: Высш. шк., 1991. – 526 с.
14. Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник. – М.: Радио и связь, 1990. – 304 с.
15. Рафикузаман М. Микропроцессоры и машинное проектирование микропроцессорных схем. В 2-х кн. – М.: Мир, 1988.
16. Современные микроконтроллеры: Архитектура, средства проектирования, примеры применения, ресурсы сети Интернет. © "Телесистемы". / под ред. И.В. Коршуна. – М.: Изд-во "Аким", 1998. – 272 с.
17. Сташин В.В., Урусов А.В., Мологонцева О.Ф. Проектирование цифровых устройств на однокристалльных микроконтроллерах. – М.: Энергоатомиздат, 1990. – 224 с.
18. Федорков Б.Г., Телец В.А. Микросхемы ЦАП и АЦП: функционирование, параметры, применение. – М.: Энергоатомиздат, 1990. – 320 с.
19. Хвощ С.Т., Вершинин Н.Н., Попов Е.А. Микропроцессоры и микроЭВМ в системах автоматического управления: Справочник. – Л.: Машиностроение, 1987. – 640 с.
20. Шевкопляс Б.В. Микропроцессорные структуры. Инженерные решения: Справочник. – М.: Радио и связь, 1990. – 512 с.

Предметний покажчик

Аналізатори логічні	122	Машинний такт	25
Аналізатори сігнатурні	123	Машинний цикл	25
Аналогоцифровий перетворювач (АЦП) в МПСК	72	МікроЕОМ	5
Банк регістрів	83	Мікроконтролер	79
Вибір кристала (Chip Select)	7	Мікропроцесор	21
Вивід дозволено (Output Enable) ..	8	Мультиконтролерна система	112
Вихідний каскад	76-78	Мультиплексні шини	10,19,91
Відносна адресація	88-89	Налагодження апаратних засобів ..	121
Гальванічна розв'язка	132	Налагодження програмного забезпечення	124
Дешифратор адреси	6,14	Операнд команди	5
Зависання програми	127	Оперативний запам'ятовуючий пристрій (ОЗП)	13
Запис в зовнішній пристрій	29,32	Переривання	35,49,103
Запис в пам'ять	15,29,31	Підтвердження переривання	35
Захоплення шин	24,37	Покажчик стека SP	22,35
Зациклення програми	127	Постійний запам'ятовуючий пристрій (ПЗП)	17
Зовнішній пристрій (ЗП)	5,6	Покроковий режим налагодження	125
Інтерфейс з ізольованими шинами	39	Послідовний порт	107
Інтерфейс зі спільними шинами	46	Прапори стану	22,83
Керуюче слово	54,60,67	Приоритети	57,103
Код операції команди (КОП)	5	Програмний лічильник (РС)	22
Командний цикл	25	Програмований інтервальний таймер (ПІТ, РІТ)	66
Кручена пара	131	Програмований контролер переривань (ПКП, РІС)	57
Маскування запитів переривань ...	63	Програмований паралельний інтерфейс (ППІ, РРІ)	53
Маскування бітів стану сигналів ..	42	Прошивка ПЗП	43

Регістр команд (РК)	23	Фаза командного циклу	25
Регістри спеціальних функцій	82	Цикл М1 читання КОП	25,28
Резидентна пам'ять	80-82	Цифроаналоговий пристрій	
Слово стану програми (PSW)	22	(ЦАП) в МПСК	73
Слово стану процесора	25	Читання зовнішнього пристрою ..	29
Стек	34,50	Читання пам'яті	15,29,30
Стійкість до перешкод	127		
Таймер/лічильник	98	Шинний формувач	8,38
Трьохстабільний елемент	8	Шини МП	6

Дворак Микола Маркович

МИКРОПРОЦЕСОРНІ ПРИСТРОЇ

Допущено

*Міністерством аграрної політики України як
навчальний посібник для підготовки спеціалістів
із спеціальності 7.092201 "Електричні
системи і комплекси транспортних засобів"
у вищих навчальних закладах 3-4 рівнів
акредитації Мінагрополітики України*

Керч: Видавницький центр КДМТУ, 2006

Редактор Т.А. Альохіна
Коректор Н.Г. Кузьміна

Віддано в набір 20.03.2006 р. Підписано до друку 06.07.2006 р.
Формат 60 x 90, 1/16. Папір офс. №1. Офс друк.
Умов. друк. аркуш. 9,4. Облік. вид. аркуш. 11. Тираж 200 прим.

Замовлення

Видавництво Керченського державного морського технологічного університету
98309, г. Керч, вул. Орджонікідзе, 82

Видавницький центр
Керченського державного морського технологічного університету
98309, г. Керч, вул. Орджонікідзе, 82